



(12) 发明专利申请

(10) 申请公布号 CN 103311102 A

(43) 申请公布日 2013. 09. 18

(21) 申请号 201310078397. 1

(22) 申请日 2013. 03. 12

(30) 优先权数据

13/418, 895 2012. 03. 13 US

(71) 申请人 格罗方德半导体公司

地址 英属开曼群岛大开曼岛

(72) 发明人 袁磊 J·桂

(74) 专利代理机构 北京戈程知识产权代理有限公司

公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 21/033 (2006. 01)

G03F 1/76 (2012. 01)

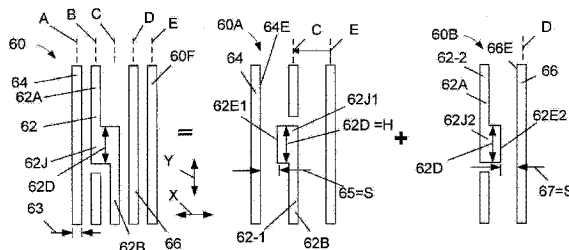
权利要求书2页 说明书8页 附图7页

(54) 发明名称

制作与双重图案化技术兼容的转折布局绕线的方法

(57) 摘要

本发明揭露一种制作与双重图案化技术兼容的转折布局绕线的方法, 其中, 揭示于本文的一示范方法涉及建立包含奇转折特征的整体目标图案, 该奇转折特征有连接第一及第二直线部分的跨接区, 其中, 该跨接区在第一方向有大于横交于该第一方向的第二尺寸的第一尺寸, 将该整体目标图案分解成第一子目标图案与第二子目标图案, 其中, 所述子目标图案各自包含一直线部分与该跨接区的第一部分, 以及产生各自对应至该第一及该第二子目标图案的第一及第二组掩膜数据。



1. 一种方法,包含下列步骤:

建立由包含一奇转折特征的多个特征构成的一整体目标图案,该奇转折特征有连接第一及第二直线部分的一跨接区,该跨接区在平行于该第一及该第二直线部分中的一直线部分的长轴的第一方向有第一尺寸,该第一尺寸大于该第一及该第二直线部分各自在横交于该第一方向的第二方向的第二尺寸;

将该整体目标图案分解成第一子目标图案与第二子目标图案,其中,该第一子目标图案包含该第一及该第二直线部分中一直线部分与该跨接区的第一部分以及该第二子目标图案包含该第一及该第二直线部分中的另一直线部分与该跨接区的第二部分;

产生对应至该第一子目标图案的第一组掩膜数据;以及

产生对应至该第二子目标图案的第二组掩膜数据。

2. 根据权利要求1所述的方法,进一步包括提供该第一及该第二组掩膜数据给一掩膜制造商。

3. 根据权利要求1所述的方法,其中,该奇转折特征的跨越距离等于该整体目标图案的一间距大小。

4. 根据权利要求1所述的方法,其中,该跨接区的该第一部分的第一端与该第一子目标图案的所述特征中的最近者的一边缘隔开一段大于单一图案化技术的最小解析能力的距离。

5. 根据权利要求4所述的方法,其中,该跨接区的该第二部分的第二端与该第二子目标图案的所述特征中的最近者的一边缘隔开一段大于单一图案化技术的最小解析能力的距离。

6. 根据权利要求1所述的方法,进一步包括测定该第一尺寸在以下位置的数值:该第一子目标图案中的特征的最小间隔等于或大于单一图案化技术的最小解析能力。

7. 根据权利要求1所述的方法,进一步包括测定该第一及该第二子图案的所述转折部分的重迭距离在以下位置的数值:该第一子目标图案中的特征的最小间隔等于或大于单一图案化技术的最小解析能力。

8. 一种方法,包含下列步骤:

建立由包含一奇转折特征的多个特征构成的一整体目标图案,该奇转折特征有连接第一及第二直线部分的一跨接区,该跨接区在平行于该第一及该第二直线部分中的一直线部分的长轴的第一方向有第一尺寸;

将该整体目标图案分解成第一子目标图案与第二子目标图案,其中,该第一子目标图案包含该第一及该第二直线部分中的一直线部分与该跨接区的第一部分以及该第二子目标图案包含该第一及该第二直线部分中的另一直线部分与该跨接区的第二部分;

测定该第一尺寸在以下位置的数值:该第一子目标图案中的特征的最小间隔等于或大于单一图案化技术的最小解析能力;

产生对应至该第一子目标图案的第一组掩膜数据;以及

产生对应至该第二子目标图案的第二组掩膜数据。

9. 根据权利要求8所述的方法,进一步包括测定该第一及该第二子图案的所述转折部分的重迭距离在以下位置的数值:该第一子目标图案中的特征的最小间隔等于或大于单一图案化技术的最小解析能力。

10. 一种方法,包含下列步骤:

建立由包含一奇转折特征的多个特征构成的一整体目标图案,该奇转折特征有连接第一及第二直线部分的一跨接区,该跨接区在平行于该第一及该第二直线部分中的一直线部分的长轴的第一方向有第一尺寸;

将该整体目标图案分解成第一子目标图案与第二子目标图案,其中,该第一子目标图案包含该第一及该第二直线部分中的一直线部分与该跨接区的第一部分以及该第二子目标图案包含该第一及该第二直线部分中的另一直线部分与该跨接区的第二部分;

测定该第一及该第二子图案的所述转折部分的重迭距离在以下位置的数值:该第一子目标图案中的特征的最小间隔等于或大于单一图案化技术的最小解析能力;

产生对应至该第一子目标图案的第一组掩膜数据;以及

产生对应至该第二子目标图案的第二组掩膜数据。

11. 一种用双重图案化工艺转印包含奇转折特征的整体目标图案至一层材料的方法,该奇转折特征有连接第一及第二直线部分的一跨接区,该跨接区在平行于该第一及该第二直线部分中的一直线部分的长轴的第一方向有第一尺寸,该第一尺寸大于该第一及该第二直线部分各自在横交于该第一方向的第二方向的第二尺寸,该整体目标图案包含第一子目标图案与第二子目标图案,该方法包括:

通过有该第一子目标图案定义于其中的第一掩膜层,执行第一蚀刻工艺以转印该第一子目标图案至该层材料,其中,该第一子目标图案包含该第一及该第二直线部分中的一直线部分与该奇转折特征的该跨接区的第一部分;以及

通过有该第二子目标图案定义于其中的第二掩膜层,执行第二蚀刻工艺以转印该第二子目标图案至该层材料,其中,该第二子目标图案包含该第一及该第二直线部分中的另一直线部分与该奇转折特征的该跨接区的第二部分。

12. 根据权利要求 11 所述的方法,其中,该层材料为一硬掩膜层,以及其中,该方法进一步包括:通过有该第一及该第二子目标图案定义于其中的该层材料,执行第三蚀刻工艺以转印该整体目标图案至另一材料层或在该层材料下面的一结构。

制作与双重图案化技术兼容的转折布局绕线的方法

技术领域

[0001] 本揭示内容大体涉及精密半导体装置的制造,且更特别的是,涉及制作与双重图案化技术(double patterning technique)兼容(compliant)的转折绕线布局(jogged routing layout)的各种方法以及包含此类转折绕线布局的所得到的半导体装置。

背景技术

[0002] 光刻(photolithography)技术为用于制造集成电路产品的基本工艺之一。以极高的层次而言,光刻技术涉及:(1)形成一层光或辐射敏感材料,例如光阻层,于一层材料或衬底上面;(2)选择性地使辐射敏感材料暴露于光源(例如DUV或EUV光源)所产生的光线以转印掩膜或标线片(reticle)(在此为可互换的用语)所定义的图案至辐射敏感材料;以及(3)显影辐射敏感材料的暴露层以定义带图案的掩膜层。然后,对于底下的材料层或衬底,可通过该带图案的掩膜层执行各种工艺操作(例如,蚀刻或离子植入工艺)。

[0003] 当然,制造集成电路的最终目标是要在集成电路产品上忠实地复制原始电路设计。从历史上看,用于集成电路产品的特征尺寸及间距(特征之间的间隔)使得所欲图案可用带单一图案的光阻屏蔽层形成。不过,近年来,装置尺寸及间距已减少到现有光刻工具(photolithography tool)(例如,193纳米(nm)波长的光刻工具)无法形成有整体目标图案的所有特征的单一带图案的掩膜层。因此,装置设计者已诉诸涉及多次曝光以在一层材料中定义单一目标图案的技术。一种此类技术大体被称为双重图案化。一般而言,涉及把(也就是,分割或分离)密集整体目标电路图案拆成两个个别较不密集图案的双重图案化为曝光方法。然后,用两个个别掩膜(在此一个掩膜用来成像一个较不密集图案,以及另一个掩膜用来成像另一个较不密集图案),将简化较不密集的图案个别印制于晶圆上。此外,在有些情形下,印制在第一图案的直线之间的第二图案,使得,例如,成像晶圆的特征间距等于两个较不密集掩膜中之一者的一半。此技术有效地降低光刻工艺的复杂度,改善可实现的分辨率以及使得用现有光刻工具有可能印制远比其它方式还小的特征。

[0004] 图1图示一示范双重图案化工艺。图1图示由9个示范沟渠特征12构成的初始整体目标图案10。每个特征12有相同的关键尺寸13。在初始整体目标图案10的特征12之间的空间使得可利用光刻工具无法用单一掩膜印制初始整体目标图案10。因此,在此示范实施例中,初始整体目标图案10分解成第一子目标图案10A(由特征1、3、5、7、9构成)与第二子目标图案10B(由特征2、4、6、8构成)。子目标图案10A、10B被称为“子目标图案”,因为它们各自包含少于初始整体目标图案10中的所有特征。选择及隔开加入子目标图案10A、10B的特征使得可利用光刻工具可轻易地形成图案10A、10B于单一屏蔽层中。最后,在掩膜设计过程完成时,对应至子目标图案10A、10B(视实际需要在设计过程期间加以修改)的数据将会提供给掩膜制造商以便制造对应至要用于光刻工具以制造集成电路产品的图案10A、10B的具体掩膜(未图示)。

[0005] 图2A至图2B图示在设计集成电路装置时可使用的不同示范电路布局图案。图2A图示由多个矩形直线型特征18(例如,沟渠)及跨接(crossover)或转折特征(jogged

feature) 16 构成的示范电路布局图案 14。跨接或转折特征 16 为由用跨接部分 16J 连接在一起的直线型特征 16A、16B 构成的复合图案。图示于图 2A 的所有特征,包括跨接部分 16J,都有相同的键尺寸 15。图案 14 包含 5 条示范绕线轨迹 (A-E)。相邻绕线轨迹的距离可称为图案 14 中的特征的“间距 (pitch)”。图示于图 2A 的跨接特征 16 有时被称为“偶转折”型特征,因为在图示实施例中,跨接部分 16J 跨越偶数个间距距离,例如,轨迹 B 及 C 的第一“间距”与轨迹 C 及 D 的“第二间距”。跨越 6 个间距距离 (未图示) 的跨接型特征也被称为偶转折型特征。反之,图示于图 1 的图案 10 的特征 12 没有任何此类跨接或转折特征。

[0006] 图 2B 图示由多个矩形直线型特征 19 (例如,沟渠) 及跨接或转折特征 21 构成的示范电路布局图案 17。图案 15 也包含 5 条示范绕线轨迹 (A-E)。跨接特征 21 为由用跨接部分 21J 连接在一起的直线型特征 21A、21B 构成的复合图案。图示于图 2B 的所有特征,包括跨接部分 21J,都有相同的键尺寸 21X。跨接特征 21 有时被称为“奇转折 (odd-jog)”型特征,因为在图示实施例中,跨接部分 21J 在例如轨迹 B 及 C 之间的跨越距离等于一个间距。

[0007] 为了使用双重图案化技术,整体目标图案必须为所谓的双重图案化兼容型。一般而言,这意谓可将整体目标图案分解成各自可用现有光刻工具印在单层上的两个个别图案。整体目标图案可能有许多无法印刷的区域或面积,因为在这些区域中的特征彼此太靠近以致于现有光刻工具无法印刷间隔如此接近的特征成为个别特征。倘若整体目标图案有偶数个此类区域,这个图案有时会被称作“偶数周期”图案,而有奇数个此类区域的整体目标图案有时被称为“奇数周期”图案。偶数周期图案可用双重图案化技术形成,然而奇数周期图案无法用双重图案化技术形成。

[0008] 一般而言,在企图开发想要兼容双重图案化的电路布局以免包含奇转折跨接特征产生奇数周期绕线布局时,使用有奇转折跨接或转折特征 (例如,图示于图 2B 的特征 21) 的图案会气馁。不过,禁止使用双重图案化兼容电路布局的奇转折特征的一般限制会使绕线效率降级以及可能导致消耗额外的芯片面积,因为不使用此类奇转折特征会使电路布局的尺寸增加。

[0009] 图 3A 至图 3C 图示与双重图案化技术关连的各种问题有关的其它整体目标图案。图 3A 图示由多个矩形直线型特征 20F (例如,沟渠) 及跨接或转折特征 22 构成的示范电路布局图案 20。图案 20 包含 5 条示范绕线轨迹 (A-E)。跨接特征 22 为由用跨接部分 22J 连接在一起的直线型特征 22A、22B 构成的复合图案。图示于图 2A 的所有特征,包括跨接部分 22J,都有相同的键尺寸 23。图示于图 3A 的跨接特征 22J 为奇转折型特征,因为在图示实施例中,跨接部分 16J 在例如轨迹 B 及 C 之间的跨越距离等于一个间距。在一示范实施例中,如图 3A 所示,整体目标图案 20 可分解成两个子目标图案 20A、20B。在此实施例中,跨接特征 22 分成两个子特征 22-1 (在图案 20A) 与 22-2 (在图案 20B)。这两个子特征 22-1、22-2 的尺寸使得,在这些图案形成于产品上时,将有印制两次的区域或重迭 (overlay) 25 或所谓的“针脚 (stich)”,一次是在在使用对应至图案 20A 的掩膜时以及第二次是在使用对应至图案 20B 的掩膜时。在此实施例中,即使跨接或转折特征 22 为奇转折特征,仍可用双重图案化技术形成图案 20,因为在子特征 22-1、22-2 的各自末端 22E1、22E2 附近或对面没有结构。

[0010] 图 3B 图示由多个矩形直线型特征 30F (例如,沟渠) 及跨接或转折特征 32 构成的示范电路布局图案 30。图案 30 包含 5 条示范绕线轨迹 (A-E)。跨接特征 32 为由用跨接部分 32J 连接在一起的直线型特征 32A、32B 构成的复合图案。图示于图 3B 的所有特征,包括跨接部分 32J,都有相同的关键尺寸 33。图示于图 3B 的跨接特征 32 有时被称为奇转折型特征,因为在图示实施例中,跨接部分 32J 在例如轨迹 B、E 之间的跨越距离等于 3 个间距。在一示范实施例中,如图 3B 所示,整体目标图案 30 可分解成两个子目标图案 30A、30B。在此实施例中,跨接特征 32 分成两个子特征 32-1 (在图案 30A) 及 32-2 (在图案 30B)。这两个子特征 32-1、32-2 的尺寸使得,在这些图案形成于产品上时,有印制两次的区域或重迭 35 或所谓的“针脚”,一次是在在使用对应至图案 30A 的掩膜时以及第二次是在使用对应至图案 30B 的掩膜时。在此实施例中,即使跨接或转折特征 32 为“奇转折”特征,仍可用双重图案化技术形成图案 30,因为在子特征 32-1、32-1 的各自末端 32E1、32E2 附近或对面没有结构。

[0011] 图 3C 图示由多个矩形直线型特征 40F (例如,沟渠) 及跨接或转折特征 42 构成的示范电路布局图案 40。图案 40 也包含 5 条示范绕线轨迹 (A-E)。跨接特征 42 为由用跨接部分 42J 连接在一起的直线型特征 42A、42B 构成的复合图案。图示于图 3C 的所有特征,包括跨接部分 42J,都有相同的关键尺寸 43。图示于图 3C 的跨接特征 42 有时被称为奇转折型特征,因为在图示实施例中,跨接部分 42J 在例如轨迹 B 及 C 之间的跨越距离等于一个间距。在此实施例中,整体目标图案 40 初始可分解成两个子目标图案 40A、40B。在此实施例中,跨接特征 42 分成两个子特征 42-1 (在图案 40A) 及 42-2 (在图案 40B)。不过,在此实施例中,整体图案 40 无法用双重图案化技术形成,因为在子特征 42-1、42-2 的末端 42E1 及 42E2 附近或对面的区域 (用虚线 48A、48B 图示) 中有结构。也就是,各自在末端 42E1、42E2 之间的间隔 45、47,以及附近的结构 44、46 各自违反最小间隔设计规则,因而图案 40A、40B 无法使用将来用来制造此一图案的光刻工具可靠地形成。另外,在印制某些特征时,周围的结构对于能否准确地形成特征有影响。例如,已知,在企图形成类似图 3C 所示的图案时,例如,在末端 42E1 邻近直线 44 处,在末端 42E1 对面有开放空间的情形下,在印制特征 42-1 时有较大的差异。因此,图示于图 3C 的整体图案 40 无法用双重图案化技术形成。必须重新设计及 / 或重新绕线该整体目标图案,这导致时间及费用增加而且可能额外消耗半导体芯片上的面积。

[0012] 本揭示内容针对制作与双重图案化技术兼容的转折绕线布局的各种方法而可解决或至少减少上述问题中之一或更多。

发明内容

[0013] 为供基本理解本发明的一些方面,提出以下简化的总结。此总结并非本发明的穷举式总览。它不是想要确认本发明的关键或重要组件或者是描绘本发明的范畴。唯一的目的是要以简要的形式提出一些概念作为以下更详细的说明的前言。

[0014] 本揭示内容大体针对制作双重图案化技术兼容转折绕线布局的各种方法以及包含此类转折绕线布局的所得到的半导体装置。在一具体实施例中,于此揭示一种方法,其针对可用于半导体制造的标线片的设计及制造。此一方法涉及建立由包含至少一奇转折特征的多个特征构成的一整体目标图案,其中,该奇转折特征有连接第一及第二直线部分的一

跨接区。在此实施例中,该跨接区在第一方向(Y方向)有第一尺寸,该第一尺寸大于该第一及该第二直线部分各自在第二方向(横交于Y方向的X方向)的第二尺寸(也就是,关键尺寸)。该方法进一步包括下列步骤:将该整体目标图案分解成第一子目标图案与第二子目标图案,其中,该第一子目标图案包含所述直线部分中的一直线部分与该跨接区的第一部分以及其中,该第二子目标图案包含所述直线部分中的另一直线部分与该跨接区的第二部分,产生对应至该第一子目标图案的第一组掩膜数据,以及产生对应至该第二子目标图案的第二组掩膜数据。在一些具体实施例中,该方法进一步包括下列步骤:送出该第一及该第二组掩膜数据至掩膜制造商以制造对应至该第一子目标图案的第一掩膜以及制造对应至该第二子目标图案的第二掩膜。

[0015] 在其它更详细的具体实施例中,揭示于本文的各种方法包括测定该跨接区的该第一尺寸在以下位置的数值:该第一子目标图案中的特征的最小间隔等于或大于单一图案化技术的最小解析能力(resolution capability)。揭示于本文的各种方法也可包括测定该第一及该第二子图案的所述转折部分的重迭距离在以下位置的数值:该第一子目标图案中的特征的最小间隔等于或大于单一图案化技术的最小解析能力。

[0016] 在另一实施例中,揭示于本文的一示范方法涉及转印整体目标图案至一层材料,其中,该整体目标图案包含一奇转折特征以及其中,该整体目标图案由第一及第二子目标图案构成。此一方法可包括:通过有该第一子目标图案定义于其中的第一掩膜层,执行第一蚀刻工艺以转印该第一子目标图案至该层材料,其中,该第一子目标图案包含该第一及该第二直线部分中的一直线部分与该奇转折特征的该跨接区的第一部分,以及通过有该第二子目标图案定义于其中的第二掩膜层,执行第二蚀刻工艺以转印该第二子目标图案至该层材料,其中,该第二子目标图案包含该第一及该第二直线部分中的另一直线部分与该奇转折特征的该跨接区的第二部分。在另一实施例中,有该第一及该第二子目标图案定义于其中的该层材料则用来转印该整体目标图案至底下材料层或半导体衬底。

附图说明

[0017] 参考以下结合附图的说明可明白本揭示内容,其中类似的组件以相同的组件符号表示,且其中:

[0018] 图 1 为示范现有技术双重图案化工艺的简图;

[0019] 图 2A 至图 2B 图示涉及转折特征的不同示范现有技术电路布局;

[0020] 图 3A 至图 3C 图示示范现有技术绕线布局;

[0021] 图 4A 至图 4C 图示用于制作双重图案化技术兼容转折绕线布局的各种本发明方法的不同示范具体实施例;以及

[0022] 图 5 示意图示揭示于本文用以曝光多个衬底的示范系统,其使用按本文所揭示的方式设计以及用来实施各种本发明方法的标线片。

[0023] 尽管本发明容易做成各种修改及替代形式,本文仍以附图为例图示几个本发明的特定具体实施例且详述其中的细节。不过,应了解本文所描述的特定具体实施例不是想要把本发明限定成本文所揭示的特定形式,反而是,本发明是要涵盖落入由随附权利要求书定义的本发明精神及范畴内的所有修改、等价及替代性陈述。

具体实施方式

[0024] 以下描述本发明的各种示范具体实施例。为了清楚说明,本专利说明书没有描述实际具体实作的所有特征。当然,应了解,在开发任一此类的实际具体实施例时,必需做许多与具体实作有关的决策以达成开发人员的特定目标,例如遵循与系统相关及商务有关的限制,这些都会随着每一个具体实作而有所不同。此外,应了解,此类开发即复杂又花时间,决不是本技艺一般技术人员在阅读本揭示内容后即可实作的例行工作。

[0025] 此时以参照附图来描述本发明。示意图示于附图的各种结构、系统及装置仅供解释以及避免本领域技术人员所习知的细节混淆本发明。尽管如此,仍纳入附图用来描述及解释本揭示内容的示范实施例。应使用与相关技艺技术人员所熟悉的意思一致的方式理解及解释用于本文的字汇及片语。本文没有特别定义的术语或片语(也就是,与本领域技术人员所理解的普通惯用意思不同的定义)是想要用术语或片语的一致用法来暗示。在这个意义上,希望术语或片语具有特定的意思时(也就是,不同于本领域技术人员所理解的意思),则会在本专利说明书中以直接明白地提供特定定义的方式清楚地陈述用于该术语或片语的特定定义。

[0026] 本揭示内容针对制作与双重图案化技术兼容的转折绕线布局的各种方法以及包含此类转折绕线布局的所得到的半导体装置。本领域技术人员在读完本申请案将会明白,揭示于本文的方法及装置可用于各种装置(例如,逻辑装置、记忆装置、ASIC等等)的制造。此时以参照附图来更详细地描述本发明方法及装置的各种示范具体实施例。

[0027] 此时将用图 4A 至图 4C 描述本发明的一些方面。图 4A 图示包含多个矩形直线型特征 60F(例如,沟渠、直线等等)及一跨接或转折特征 62 的示范电路布局图案 60。图案 60 包含 5 条示范绕线轨迹(A-E)。跨接特征 62 为由用跨接区 62J 连接在一起的直线型特征 62A、62B 构成的复合图案。除跨接区 62J 以外,图示于图 4A 的所有特征 60F 在横交于直线型特征 60F 的长轴的方向(直线型特征的长轴与绕线轨迹 A-E 的方向对应,以下为图 4A 所示的“Y 方向”)有相同关键尺寸 63。图示于图 4A 的跨接区 62J 有时被称为奇转折型特征,因为在图示实施例中,跨接区 62J 在例如轨迹 B 及 C 之间的跨越距离等于一个间距。

[0028] 不像各自图示于图 3A、图 3B 及图 3C 的现有技术图案的跨接或转折部分 22J、32J 及 42J,图 4A 的跨接区 62J 在 Y 方向有尺寸 62D,其大于直线部分 62A、62B 在横交于 Y 方向的方向(以下为图 4A 所示的“X 方向”)的关键尺寸。简言之,在图示实施例中,尺寸 62D 大于转折特征 62 的直线部分 62A、62B 的关键尺寸 63。

[0029] 在一示范实施例中,如图 4A 所示,整体目标图案 60 可分解成第一及第二子目标图案 60A、60B。在此实施例中,跨接区 62J 分成第一及第二部分 62J1(在图案 60A)与 62J2(在图案 60B)。图 4B 为转折特征 62 的放大图。

[0030] 如这些附图所反映的,第一部分 62-1 由直线型特征 62B 与跨接区 62J 的第一部分 62J1 构成。在图示实施例中,跨接部分 62J 的第一及第二部分 62J1、62J2 跟原始转折部分 62J 一样在 Y 方向有相同的尺寸 62D。通过增加转折部分 62J 的尺寸,特征 64 的边缘 62E1 与边缘 64E 的关系在印刷时的表现像是边对边。第一部分 62-1 的边缘 62E1 与第一子目标图案 60A 的最近特征 64 的边缘 64E 隔开一段大于整体目标图案 60 的最小允许间隔的距离 65。第二部分 62-2 的边缘 62E2 与第二子目标图案 60B 的最近特征 66 的边缘 66E 隔开一段大于整体目标图案 60 的最小允许间隔的距离 67。在图案 60A、60B 形成于产品上时,第一

及第二部分 62J1、62J2 的尺寸经制作成在边缘 62E1、62E2 之间将有区域或重迭“D”（参考图 4B）。

[0031] 如上述，在图示实施例中，跨接部分 62J 的第一及第二部分 62J1、62J2 跟原始转折部分 62J 一样在 Y 方向有相同尺寸 62D。不过，所有应用不需要此一配置。在某些应用中，部分 62J1、62J2 的 Y 方向尺寸可小于转折部分 62 的整体 Y 方向尺寸 62D。

[0032] 确定转折特征 62 的转折部分 62J 的适当 Y 方向距离 62D 将会随着特定应用及各种因子而有所不同。图 4C 的曲线图描绘在设定转折部分 62J 的 Y 方向尺寸 62D（或“H”）时可考量的至少一些因子。在图 4C 中，H 为横轴，曲线“T”为不论使用单一图案化技术还是例如 DUV 光刻技术可制成的最小空间，曲线“D”为部分 62J1、62J2 的重迭（参考图 4B），以及曲线“S”为第一及第二子目标图案 60A、60B 的各种特征的间隔（图 4A 之中的 65、67）。H 的最小值在 S 大约等于 T 的地方。当然，若需要，可选择大于前述 H 最小值的转折部分 62J 的 Y 尺寸 62D，若是绘图空间允许或有其它理由要这样做的话。换言之，在以下位置测定 H 的最小值：第一子目标图案中的特征的最小间隔大约等于或大于单一图案化技术的最小解析能力。同样，第一及第二个转折部分的重迭 D 的数量或大小是在以下位置所测定的数值：第一子目标图案中的特征的最小间隔大约等于或大于单一图案化技术的最小解析能力。同时，重迭 D 的数量必须足够以保证转折部分的第一（62J1）及第二（62J2）部分的连接。通过光刻建模或实际硅经验，可产生在图 4C 提及的数据。

[0033] 基于当前技术，以下为一特定实施例的上述各种尺寸的数值范例。在一实施例中，T=64 纳米（最小间隔或间距），S=60 纳米（尺寸 65、67 一样）以及重迭 D=32 纳米。在示范实施例中，H 的最小值约为 70 纳米。当然，这只是一个数值范例以及揭示于本文的各种发明不应被视为受限于此一实施例。此外，图 4C 并非旨在描绘此一特定实施例。因此，使用揭示于本文的方法，即使跨接或转折特征 62 为左边以直线 64 为界及右边以直线 66 为界的“奇转折”特征（参考图 4A），使用对应至子目标图案 60A、60B 的掩膜，仍可用双重图案化技术形成图案 60。

[0034] 如前述，可用揭示于本文的方法形成要用来制造集成电路产品的掩膜或标线片（所述用语在此可互换使用）。此类掩膜或标线片大体包含对应至为集成电路产品的部件的电路组件的图案。用来建立此类掩膜或标线片的图案是用电脑辅助设计（CAD）程序产生，其中，此方法有时被称为电子设计自动化。大部分的 CAD 程序遵循一组预定设计规则以便建立功能性掩膜。这些规则的设定通过处理及设计限制。例如，设计规则定义电路装置（例如，栅极、电容器等等）或互连线之间的空间容限，以便确保电路装置或线路不会以不合意的方式相互作用。设计规则限制常被称作“关键尺寸（critical dimension）”（CD）。电路的关键尺寸可定义为线或孔的最小宽度或两线或两孔之间的最小空间。

[0035] 除了上述方法以外，其它技术也可用来产生更精确的掩膜。例如，习知基于软件的光学近接修正（OPC）技术可用于第一子目标图案 60A 及第二子目标图案 60B 以努力产生能可靠及重复地产生所欲图案于目标材料或结构上的更准确掩膜。有数种 OPC 修正方法使用于该工业内，以及它们可大略分类成基于规则的方法与基于模拟的方法。这两类技术可用于揭示于本文的方法。另外，按本文所述设计的掩膜也可包含多个 SRAF，以努力产生更有效及准确的掩膜。

[0036] 图 5 示意图示范系统 200，其包含：示范光刻工具 210（有光源 211），各自对应至

子目标图案 60A、60B 的标线片 60A-M1 及 60B-M2, 示范衬底或晶圆 214 以及形成于晶圆 214 上面的硬掩膜层 116。图示标线片 60A-M1 及 60B-M2 在示范光刻工具 200 中以肩并肩方式定位, 然而本领域技术人员会认识到, 在双重图案化工艺中可以顺序地使用标线片 60A-M1 及 60B-M2 以及可以任何次序使用它们。基于各自对应至第一子目标图案 60A 及第二子目标图案 60B 的数据, 至少可产生要用于制造标线片 60A-M1 及 60B-M2 的数据部分, 如上述。然后, 数据可提供给标线片制造商以制造标线片 60A-M1 及 60B-M2。然后, 在传统光刻技术操作的顺序中, 标线片 60A-M1 及 60B-M2 可用于光刻工具 210 (它可具有任何所欲配置以及使用任何所欲波长或辐射形式), 由此由标线片 60A-M1 及 60B-M2 中的特征组合定义的整体目标图案 60 可转印至材料层, 例如图 5 的示范带图案的硬掩膜层 116A。之后, 带图案的硬掩膜层 116A 可用来制造或定义将形成于衬底 214 中或上面的集成电路产品的各种部分或区域。标线片 60A-M1 及 60B-M2 可用来形成带图案的材料层于随后随着加工继续而被加工的晶圆上面。当然, 如上述, 揭示于本文的方法可用来转印整体目标图案 60 至材料层或衬底而不需要图 5 的硬掩膜层 116A。

[0037] 在一具体实施例中, 在此揭示一种方法, 其可用于半导体制造的标线片的设计及制造。在一实施例中, 该方法包括产生由包含至少一奇转折特征 62 的多个特征 60F 构成的整体目标图案 60, 其中, 奇转折特征 62 有连接第一及第二直线部分 62A、62B 的跨接区 62J。在此实施例中, 跨接区 62J 在第一方向 (形成于第一及第二直线部分 62A、62B 中的一直线部分的长轴的 Y 方向) 有第一尺寸 62D, 其大于第一及第二直线部分 62A、62B 各自在第二方向 (横交于 Y 方向的 X 方向) 的第二尺寸 63。该方法进一步包括下列步骤: 将整体目标图案 60 分解成第一子目标图案 60A 与第二子目标图案 60B, 其中, 第一子目标图案 60A 包含直线部分 60A、60B 中的一直线部分与跨接区 62J 的第一部分 62J1, 以及其中, 第二子目标图案 60B 包含直线部分 60A、60B 中的另一直线部分, 以及跨接区 62J 的第二部分 62J2, 产生对应至第一子目标图案 60A 的第一组掩膜数据, 以及产生对应至第二子目标图案 60B 的第二组掩膜数据。在一些具体实施例中, 该方法进一步包括下列步骤: 送出第一及第二组掩膜数据至掩膜制造商以制造对应至第一子目标图案 60A 的第一掩膜 60A-M1 以及制造对应至第二子目标图案 60B 的第二掩膜 60B-M2。

[0038] 在另一实施例中, 揭示于本文的一示范方法涉及转印由第一及第二子目标图案 60A、60B 构成的整体目标图案 60 至一层材料。此一方法可包括: 通过有第一子目标图案 60A 定义于其中的第一掩膜层, 执行第一蚀刻工艺以转印第一子目标图案 60A 至该层材料, 其中, 第一子目标图案 60A 由第一及第二直线部分 62A、62B 中的一直线部分与奇转折特征 62 的跨接区 62J 的第一部分 62J1 构成, 以及通过有第二子目标图案 60B 定义于其中的第二掩膜层, 执行第二蚀刻工艺以转印第二子目标图案 60B 至该层材料, 其中, 第二子目标图案 60B 包含第一及第二直线部分 62A、62B 中的另一直线部分与奇转折特征 62 的跨接区 62J 的第二部分 62J2。在另一实施例中, 带有定义于其中的第一及第二子目标图案 60A、60B 的材料层则可用来转印整体目标图案至底下材料层或半导体衬底。

[0039] 以上所揭示的特定具体实施例均仅供图解说明, 因为本领域技术人员在受益于本文的教导后显然可以不同但等价的方式来修改及实施本发明。例如, 可用不同的顺序完成以上所提出的工艺步骤。此外, 除非在权利要求书有提及, 不希望本发明受限于本文所示的构造或设计的细节。因此, 显然可改变或修改以上所揭示的特定具体实施例而所有此类变

体都被认为仍然是在本发明的范畴与精神内。因此,本文提出权利要求书寻求保护。

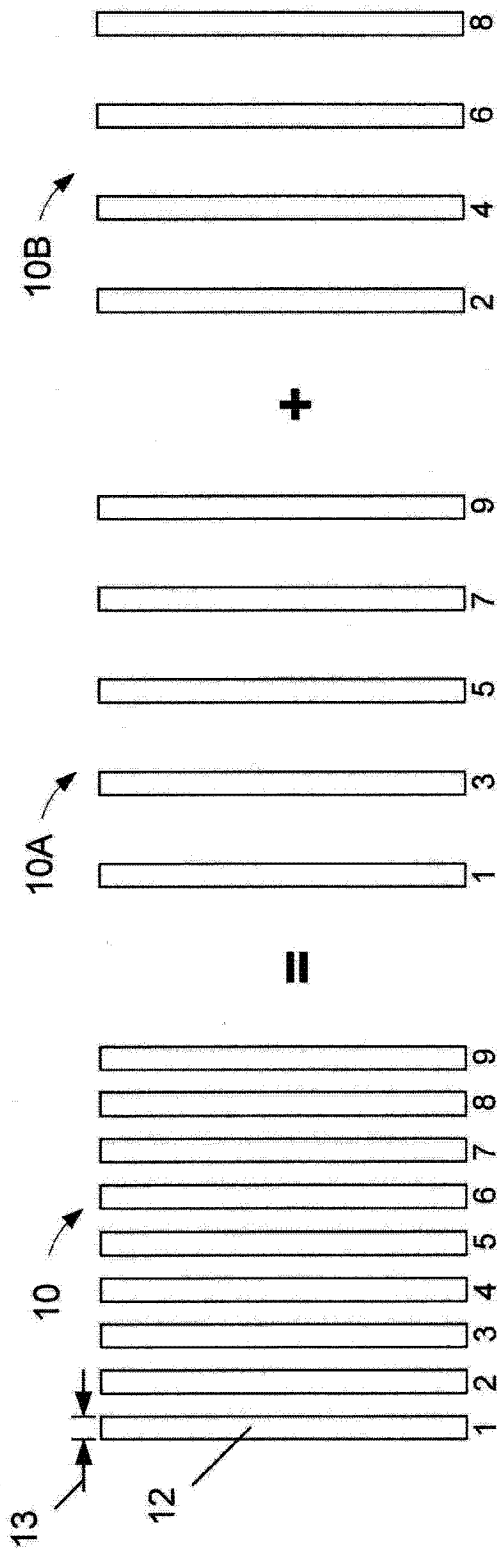


图 1

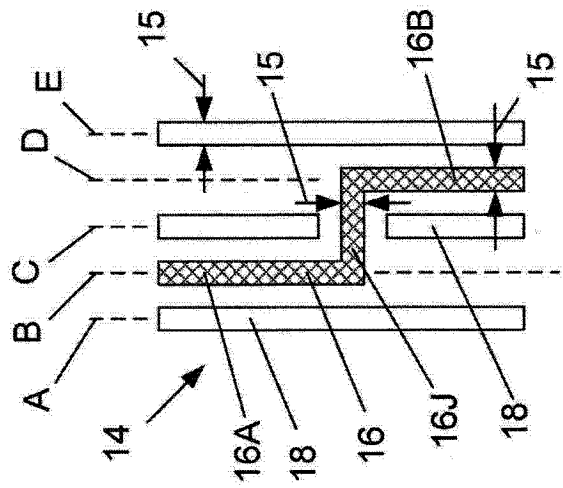


图 2A

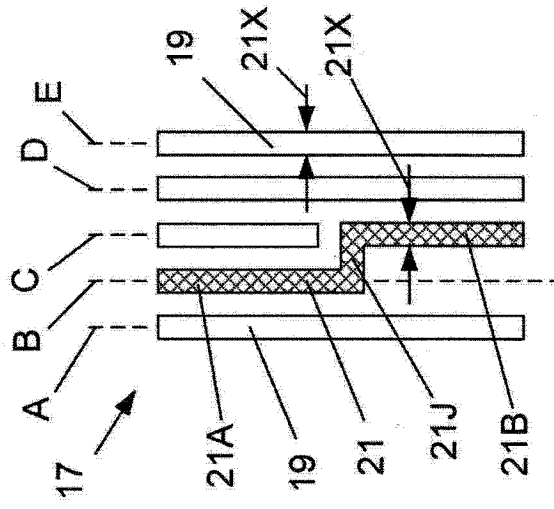


图 2B

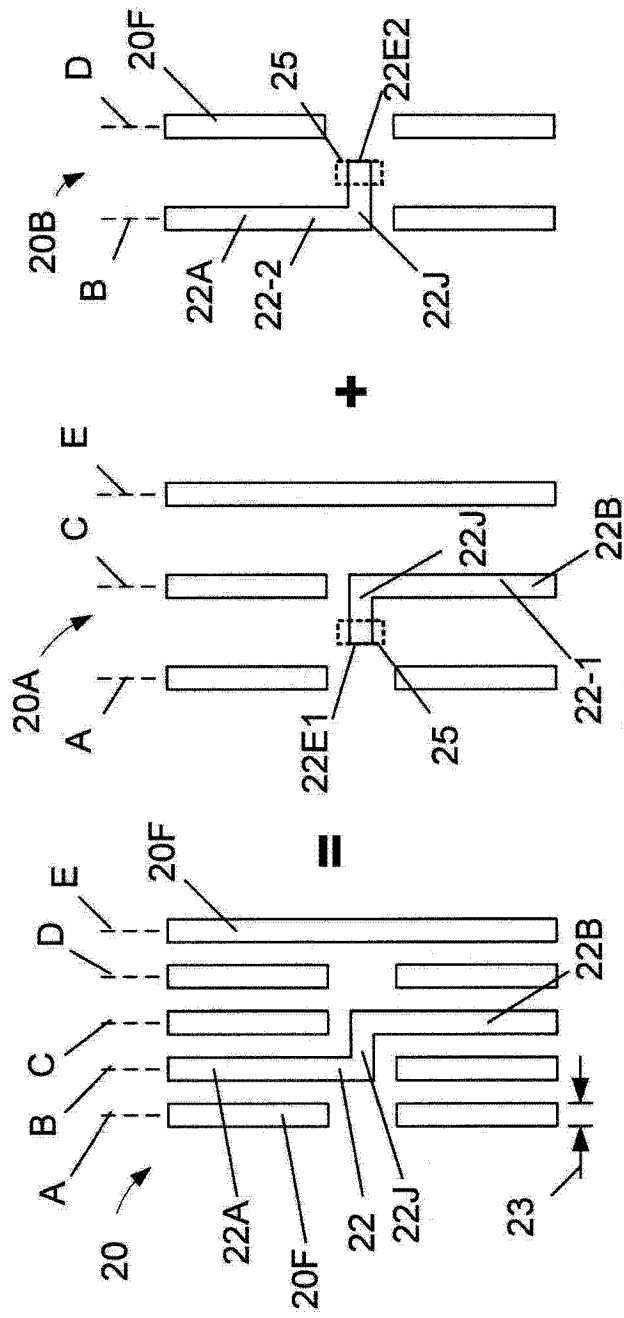


图 3A

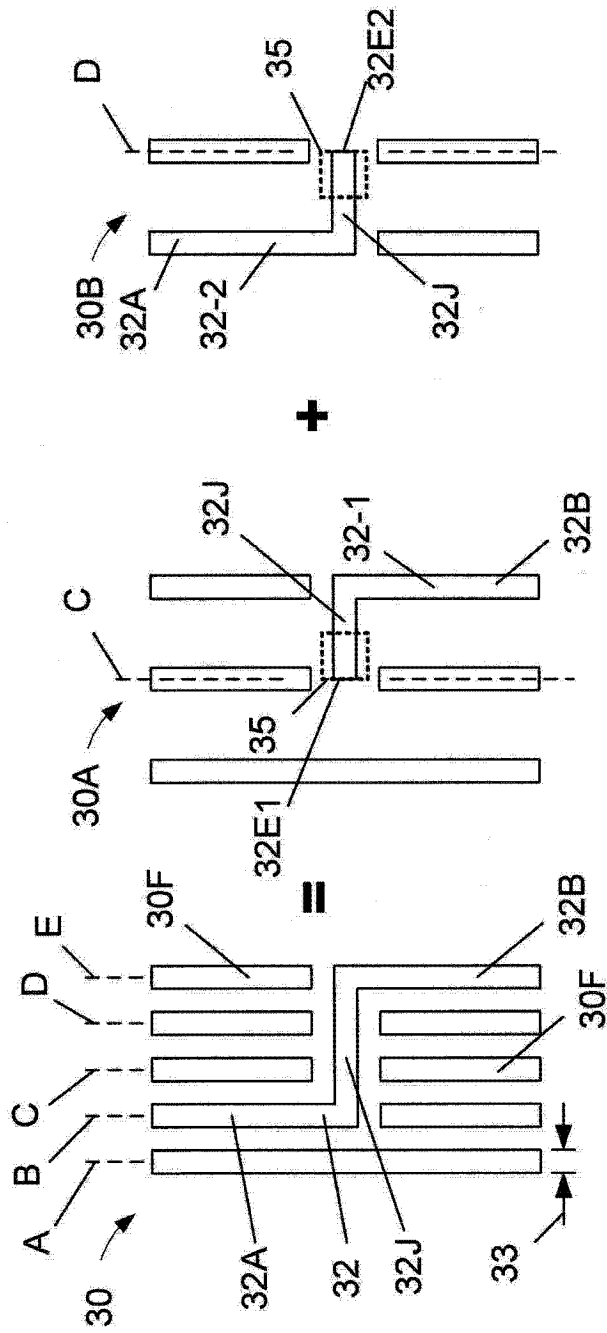


图 3B

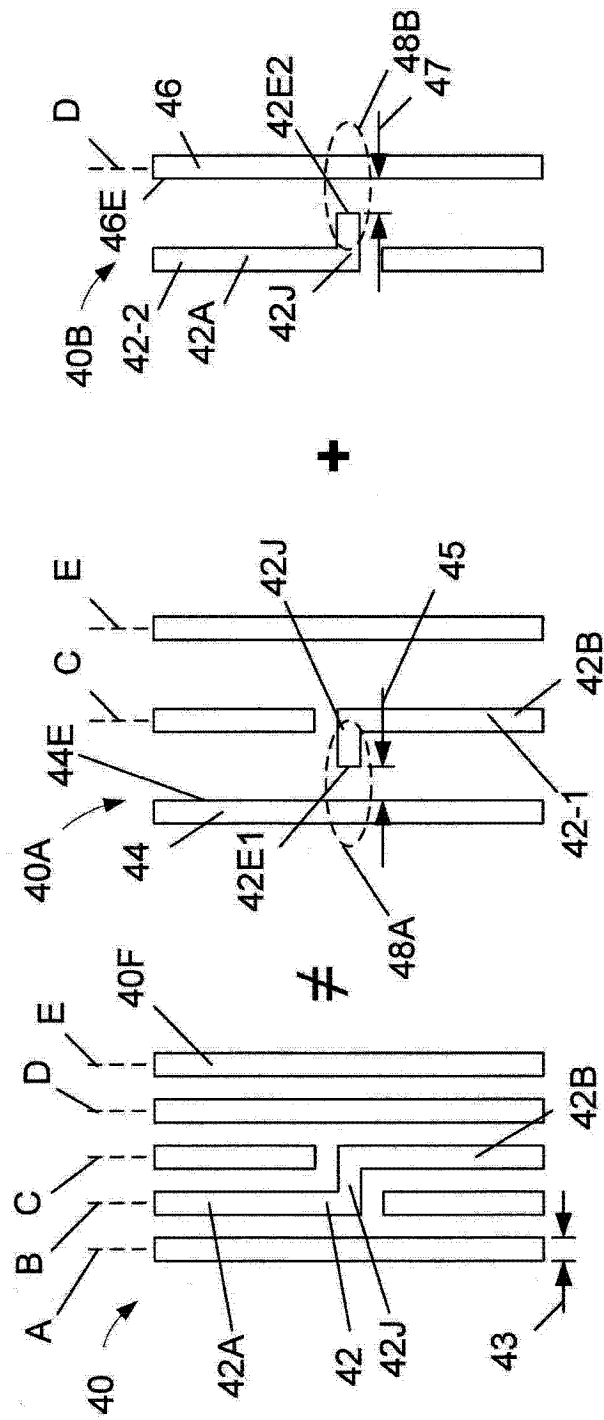


图 3C

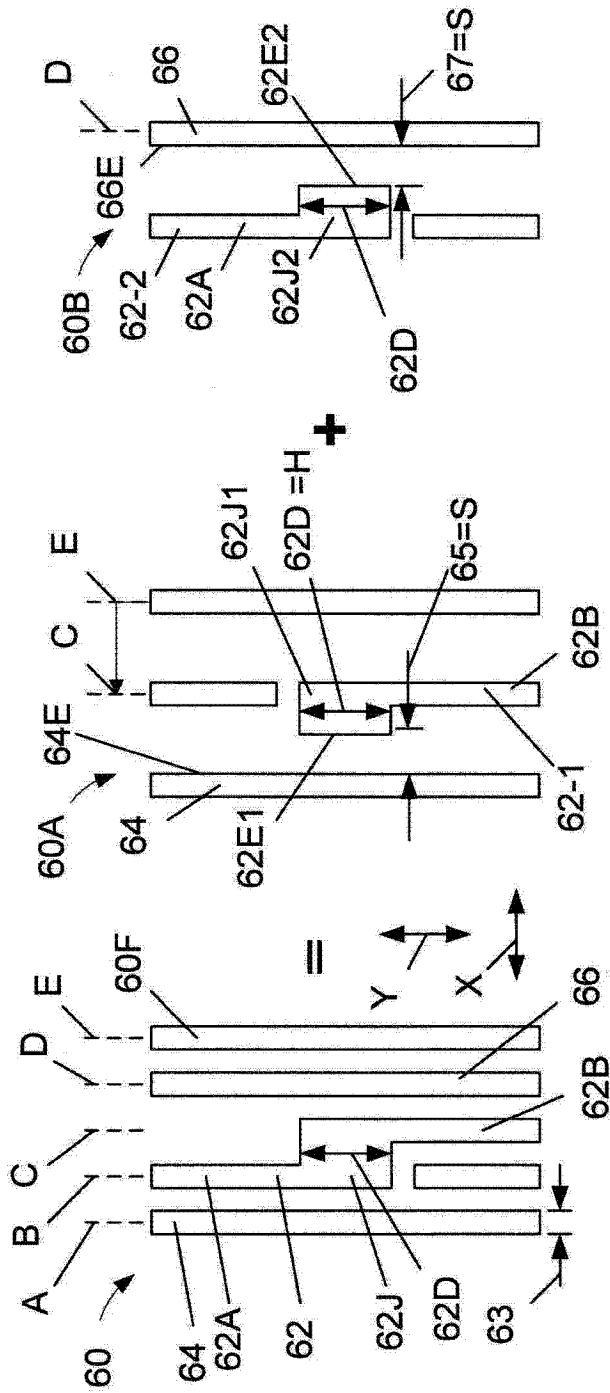


图 4A

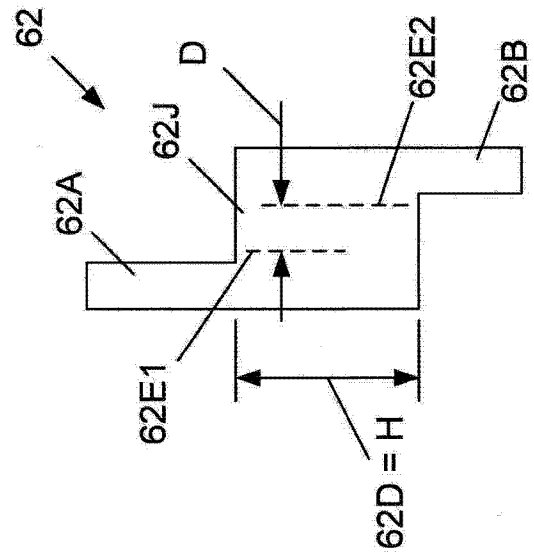


图 4B

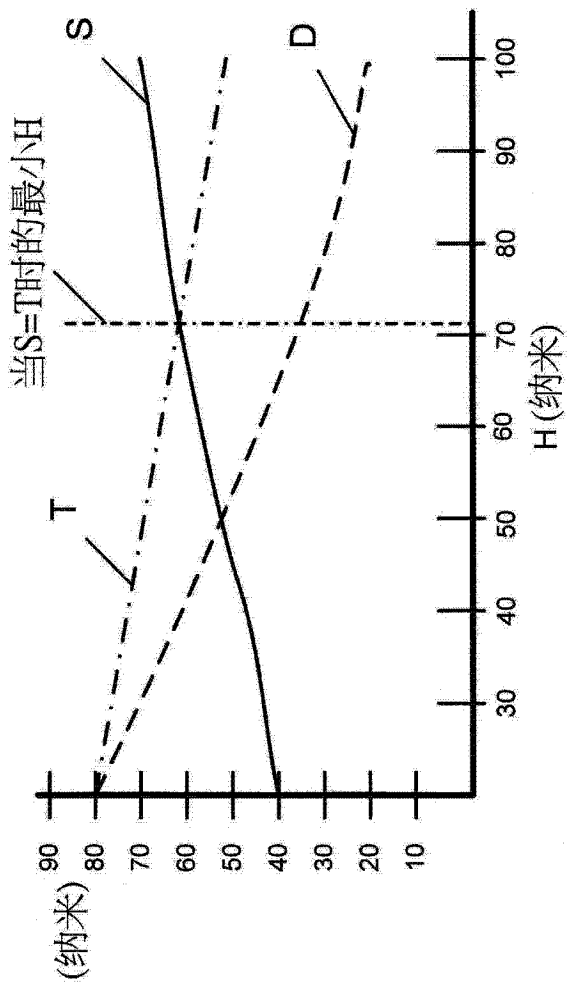


图 4C

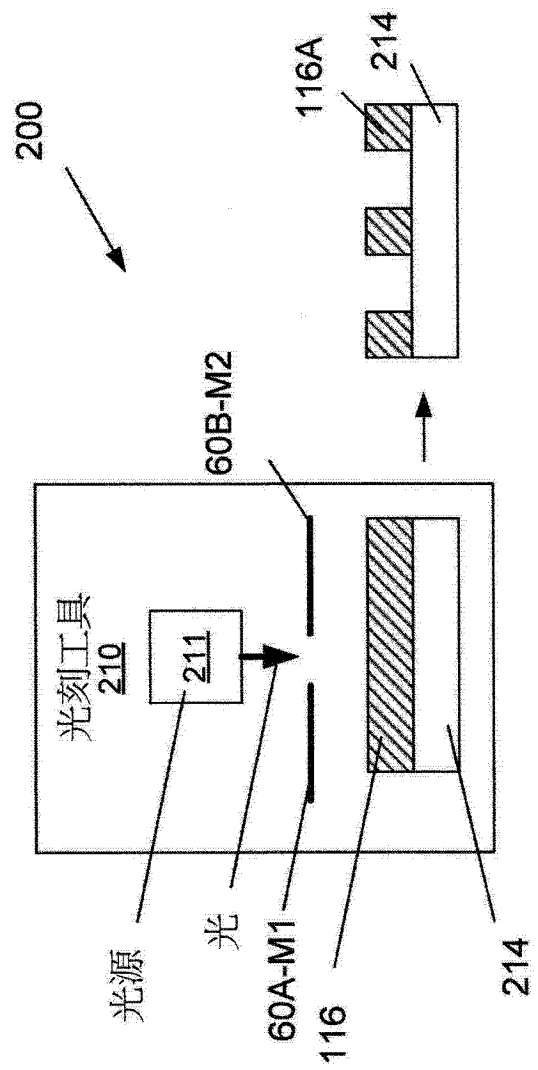


图 5