



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월08일
(11) 등록번호 10-2430500
(24) 등록일자 2022년08월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01)

(52) CPC특허분류
H01L 27/15 (2013.01)

(21) 출원번호 10-2017-0066669

(22) 출원일자 2017년05월30일
심사청구일자 2020년05월12일

(65) 공개번호 10-2018-0130725

(43) 공개일자 2018년12월10일

(56) 선행기술조사문헌
JP2012014122 A*
(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

최번재

경기도 용인시 기흥구 기흥로116번길 60 (신갈동, 녹원마을새천년그린빌5단지아파트) 513동 203호

단 제이콥 창-린

경기도 화성시 동탄중앙로 200 (반송동, 메타폴리스) A동 6201호

(뒷면에 계속)

(74) 대리인

특허법인씨엔에스

전체 청구항 수 : 총 7 항

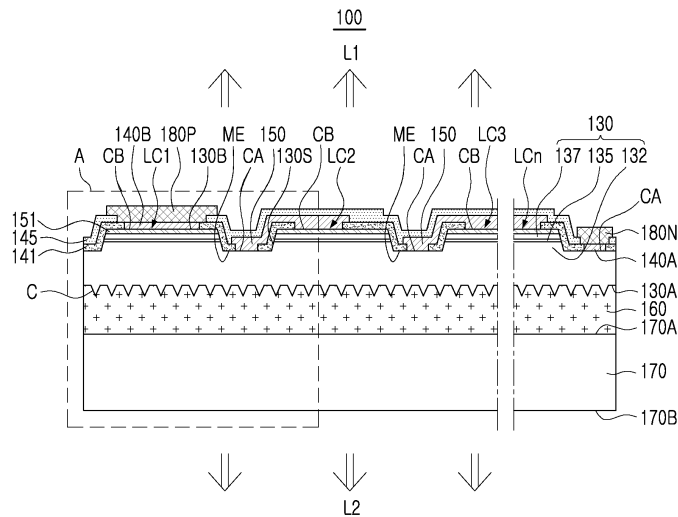
심사관 : 황재연

(54) 발명의 명칭 반도체 발광소자 및 이를 이용한 LED 모듈

(57) 요약

본 발명의 일 실시예는, 제1 및 제2 도전형 반도체층과 그 사이에 배치된 활성층을 포함하며, 서로 대향하는 제1 및 제2 면을 갖는 복수의 발광셀; 상기 복수의 발광셀의 상기 제2 면에 배치되며 상기 제1 도전형 반도체층의 제1 콘택 영역과 상기 제2 도전형 반도체층의 제2 콘택 영역을 각각 정의하는 제1 개구와 제2 개구를 갖는 절연막; 상기 절연막을 따라 배치되며 상기 복수의 발광셀 중 이웃하는 발광셀들의 제1 및 제2 콘택 영역을 연결하는 연결 전극; 상기 복수의 발광셀의 상기 제1 면 상에 배치되는 투광성 지지 기판; 및 상기 복수의 발광셀과 상기 투광성 지지 기판 사이에 배치되는 투광성 접합층;을 포함하는 반도체 발광소자를 제공한다.

대표도 - 도1



(72) 발명자

성한규

서울특별시 성북구 종암로23길 35 (종암동, 래미안 세레니티) 207동 1701호

송진혁

인천광역시 부평구 안남로15번길 24-10 (부평동, 안암아파트) 나동 301호

최윤준

경기도 수원시 영통구 청명북로 33 (영통동, 청명 마을삼성아파트) 434동 1202호

(56) 선행기술조사문헌

JP2012074752 A*

JP2015056666 A*

KR1020130133696 A*

KR1020150087445 A*

KR1020160141362 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

일 면 및 상기 일 면과 반대에 위치한 타 면을 갖는 바(bar) 형상의 투광성 회로 기관;

상기 투광성 회로 기관의 양단에 각각 접속되는 제1 및 제2 접속 단자;

상기 투광성 회로 기관의 상기 일 면 상에 실장되며, 상기 제1 및 제2 접속단자에 접속된 적어도 하나의 발광 다이오드 칩; 및

상기 투광성 회로 기관의 상기 일 면 및 상기 타 면을 덮으며, 상기 발광 다이오드 칩을 감싸고, 상기 제1 및

제2 접속 단자의 적어도 일부를 노출하는 과장변환부;를 포함하며,

상기 발광 다이오드 칩은,

제1 및 제2 도전형 반도체층과 그 사이에 배치된 활성층을 포함하며, 서로 대향하는 제1 및 제2 면을 갖는 복수의 발광셀;

상기 복수의 발광셀의 상기 제2 면에 배치되며 상기 제1 도전형 반도체층의 제1 콘택 영역과 상기 제2 도전형 반도체층의 제2 콘택 영역을 각각 정의하는 제1 개구와 제2 개구를 갖는 절연막;

상기 절연막을 따라 배치되며 상기 복수의 발광셀 중 이웃하는 발광셀들의 제1 및 제2 콘택 영역을 연결하는 연결 전극;

상기 복수의 발광셀의 상기 제1 면 상에 배치되는 투광성 지지 기관; 및

상기 복수의 발광셀과 상기 투광성 지지 기관 사이에 배치되는 투광성 접합층;을 포함하며,

상기 제2 면은 상기 투광성 회로 기관의 상기 일 면을 향하여 배치되는 LED 모듈.

청구항 14

삭제

청구항 15

제13항에 있어서,

상기 투광성 회로 기관은 상기 타 면에 형성된 요철을 갖는 것을 특징으로 하는 LED 모듈.

청구항 16

제13항에 있어서,

상기 과장변환부는 상기 발광 다이오드 칩이 실장된 영역을 포함하는 영역에 배치되며, 상기 투광성 회로 기관은 상기 과장변환부가 배치되지 않은 영역을 갖는 것을 특징으로 하는 LED 모듈.

청구항 17

제13항에 있어서,

상기 과장변환부가 배치되지 않은 영역은 상기 투광성 회로 기관의 길이 방향에 대하여 수직인 폭 방향에 대칭적으로 배치된 것을 특징으로 하는 LED 모듈.

청구항 18

제13항에 있어서,

상기 투광성 회로 기관과 상기 투광성 지지 기관은 동일한 조성을 갖는 물질로 이루어진 것을 특징으로 하는 LED 모듈.

청구항 19

제13항에 있어서,

상기 투광성 회로 기관의 상기 일 면의 결정방향은 상기 제1 도전형 반도체층의 제1 면의 결정방향과 서로 다른 결정방향을 갖는 것을 특징으로 하는 LED 모듈.

청구항 20

제13항에 있어서,

상기 복수의 발광셀은 상기 투광성 지지 기판과 상기 투광성 회로 기판의 사이에 배치되는 것을 특징으로 하는 LED 모듈.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 발광소자 및 이를 이용한 LED 모듈에 관한 것이다.

배경 기술

[0002] 일반적으로 실내 또는 실외의 조명등으로 백열전구나 형광등이 많이 사용되고 있는데, 이러한 백열전구나 형광등은 수명이 짧아 자주 교환하여야 하는 문제가 있다.

[0003] 이러한 문제를 해결하기 위하여 우수한 제어성, 빠른 응답속도, 높은 전기-광 변환효율, 긴 수명, 적은 소비전력 및 높은 휘도 특성을 갖는 LED를 적용한 조명기구가 개발되기에 이르렀다. 즉, LED(Light Emitting Diode)는 광 변환 효율이 높기 때문에 소비전력이 적으며, 열적 발광이 아니기 때문에 예열시간이 불필요하여 점등, 소등 속도가 빠르다는 장점이 있다.

[0004] 또한, LED는 기존의 백열전구나 형광등에 비해 충격에 강하며, 안정적인 직류 점등방식의 채택으로 전력소모가 적고, 사용수명이 반영구적이면서 다양한 색상의 조명효과도 낼 수 있고, 작은 광원을 사용함에 따라 소형화가 가능하다는 장점으로 인해, 조명분야의 활용범위가 넓어지고 있다.

[0005] 이와 같이, LED를 이용한 조명분야의 활용범위가 넓어짐에 따라, LED 조명기구에 대한 다양한 요구가 증가하고 있다. 일례로, 단순히 기존의 조명기구와 유사한 특성의 광을 더 적은 전력에 제공하는 것에서 나아가, 기존의 제조비용이 절감되어 가격 경쟁력이 우수한 조명기구에 대한 요구가 증가하고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 해결하고자 하는 과제 중 하나는, 제조비용이 절감된 반도체 발광소자 및 이를 이용한 LED 모듈을 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예는, 제1 및 제2 도전형 반도체층과 그 사이에 배치된 활성층을 포함하며, 서로 대향하는 제1 및 제2 면을 갖는 복수의 발광셀; 상기 복수의 발광셀의 상기 제2 면에 배치되며 상기 제1 도전형 반도체층의 제1 콘택 영역과 상기 제2 도전형 반도체층의 제2 콘택 영역을 각각 정의하는 제1 개구와 제2 개구를 갖는 절연막; 상기 절연막을 따라 배치되며 상기 복수의 발광셀 중 이웃하는 발광셀들의 제1 및 제2 콘택 영역을 연결하는 연결 전극; 상기 복수의 발광셀의 상기 제1 면 상에 배치되는 투광성 지지 기판; 및 상기 복수의 발광셀과 상기 투광성 지지 기판 사이에 배치되는 투광성 접합층;을 포함하는 반도체 발광소자를 제공한다.

[0008] 본 발명의 일 실시예는, 서로 반대에 위치한 제1 및 제2 면을 가지며, 제1 및 제2 도전형 반도체층과 그 사이에 배치된 활성층을 포함하며, 상기 제2 도전형 반도체층과 상기 활성층이 제거된 메사영역에 의해 복수의 발광셀로 구분된 반도체 적층체 - 상기 제1 및 제2 면은 각각 상기 제1 및 제2 도전형 반도체층에 의해 제공됨; 상기 반도체 적층체의 제2 면에 배치되며 상기 제1 도전형 반도체층의 제1 콘택 영역과 상기 제2 도전형 반도체층의 제2 콘택 영역을 각각 정의하는 제1 개구와 제2 개구를 갖는 절연막; 상기 절연막을 따라 배치되며 상기 복수의 발광셀이 전기적으로 연결되도록 서로 다른 발광셀의 제1 및 제2 콘택 영역을 연결하는 연결 전극; 상기 반도체 적층체의 제1 면을 덮도록 배치된 투광성 접합층; 및 상기 투광성 접합층에 의해 상기 반도체 적층체의 제1 면에 접합된 제1 면과 상기 제1 면에 반대에 위치한 제2 면을 갖는 투광성 지지 기판;을 포함하는 반도체 발광소자를 제공한다.

[0009] 본 발명의 일 실시예는, 일 면에 제1 및 제2 접속단자가 배치된 바(bar) 형상의 회로 기판; 상기 회로 기판의 상기 일 면 상에 실장되며, 상기 제1 및 제2 접속단자에 접속된 적어도 하나의 발광 다이오드 칩; 및 상기 회로 기판의 상기 일 면 및 상기 일 면의 반대에 위치한 타 면 중 적어도 한면에 배치된 과장변환부;를 포함하며, 상기 발광 다이오드 칩은, 제1 및 제2 도전형 반도체층과 그 사이에 배치된 활성층을 포함하며, 서로 대향하는 제1 및 제2 면을 갖는 복수의 발광셀; 상기 복수의 발광셀의 상기 제2 면에 배치되며 상기 제1 도전형 반도체층의 제1 콘택 영역과 상기 제2 도전형 반도체층의 제2 콘택 영역을 각각 정의하는 제1 개구와 제2 개구를 갖는 절연막; 상기 절연막을 따라 배치되며 상기 복수의 발광셀 중 이웃하는 발광셀들의 제1 및 제2 콘택 영역을 연결하는 연결 전극; 상기 복수의 발광셀의 상기 제1 면 상에 배치되는 투광성 지지 기판; 및 상기 복수의 발광셀과 상기 투광성 지지 기판 사이에 배치되는 투광성 접합층;을 포함하는 LED 장치를 제공한다.

발명의 효과

[0010] 본 발명의 기술적 사상에 따른 반도체 발광장치 및 이를 이용한 LED 모듈은, 제조비용이 절감되는 효과가 있다.

[0011] 다만, 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시 형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 일 실시예에 따른 반도체 발광소자의 측단면도이다.
- 도 2는 도 1에 도시한 반도체 발광소자의 'A'부분을 확대하여 나타낸 부분 확대도이다.
- 도 3은 도 1에 도시한 반도체 발광소자의 회로도이다.
- 도 4 내지 도 12는 도 1에 도시된 반도체 발광소자의 제조방법을 설명하기 위한 주요 공정별 단면도이다.
- 도 13은 본 발명의 일 실시예에 따른 LED 모듈을 나타내는 측단면도이다.
- 도 14는 도 13에 도시한 LED 모듈의 'B'부분을 확대하여 나타낸 부분 확대도이다.
- 도 15 및 도 16은 도 13의 LED 모듈의 변형예이다.
- 도 17은 도 13의 LED 모듈의 정단면도이다.
- 도 18 내지 도 20은 도 13의 LED 모듈의 변형예이다.
- 도 21은 본 발명의 일 실시예에 의한 LED 모듈의 평면도이다.
- 도 22는 도 21의 II-II' 방향에서 본 측단면도이다.
- 도 23은 도 21의 LED 모듈의 변형예이다.
- 도 24는 도 21의 LED 모듈의 변형예이다.
- 도 25는 도 21의 실시예에 따른 LED 모듈의 발열 특성을 설명하기 위한 도면이다.

도 26은 입력 전류와 LED 모듈의 길이와의 관계를 설명하기 위한 도면이다.

도 27은 소모전력, LED 모듈의 길이 및 발열 특성과의 관계를 설명하기 위한 도면이다.

도 28은 도 22의 A2부분, 소모전력 및 발열 특성과의 관계를 설명하기 위한 도면이다.

도 29는 각각 본 발명의 다양한 실시예에 따른 LED 램프를 나타내는 사시도이다.

도 30은 도 29의 III에서 바라본 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예를 상세히 설명한다.
- [0014] 도 1은 본 발명의 일 실시예에 따른 반도체 발광소자의 측면도이며, 도 2는 도 1에 도시한 반도체 발광소자의 'A'부분을 확대하여 나타낸 부분 확대도이다.
- [0015] 도 1과 도 2를 참조하면, 본 실시예에 따른 반도체 발광소자(100)는, 반도체 적층체(130)와, 상기 반도체 적층체(130)를 지지하기 위한 투광성 지지 기판(170)과, 상기 반도체 적층체(130)와 상기 투광성 지지 기판(170)을 접합시키는 투광성 접합층(160)을 포함한다. 상기 반도체 발광소자(100)는 상기 반도체 적층체(130)가 위치한 상부 방향(L1)은 물론, 상기 투광성 지지 기판(170)이 위치한 하부 방향(L2)으로도 광을 방출할 수 있도록 구성될 수 있다. 상기 반도체 발광소자(100)는 하나의 발광 다이오드 칩이 하나의 패키지를 구현하는 웨이퍼 레벨 패키지 일 수 있다.
- [0016] 상기 반도체 적층체(130)는, 제1 도전형 반도체층(132) 및 제2 도전형 반도체층(137)과, 그 사이에 위치하는 활성층(135)을 포함한다. 예를 들어, 상기 제1 및 상기 제2 도전형 반도체층(132,137)과 상기 활성층(135)은 육방정계인 질화물 반도체일 수 있다. 상기 제1 도전형 반도체층(132)은 n형 $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)을 만족하는 질화물 반도체일 수 있으며, n형 불순물은 Si일 수 있다. 예를 들어, 상기 제1 도전형 반도체층(132)은 n형 GaN일 수 있다. 상기 제2 도전형 반도체층(137)은 p형 $Al_xIn_yGa_{1-x-y}N$ 을 만족하는 질화물 반도체일 수 있으며, p형 불순물은 Mg일 수 있다. 예를 들어, 상기 제2 도전형 반도체층(137)은 p형 AlGa_n/Ga_n일 수 있다. 상기 활성층(135)은 양자우물층과 양자장벽층이 서로 교대로 적층된 다중 양자우물(MQW) 구조일 수 있다. 예를 들어, 질화물 반도체를 사용할 경우, 상기 활성층(135)은 GaN/InGa_n MQW 구조일 수 있다.
- [0017] 상기 반도체 적층체(130)는 상기 제1 및 제2 도전형 반도체층(132,137)에 의해 각각 제공되는 제1 및 제2 면(130A,130B)을 갖는다.
- [0018] 상기 반도체 적층체(130)의 제1 면(130A)에는 광추출효율을 향상시키기 위한 요철(C)이 형성될 수 있다. 본 실시예에서, 상기 요철(C)은 단면이 삼각형상인 돌출부(예, 육각뿔)일 수 있으나, 필요에 따라 다른 다양한 형상을 가질 수 있다. 상기 요철(C)은 제1 도전형 반도체층(132)의 표면을 가공하여 형성될 수 있다. 본 실시예와 달리, 상기 반도체 적층체(130)를 성장할 때에 사용되는 버퍼층이 잔류하여 상기 요철(C)의 적어도 일부를 구성할 수 있다. 또한, 실시예에 따라서는 상기 반도체 적층체(130)의 제1 또는 제2 면(130A, 130B)에 빛을 반사하기 위한 반사층을 형성할 수 있다.
- [0019] 도 1 및 도 2에 도시된 바와 같이, 상기 반도체 적층체(130)는 메사 에칭된 영역(ME)에 의해 복수의 발광셀(LC1~LCn)로 분할되며, 제1 도전형 반도체층(132)을 공유하는 멀티정션(multi-junction)구조로 될 수 있다. 본 실시예와 같이, 메사 에칭된 영역(ME)은 복수의 발광셀(LC1~LCn) 사이의 영역뿐만 아니라 복수의 발광셀(LC1~LCn)의 둘레를 따라 형성될 수 있다. 상기 복수의 발광셀(LC1~LCn)의 분할된 측면(130S)은 상부를 향해 경사진 면일 수 있다. 즉, 상기 메사 에칭된 영역(ME)은 상기 제1 면(130A)에서 상기 제2 면(130B)으로 갈수록 좁아질 수 있다. 이러한 형상은 메사 에칭된 영역(ME)을 형성하기 위한 식각 공정과 관련될 수 있다(도 5 참조).
- [0020] 본 실시예에서는, 도 3에 도시된 바와 같이, 복수의 발광셀(LC1~LCn)이 직렬 연결된 형태를 예시하였으나, 이에 한정되지 않으며 복수의 발광셀(LC1~LCn)은 병렬 또는 직병렬 연결되는 형태의 배열을 가질 수도 있다.
- [0021] 각각의 복수의 발광셀(LC1~LCn)에서, 상기 제2 도전형 반도체층(137)의 일부 영역은 물론, 상기 제1 도전형 반도체층(132)의 일부 영역도 상기 제2 면(130B)을 향해 노출될 수 있다. 도 1에 도시된 바와 같이, 상기 제2 도전형 반도체층(137) 및 상기 활성층(135)의 일부 영역이 메사 에칭되어, 상기 제1 도전형 반도체층(132)의 일부

영역이 메사 에칭된 영역(ME)을 형성할 수 있다.

- [0022] 상기 반도체 적층체(130)의 제2 면(130B)에는 상기 복수의 발광셀(LC1~LCn)을 서로 전기적으로 연결하기 위한 배선 구조가 제공될 수 있다. 본 실시예에 채용된 배선 구조는, 상기 반도체 적층체(130)의 제2 면(130B)을 따라 형성된 절연막(141)과, 상기 복수의 발광셀(LC1~LCn)의 제1 및 제2 콘택 영역(CA,CB)을 서로 연결하는 연결 전극(150)을 포함할 수 있다.
- [0023] 도 2를 참조하면, 상기 절연막(141)은 각각의 발광셀(LC1, LC2)마다 제1 및 제2 개구(O1,O2)가 형성되어 상기 제1 및 제2 도전형 반도체층(132,137)의 일부를 노출시킬 수 있다. 상기 제1 및 제2 도전형 반도체층(132,137)의 노출 영역은 제1 및 제2 콘택 영역(CA,CB)으로 제공될 수 있다. 이와 같이, 상기 절연막(141)의 제1 및 제2 개구(O1,O2)는 각각 제1 및 제2 콘택 영역(CA,CB)을 정의할 수 있다. 상기 절연막(141)은 예를 들어 SiO₂, Si₃N₄, HfO₂, SiON, TiO₂, Ta₂O₃ 또는 SnO₂일 수 있다.
- [0024] 본 실시예와 같이, 상기 제2 도전형 반도체층(137)의 표면에 오믹 콘택층(151)을 추가로 형성할 수 있다. 이 경우에, 상기 제2 콘택 영역(CB)은 상기 오믹 콘택층(151)의 노출 영역으로 제공될 수 있다. 예를 들어, 오믹 콘택층(151)은 인듐 주석 산화물(indium Tin oxide(ITO))과 같은 투광성 도전 물질을 포함할 수 있다. ITO인 경우에는 상기 오믹 콘택층(151)은 전류분산 기능을 가질 수 있다.
- [0025] 도 2를 참조하면, 상기 연결 전극(150)은 발광셀(LC1, LC2)의 제1 및 제2 콘택 영역(CA,CB)이 연결되도록 상기 절연막(141)을 따라 형성될 수 있다. 본 실시예에서는, 상기 연결 전극(150)은 인접한 발광셀(LC1, LC2)의 다른 콘택 영역(CA,CB)을 서로 연결하여 발광셀(LC1, LC2)이 직렬로 접속되도록 구성할 수 있다. 예를 들어, 상기 연결 전극(150)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 등의 물질을 포함할 수 있으며, 단일층 또는 2층 이상의 구조로 채용될 수 있다. 일부 실시예에서, 상기 연결 전극(150)은 Ag 또는 Ag/Ni를 포함할 수 있다.
- [0026] 도 1을 참조하면, 상기 복수의 발광셀(LC1~LCn) 중 양단에 배치된 발광셀의 제1 및 제2 콘택 영역 (CA, CB)에는 각각 전원을 인가하기 위한 제1 및 제2 본딩 패드(140A, 140B)가 형성될 수 있다. 즉, 도 1의 우측단에 배치된 발광셀(LCn)의 제1 콘택 영역(CA)에 제1 본딩 패드(140A)를 형성하고, 좌측단에 배치된 발광셀(LC1)의 제2 콘택 영역(CB)에 제2 본딩 패드(140B)를 형성하고, 상기 제1 및 제2 본딩 패드(140A, 140B)에 전원을 인가하여 직렬로 연결된 복수의 발광셀(LC1~LCn)을 구동시킬 수 있다.
- [0027] 본 실시예에서는, 추가적으로 페시베이션막(145)이 상기 연결 전극(150)을 덮도록 상기 절연막(141) 상에 배치될 수 있다. 메탈과 같은 연결 전극(150)은 투광성 접합층(160)과 접합강도가 낮은 문제점이 있으므로, 이를 해결하기 위해서 상기 페시베이션막(145)이 선택적으로 도입될 수 있다. 따라서, 충분한 접합 강도가 보장되는 경우에, 상기 페시베이션막(145)은 생략될 수 있다. 이러한 페시베이션막(145)은 상기 절연막(141)과 유사한 물질로 이루어질 수 있다. 예를 들어, 상기 페시베이션막(145)은 SiO₂, Si₃N₄, HfO₂, SiON, TiO₂, Ta₂O₃ 또는 SnO₂일 수 있다.
- [0028] 상기 반도체 적층체(130)의 제1 면(130A)에 투광성 지지 기판(170)이 배치될 수 있다. 상기 투광성 지지 기판(170)은 제조공정 중 손상되기 쉬운 반도체 적층체(13)를 지지하기 위한 기판으로서, 상기 반도체 적층체(130)를 성장하는데 사용된 성장용 기판을 대체한 별도의 기판일 수 있다. 상기 투광성 지지 기판(170)의 제2 면(170B)에는 광추출효율을 향상시키기 위한 요철이 형성될 수 있다.
- [0029] 상기 투광성 지지 기판(170)은 투광성 접합층(160)을 이용하여 제1 도전형 반도체층(132)인 상기 반도체 적층체(130)의 제1 면(130A)에 접합될 수 있다.
- [0030] 상기 투광성 지지 기판(170)은 활성층(135)에서 생성된 광을 투과할 수 있는 물질이면 적절히 사용할 수 있다. 예를 들어, 상기 투광성 지지 기판(170)은 이에 한정되지는 않으나 사파이어 기판, SiC 기판, Si 기판 또는 유리 기판일 수 있다.

- [0031] 상기 투광성 지지 기판(170)은 투광성 접합층(160)을 이용하여 반도체 적층체(130)에 접합되므로, 상기 투광성 지지 기판(170)의 제1 및 제2 면(170A, 170B)는 반도체 적층체를 성장시키는데 사용되는 C면의 결정방향을 갖는 사파이어 기판일 필요가 없다. 따라서, 투광성 지지 기판(170)은, 8인치 이상의 대구경으로 제조할 수 있으나 C면의 결정방향을 갖지 못하여 반도체 적층체 성장용 기판으로 사용되지 못하던 저가의 사파이어 기판이나 Si기판도 사용될 수 있다.
- [0032] 상기 투광성 접합층(160)은, 접착성 폴리머 물질 외에도, 유리를 스핀온 글라스(spin on glass) 공법으로 도포하는 방식이 적용될 수 있다. 예를 들어, 상기 접착성 폴리머는 실리콘(silicone) 수지, 에폭시 수지, 폴리아크릴레이트(polyacrylate), 폴리이미드(polyimide), 폴리 아마이드(polyamide) 또는 벤조사이클로부텐(benzocyclobutene, BCB)을 포함할 수 있다.
- [0033] 본 실시예는, 하나의 반도체 발광소자 내에 복수의 발광셀이 포함된 구조를 가지므로, 복수개의 반도체 발광소자를 하나의 반도체 발광소자로 대체할 수 있다. 따라서, 반도체 발광소자를 회로 기판에 실장하는 데 소요되는 시간이 대폭 감소하는 효과가 있다. 또한, 복수의 발광셀이 서로 접하여 배치되므로, 복수의 반도체 발광소자를 소정 간격 이격하여 배치하는 경우에 비해, 반도체 발광소자가 실장되는 회로 기판의 면적이 대폭 감소하는 효과가 있다. 또한, 복수의 반도체 발광소자를 개별 소자로 다이스하는 데에 소요되는 시간이 필요 없으므로, 반도체 발광소자의 제조시간이 감소하는 효과가 있다. 이와 같이, 본 실시예의 반도체 발광소자는 제조시간이 대폭 감소하므로, 제조비용이 절감되는 효과가 있다.
- [0034] 본 실시예의 경우, 상기 반도체 적층체(130)의 제1 면(130A)으로 광이 방출될 수 있으며, 반대면인 제2 면(130B)에 광투과성을 갖는 구조체(예, 투광성 지지 기판(170))에 투광성 접합층(160)을 제공함으로써 광을 상부 방향(L1)뿐만 아니라 하부 방향(L2)으로 방출시킬 수 있다. 이러한 양면 또는 전면 발광소자(100)는 다양한 조명 장치 등에 유익하게 응용될 수 있다(도 13, 15, 16, 27, 28 및 29 참조).
- [0035] 도 4 내지 도 12는 도 1에 도시된 반도체 발광소자의 제조방법을 설명하기 위한 주요 공정별 단면도이다. 후술하는 공정은 웨이퍼 레벨에서 이루어질 수 있다.
- [0036] 도 4를 참조하면, 성장용 기판(GS) 상에 버퍼층(110)을 형성하고, 상기 버퍼층(110) 상에 복수의 발광셀을 위한 반도체 적층체(130)를 형성한다. 상기 성장용 기판(GS)은 반도체 성장용 기판으로 제공되며, 사파이어, SiC, MgAl₂O₄, MgO, LiAlO₂, LiGaO₂, GaN 등과 같은 절연성, 도전성, 반도체 물질을 이용할 수 있다. 사파이어의 경우, 육각-롬보형(Hexa-Rhombo R3c) 대칭성을 갖는 결정체로서 c축 및 a축 방향의 격자상수가 각각 13.001Å과 4.758Å이며, C(0001)면, A(11-20)면, R(1-102)면 등을 갖는다. 이 경우, 상기 C면은 비교적 질화물 박막의 성장이 용이하며, 고온에서 안정하기 때문에 질화물 성장용 기판으로 주로 사용된다. 다만, C면을 갖는 반도체 성장용 사파이어 기판은 8인치 이상의 대구경화가 어려우며, 고가인 단점이 있다. 한편, 성장용 기판(GS)으로 Si를 사용하는 경우, 8인치 이상의 대구경화가 가능하고 상대적으로 가격이 낮아 양산성이 향상될 수 있다.
- [0037] 상기 반도체 적층체(130)는 제1 도전형 반도체층(132), 활성층(135) 및 제2 도전형 반도체층(137)을 포함할 수 있다.
- [0038] 상기 버퍼층(110)은 In_xAl_yGa_{1-x-y}N (0 ≤ x ≤ 1, 0 ≤ y ≤ 1)일 수 있다. 예를 들어, 상기 버퍼층(110)은 AlN, AlGa_n, InGa_n일 수 있다. 필요에 따라, 복수의 층을 조합하거나, 조성을 점진적으로 변화시켜 사용할 수도 있다. 상기 성장용 기판이 실리콘(Si) 기판이며 반도체 적층체(130)로서 질화물 반도체를 성장시키는 경우에, 버퍼층(110)은 다양한 형태의 복합 버퍼구조를 가질 수 있다.
- [0039] 상기 반도체 적층체(130)의 각 층은 앞선 실시예에서 설명된 질화물 반도체일 수 있다. 상기 MOCVD, MBE, HVPE 과 같은 공정을 이용하여 상기 성장용 기판(GS) 상에 성장될 수 있다. 상기 제2 도전형 반도체층(137) 상에 오틱 콘택층(151)을 추가로 형성할 수 있다. 예를 들어, 오틱 콘택층(151)은 ITO일 수 있다.

- [0040] 이어, 도 5를 참조하면, 상기 반도체 적층체(130)에서 제1 도전형 반도체층(132)의 일부 영역이 노출되도록, 상기 제2 도전형 반도체층(137)과 상기 활성층(135)의 일부 영역을 제거하여 메사 에칭된 영역(ME)을 형성할 수 있다. 공정에 따라서는, 메사 에칭된 영역(ME)을 형성하는 과정에서 제1 도전형 반도체층(132)의 일부 영역이 제거될 수도 있다.
- [0041] 이러한 공정에 의해, 제2 도전형 반도체층(137) 및 활성층(135)에 메사 구조가 형성되며, 이러한 메사 구조는 후속 공정에서 발광셀을 구분하기 위한 영역으로 정의될 수 있다.
- [0042] 다음으로, 도 6을 참조하면, 상기 반도체 적층체(130) 상에 제1 및 제2 개구(01,02)를 갖는 절연막(141)을 형성한다.
- [0043] 본 공정은 반도체 적층체(130)의 전체 상면에 절연막(141)을 형성한 후에, 마스크를 이용하여 제1 및 제2 개구(01,02)를 형성하는 과정으로 수행될 수 있다. 상기 제1 및 제2 개구(01,02)는 상기 제1 및 제2 도전형 반도체층(132, 137)에 제1 및 제2 콘택 영역(CA,CB)을 정의한다. 예를 들어, 상기 절연막(141)은 SiO₂, Si₃N₄, HfO₂, SiON, TiO₂, Ta₂O₃ 또는 SnO₂일 수 있다.
- [0044] 다음으로, 도 7을 참조하면, 상기 복수의 발광셀(LC1~LCn)의 제1 및 제2 콘택 영역(CA,CB)을 연결하는 연결 전극(150)을 형성할 수 있다.
- [0045] 상기 연결 전극(150)은 상기 절연막(141)을 따라 형성되므로, 연결 전극(150)과 반도체 적층체(130) 사이에 의도하지 않은 접착이 발생하는 것을 방지할 수 있다. 본 공정에서, 상기 연결 전극(150)은 복수의 발광셀(LC1~LCn)이 직렬로 구동되도록 인접한 발광셀(LC)들의 다른 콘택 영역(CA,CB)을 서로 연결할 수 있다. 예를 들어, 상기 연결 전극(150)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt 또는 Au를 포함할 수 있다.
- [0046] 상기 연결 전극(150)과 함께, 반도체 적층체(130)의 양 단에 위치한 발광셀(LC1 LCn)에는 각각 제1 및 제2 패드 전극(140A,140B)이 형성될 수 있다. 이러한 제1 및 제2 패드 전극(140A,140B)은 후속 공정에서 전극 패드가 형성될 영역을 제공한다.
- [0047] 이어, 도 8을 참조하면, 상기 연결 전극(150)을 덮도록 상기 절연막(141) 상에 페시베이션막(145)을 형성하고, 제1 및 제2 전극 패드(180N,180P)를 형성할 수 있다.
- [0048] 앞서 설명한 바와 같이, 페시베이션막(145)이 도입함으로써 후속 형성될 투광성 접합층(160)과의 접합강도를 강화시킬 수 있다. 이러한 페시베이션막(145)은 상기 절연막(141)과 같은 물질을 증착하여 형성될 수 있다. 예를 들어, 상기 페시베이션막(145)은 SiO₂, Si₃N₄, HfO₂, SiON, TiO₂, Ta₂O₃ 또는 SnO₂일 수 있다.
- [0049] 다음으로, 도 9를 참조하면, 상기 반도체 적층체(130)의 제2 면(130B)에 임시 접착층(TB)을 도포하고, 성장용 기관(GS)을 제거하는 후속 공정에서 지지체로 사용될 수 있는 테이프(T)를 부착한다. 상기 임시 접착층(TB)은 UV경화 수지와 같이, 신속하게 경화되면서도 반도체 적층체(130)를 지지할 수 있을 정도의 강도를 유지할 수 있는 접착제가 사용될 수 있다.
- [0050] 다음으로, 도 10을 참조하면, 상기 반도체 적층체(130)로부터 성장용 기관(GS)을 제거할 수 있다.
- [0051] 상기 성장용 기관(GS)의 제거는 레이저 리프트 오프, 기계적 연마 또는 기계적 화학적 연마, 화학적 에칭과 같은 다양한 공정에 의해 수행될 수 있다. 상기 성장용 기관(GS)으로 실리콘 기관을 사용하는 경우에는 기계적 강도가 비교적 낮으므로, 기계적 또는 기계적 화학적 연마 공정을 이용하여 제거될 수 있다. 본 실시예에서는, 버퍼층(110)이 제1 도전형 반도체층(132) 상에 잔류된 것으로 예시하였으나, 이에 한정되지 않고, 다른 실시예에서는 성장용 기관(GS)과 함께 버퍼층(110)이 제거될 수 있다.

- [0052] 다음으로, 도 11을 참조하면, 제1 도전형 반도체층(132)에 요철(C)을 형성하는 표면 처리 공정을 수행할 수 있다. 본 실시예에서는, 제1 도전형 반도체층(132)의 표면에 요철(C)을 형성한 것으로 예시하였으나, 이에 한정되지 않고, 다른 실시예에서는 제1 도전형 반도체층(132)에 잔존한 버퍼층(110)에 요철(C)이 형성될 수 있다.
- [0053] 다음으로, 도 12를 참조하면, 상기 제1 도전형 반도체층(132)의 제1 면(130A)에 투광성 접합층(160)을 도포하고, 투광성 지지 기판(170)을 접합시킬 수 있다. 투광성 지지 기판(170)을 접합시킨 후에는, 지지체로 사용하기 위해 이전 공정에서 형성한 임시 접착층(TB)과 테이프(T)는 제거될 수 있다(도 11 참조).
- [0054] 상기 투광성 접합층(160)은 도포된 표면이 평탄면을 형성하도록 요철(C)을 덮도록 도포될 수 있다. 상기 투광성 접합층(160)은, 실리콘 수지, 에폭시 수지, 폴리아크릴레이트, 폴리이미드, 폴리 아마이드 또는 벤조사이클로부텐을 포함할 수 있다. 이러한 폴리머 외에도, 스핀온 글라스 공법을 이용하여 투광성 지지 기판(170)을 접할 수 있다.
- [0055] 상기 투광성 접합층(160)을 이용하여 상기 반도체 적층체(130)의 제1 면(130A)에 투광성 지지 기판(170)을 접합시킬 수 있다.
- [0056] 상기 투광성 지지 기판(170)은 활성층(135)에서 생성된 광을 투과할 수 있는 물질이면 적절히 사용될 수 있다. 예를 들어, 상기 투광성 지지 기판(170)은 이에 한정되지는 않으나 사파이어 기판, SiC 기판, Si 및 유리 기판 중 하나일 수 있다. 상기 투광성 지지 기판(170)은 반도체 적층체를 지지하기 위한 것이므로, 사파이어 기판을 사용할 경우에, 반도체 적층체를 성장시키는데 사용되는 C면의 결정방향을 가질 필요가 없다. 따라서, 투광성 지지 기판(170)은, C면의 결정방향을 갖지 못하는 8인치의 구경 사파이어 기판과 같은 저가의 사파이어 기판이나 Si기판도 적용될 수 있다.
- [0057] 필요에 따라, 투광성 지지 기판(170)을 원하는 두께로 감소시키기 위해서 그라인딩(grinding) 공정을 수행할 수 있다.
- [0058] 특정 실시예에서는, 상기 투광성 접합층(160) 및 상기 투광성 지지 기판(170) 중 적어도 하나는 방출광의 파장을 변환하기 위한 파장변환물질을 함유시켜 파장 변환부로 제공될 수 있다.
- [0059] 상술된 실시예들에 따른 반도체 발광 소자는 양면 또는 전면 발광이 가능한 구조를 가지며, 다양한 LED 모듈과 조명 장치로 유익하게 활용될 수 있다.
- [0060] 도 13은 본 발명의 일 실시예에 따른 LED 모듈을 나타내는 측면면도이고, 도 14는 도 13에 도시한 LED 모듈의 'B'부분을 확대하여 나타낸 부분 확대도이다.
- [0061] 도 13 및 도 14를 참조하면, LED 모듈(1000)은 각각 양단에 제1 및 제2 접속 단자(300A, 300B)가 노출되고 중단은 파장 변환부(400)로 덮힌 가늘고 긴 봉 형상을 가질 수 있다. 구체적으로, 상기 LED 모듈(1000)은, 도1 및 도2에 도시된 반도체 발광소자(100)와, 상기 반도체 발광소자(100)가 실장된 회로 기판(200)과, 상기 반도체 발광소자(100)를 둘러싸는 파장 변환부(400)와, 상기 반도체 발광소자(100)에 연결되며 전원을 인가하기 위한 제1 및 제2 접속 단자(300A, 300B)를 포함한다. 상기 LED 모듈(1000)은 종래의 백열 전구의 필라멘트와 유사한 형상으로 제조되어, 전원이 인가되면 필라멘트와 유사한 선형의 광을 방출하므로, LED필라멘트(LED filament)라고도 불린다.
- [0062] 상기 회로 기판(200)은 상기 반도체 발광소자(100)가 실장되는 면에 접속되는 제1 및 제2 전극(210A, 210B)이 배치된 제1 면(200A) 및 제2 면(200B)을 가지며, 일 방향으로 가늘고 긴 바(bar) 형상으로 이루어질 수 있다. 상기 제1 및 제2 전극(210A, 210B)에는 상기 반도체 발광소자(100)의 제1 및 제2 본딩 패드가 솔더(181)에 의해 접속될 수 있다. 상기 제1 및 제2 전극(210A, 210B) 중 제1 및 제2 접속 단자(300A, 300B)와 접속하는 영역에는 열전도성을 향상시키기 위한 써멀 페이스트가 도포되거나 금속층이 증착될 수도 있다. 상기 써멀 페이스트는 열전

도성이 좋은 다이아몬드, Ag, AlN, BN 및 ZnO의 필러를 포함할 수 있으며, 상기 금속층은 Au, Sn, Ag, Al, W, Ni, Cu, In 및 Pb를 포함할 수 있다. 따라서, 상기 반도체 발광소자(100)에서 방출된 열은, 상기 제1 및 제2 전극(210A, 210B)을 통해, 상기 제1 및 제2 접속 단자(300A, 300B)로 신속하게 방출될 수 있다.

[0063] 상기 회로 기판(200)은 유리, 경질 유리, 석영 유리, 투명 세라믹, 사파이어 또는 플라스틱 등으로 제조된 투광성 기판일 수 있으며, 실시예에 따라서는, 상기 반도체 발광소자(100)의 투광성 지지 기판과 동일한 재질로 이루어질 수 있다. 실시예에 따라서는 상기 회로 기판(200)의 제2 면(200B)에는 광추출효율을 향상시키기 위한 요철이 형성될 수 있다.

[0064] 상기 제1 및 제2 접속 단자(300A, 300B)는 상기 회로 기판(200)의 제1 및 제2 전극(210A, 210B)에 접속되도록 상기 회로 기판(200)양단에 배치된다. 상기 제1 및 제2 접속 단자(300A, 300B)는 상기 제1 및 제2 전극(210A, 210B)과 솔더에 의해 접속될 수 있으나, 이에 한정하는 것은 아니며, 압착에 의해 상기 제1 및 제2 전극(210A, 210B)과 접속될 수도 있다.

[0065] 상기 파장 변환부(400)는 반도체 발광소자(100)가 실장된 상기 회로 기판(200)의 제1 면(200A) 뿐만 아니라 제2 면(200B)까지 덮도록 형성될 수 있다. 본 실시예의 경우, 상기 파장 변환부(400)는 상기 투광성 지지 기판(170)의 상면에 위치한 반도체 발광소자(100)를 덮으면서 상기 회로 기판(200)을 둘러싸도록 형성될 수 있다. 따라서, 양 방향으로 방출되는 광(L1, L2) 모두가 파장 변환부(400)에 의해 원하는 광으로 변환될 수 있다.

[0066] 상기 파장 변환부(400)는 형광체 또는 양자점과 같은 파장변환 물질(400P)과 이를 함유한 투명 수지(400S)를 포함할 수 있다. 예를 들어, 상기 파장변환 물질(400P)은 상기 활성층(135)으로부터 생성된 광의 일부를 다른 파장의 광으로 변환할 수 있다. 이러한 파장변환 물질(400P)은 최종 방출광이 백색광으로 얻어지도록 구성될 수 있다. 일 예에서, 이러한 파장변환 물질(400P)은 2 이상의 파장변환 물질을 포함할 수 있으며, 예를 들면, 녹색 형광체, 황색 형광체 및 적색 형광체 중 적어도 하나를 포함할 수 있다.

[0067] 도 15 및 도 16에는 상술된 실시예와 다른 구조를 갖는 LED 모듈이 도시되어 있다.

[0068] 도 15를 참조하면, 본 실시예에 따른 LED 모듈(2000)은 상술된 실시예와 유사한 반도체 발광소자(100) 및 회로 기판(200)과 상기 반도체 발광소자(100)를 둘러싸는 파장 변환부(400)를 포함할 수 있다. 상기 파장 변환부(400)는 도 13에 도시된 파장 변환부(400)와 유사하게 구성될 수 있다.

[0069] 앞선 실시예(도 13 참조)와 비교하여, 반도체 발광소자(100)의 투광성 지지 기판(170')의 상면에 광추출효율을 향상시키기 위한 요철(C)이 형성된 차이점이 있다. 투광성 지지 기판(100')에 형성된 요철(C)은, 반도체 발광소자(100)에서 방출된 빛이 파장 변환부(400)와 투광성 지지 기판(100')의 계면에서 내부 전반사 되는 것을 방지하여 광추출 효율을 향상시키며, 반도체 발광소자(100)와 파장 변환부(400)가 접촉하는 면적을 증가시켜 반도체 발광소자(100)에서 방출된 열이 LED 모듈(2000)의 표면으로 신속하게 방출될 수 있는 효과가 있다. 도 16은 이러한 요철(C)이 회로 기판(200')에 형성된 예를 도시한 것이다.

[0070] 도 17은 도 13의 LED 모듈(1000)의 정단면도이다. 회로 기판(200)의 상면을 연장한 실장면(P-P')이 파장 변환부(400)의 중심(C0)을 지나는 면(CP-CP')보다 하부에 배치되어, 파장 변환부(400)의 전방부(400A)의 표면적이 후방부(400B)의 표면적보다 넓게 배치될 수 있다. 이러한 배치를 활용하여 LED 모듈(1000)의 상부와 하부로 방출되는 빛(L)의 광량을 조절할 수 있다.

[0071] 도 18 내지 도 20에는 상술된 실시예와 다른 구조의 파장 변환부를 갖는 LED 모듈이 도시되어 있다.

[0072] 도 18을 참조하면, 본 실시예에 따른 LED 모듈(1000A)은 상술된 실시예에 따른 반도체 발광소자(100) 및 회로 기판(200')과 상기 반도체 발광소자(100)를 둘러싸는 파장 변환부(400')를 포함할 수 있다. 상기 파장 변환부(400')는 도 17에 도시된 파장 변환부(400)와 유사하게 구성될 수 있다.

- [0073] 앞선 실시예(도 17 참조)와 비교하여, 과장 변환부(400')가 반도체 발광소자(100)가 실장된 회로 기판(200')의 일면 중 일부 영역(A1)에만 형성되어, 회로 기판(200')의 양단 영역(A2)이 노출되며, 회로 기판(200') 상에 반사층(500A)이 배치된 차이점이 있다. 상기 반도체 발광소자(100)에서 방출된 빛(L)은 상기 반사층(500A)에서 반사되어 전면으로 방출되므로, 과장 변환부(400')를 반도체 발광소자(100)가 실장된 면에만 형성할 수 있다. 따라서, 과장 변환부(400')를 형성하기 위해 사용되는 과장변환 물질의 양을 감소시킬 수 있으므로 제조원가가 절감되는 효과가 있다. 또한, 회로 기판(200')이 공기 중에 노출된 영역이 증가하고, 발열 효율이 낮은 과장 변환부(400')가 형성된 영역이 감소되므로, LED 모듈(1000A)의 발열효율이 증가하는 효과가 있다.
- [0074] 도 19를 참조하면, 본 실시예에 따른 LED 모듈(1000B)은 상술된 실시예와 유사한 반도체 발광소자(100) 및 회로 기판(200)과 상기 반도체 발광소자(100)가 실장되지 않은 면을 덮는 과장 변환부(400'')를 포함할 수 있다. 상기 과장 변환부(400'')는 도 17에 도시된 과장 변환부(400)와 유사하게 구성될 수 있다.
- [0075] 앞선 실시예(도 18 참조)와 비교하여, 과장 변환부(400'')가 반도체 발광소자(100')가 실장되지 않은 면에만 형성되며, 상기 반도체 발광소자(100')의 내부에 반사층(500A)이 배치된 차이점이 있다. 도 18의 실시예와 유사하게, 상기 반도체 발광소자(100)에서 방출된 빛(L)은 상기 반사층(500B)에서 반사되고, 회로 기판(200)을 투과하여 방출되므로, 과장 변환부(400'')를 반도체 발광소자(100')가 실장되지 않은 면에만 형성할 수 있다. 따라서, 과장 변환부(400'')를 형성하기 위해 사용되는 과장변환 물질의 양을 감소시킬 수 있으므로 제조원가가 절감되는 효과가 있다. 또한, 회로 기판(200)이 공기 중에 노출된 영역이 증가하고, 발열 효율이 낮은 과장 변환부(400'')가 형성된 영역이 감소되므로, LED 모듈(1000B)의 발열효율이 증가하는 효과가 있다.
- [0076] 도 20을 참조하면, 본 실시예에 따른 LED 모듈(1000C)은 상술된 실시예와 유사한 반도체 발광소자(100) 및 회로 기판(200)과 상기 반도체 발광소자(100)가 실장되지 않은 면을 덮는 과장 변환부(400'')를 포함할 수 있다.
- [0077] 앞선 실시예(도 19 참조)와 비교하여, 반도체 발광소자(100)의 측면을 덮는 투명수지층(900)을 더 포함하며, 반사층(500C)이 상기 투명수지층(900)과 반도체 발광소자(100)를 덮도록 형성된 차이점이 있다. 반도체 발광소자(100)의 측 방향에 반사층(500C)이 배치되므로, 반도체 발광소자(100)에서 측 방향으로 방출된 빛(L)도 회로 기판(200) 및 과장변환부(400'')를 투과하여 방출될 수 있다. 따라서, LED 모듈(1000C)의 광추출효율이 더욱 향상될 수 있다.
- [0078] 도 21은 본 발명의 일 실시예에 의한 LED 모듈의 평면도이고, 도 22는 도 21의 II-II' 방향에서 본 측단면도이며, 도 23 및 도 24는 도 21의 LED 모듈의 변형예이다.
- [0079] 도 21을 참조하면, 본 실시예에 따른 LED 모듈(4000)은, 회로 기판(4001)과, 상기 회로 기판(4001)의 일면에 실장된 복수의 반도체 발광소자(4002)와, 상기 복수의 반도체 발광소자(4002)를 둘러싸는 과장 변환부(4005)와, 상기 반도체 발광소자(4002)에 전기적으로 연결되어 전원을 인가하기 위한 제1 및 제2 접속 단자(4004A, 4004B)를 포함한다.
- [0080] 상기 과장 변환부(4005)는 도 13에 도시된 과장 변환부(400)와 유사하게 구성될 수 있다.
- [0081] 상기 복수의 반도체 발광소자(4002)는 도 13의 반도체 발광소자(100)와 유사하나, 복수의 반도체 발광소자(4002)가 각각 하나의 발광셀로 구성되어 멀티 정션 구조가 아닌 점에서 차이가 있다. 또한, 상기 복수의 반도체 발광소자(4002)는 와이어(4003) 연결을 통해 서로 직렬, 병렬 또는 직병렬로 연결될 수 있으나, 이에 한정하는 것은 아니며, 상기 회로 기판(4001)에 회로 배선을 프린팅하고, 별도의 패키지 없이 COB(Chip On Board)의 형태로 직접 회로 배선 상에 실장할 수도 있다. 일 실시예에서는 복수의 반도체 발광소자(4002)가 와이어(4003)를 통해 직렬로 연결된 경우를 예시하였다.
- [0082] 상기 회로 기판(4001)은 도 13에 도시된 회로 기판(200)과 유사하게 투광성 기판으로 구성될 수 있으나, 실시예에 따라서는 발열이 우수한 금속기판으로 구성될 수 있다. 또한, 도 22를 참조하면, 상기 회로 기판(4001)은 과장 변환부(4005)가 배치된 영역(A3)을 제외한 영역(A4), 즉, 폭 방향의 양단(4001A, 4001B)이 공기 중에 노출되

어, 반도체 발광소자(4002)에서 방출된 열(H)을 신속하게 발열할 수 있다.

[0083] 도 23은 도 22에 도시된 LED 모듈의 변형예로서, 도 22의 실시예와 비교할 때, 회로 기판(4001')이 금속으로 이루어진 차이점이 있다. 회로 기판(4001')은 Cu, Au, Ag 및 Al 중 어느 하나 또는 그 합금으로 이루어질 수 있다. 회로 기판(4001')을 금속으로 형성하면, 반도체 발광소자(4002)에서 방출된 열(H)을 신속하게 발열하여 열발산 효율을 향상시킬 수 있으며, 별도의 반사판 없이도 반도체 발광소자(4002)에서 방출된 빛을 반도체 발광소자(4002)의 전면으로 반사하여 광추출 효율을 향상시킬 수 있는 효과가 있다. 아울러, 파장 변환부(4005)를 반도체 발광소자(4002)가 실장된 면에만 배치하면 되므로, 회로 기판을 둘러싸도록 파장 변환부를 형성하는 경우에 비해 제조비용이 감소될 수 있다.

[0084] 도 24는 도 22에 도시된 LED 모듈의 변형예로서, 실시예와 비교할 때, 반도체 발광소자(5002)가 앞서 설명한 멀티정선 구조인 차이점이 있다. 복수의 반도체 발광소자를 하나의 멀티정선 구조의 반도체 발광소자(5002)로 대체하면, 동일한 개수의 발광셀을 갖는 LED 모듈의 길이를 더 짧은 길이로 제조하여, 제조비용을 감소시킬 수 있는 장점이 있다. 도 21의 실시예와 비교할 때, 도 24의 LED 모듈(5000)의 길이(TL2)는 도 21의 LED 모듈(4000)의 길이(TL1)에 비해 짧으므로, 회로 기판(5001) 및 파장 변환부(5005)를 제조하는 데에 소요되는 비용이 감소된다.

[0085] 도 25는 LED 모듈의 온도, 회로 기판(4001)의 노출된 영역(A2)의 길이 및 회로 기판(4001)의 재질간의 상관관계를 비교한 그래프이다. G1-1은 회로 기판(4001)이 사파이어인 경우이며, G1-2는 회로 기판(4001)이 Cu기판인 경우이다. 회로 기판(4001)이 사파이어인 경우(G1-1)에 비하여, 회로 기판(4001)이 Cu인 경우(G1-2)에, 발열 효율이 우수하여 LED 모듈의 온도가 낮은 것을 볼 수 있다. 또한, 회로 기판(4001)의 노출된 영역(A2)의 길이가 길어짐에 따라, 전반적으로 회로 기판(4001)의 온도가 낮아지나 G1-2의 경우에는, A2의 길이가 5mm에서 10mm로 두 배 증가하더라도 LED 모듈의 온도차는 4℃에 불과한 것을 볼 수 있다. A2가 길어짐에 따라 제조비용이 상승되므로, LED 모듈의 온도를 적정 온도 내에서 유지하면서도 제조비용의 상승은 최소화할 수 있는 A2를 결정하는 것이 중요함을 알 수 있다.

[0086] 도 26는 입력 전류와 LED 모듈의 길이와의 관계를 설명하기 위한 도면이고, 도 27은 소모전력, LED 모듈의 길이 및 발열 특성과의 관계를 설명하기 위한 도면이며, 도 28은 도 22의 A2부분, 소모전력 및 발열 특성과의 관계를 설명하기 위한 도면이다.

[0087] 도 26을 참조하면, 전반적으로 LED 모듈의 길이가 점점 짧아짐에 따라 LED 모듈의 온도가 상승되는 것을 볼 수 있으며, LED 모듈에 인가되는 전류가 증가함에 따라 LED 모듈의 온도도 상승되는 것을 볼 수 있다.

[0088] 도 27을 참조하면, LED 모듈의 길이가 짧아짐에 따라 LED 모듈의 온도는 상승하나, 소모전력 당 LED 모듈의 길이는 LED 모듈의 길이가 점점 짧아짐에 따라 오히려 감소하는 것을 볼 수 있다.

[0089] 일반적으로 LED 모듈의 온도가 약 150℃를 넘으면, LED 모듈로서의 적절한 동작을 할 수 없게 된다. 따라서, G3-1의 경우, 소모전력 당 LED 모듈의 길이를 20이상으로 한 경우에만 LED 모듈이 정상적으로 동작하는 것을 볼 수 있으며, G3-2와 G3-3의 경우에는 소모전력 당 LED 모듈의 길이를 낮추더라도 적정하게 동작하는 것을 볼 수 있다.

[0090] 따라서, 기존의 LED 모듈과 동일한 광량을 제공하면서도 제조비용이 절감된 LED 모듈을 제조하기 위해서는, LED 모듈의 길이를 줄여 제조원가를 낮추되, 인가되는 전류를 조절하여 소모전력 당 LED 모듈의 길이가 20mm/W 이상이 되도록 유지하여 LED 모듈의 온도가 적정온도(약 150℃ 이하)를 유지하도록 하여야 함을 알 수 있다.

[0091] 도 28을 참조하면, 도 22의 A2영역의 폭이 증가함에 따라, 전반적으로 LED 모듈의 온도가 낮아지나, 소모전력 당 LED 모듈의 길이가 감소함에 따라 LED 모듈의 온도는 상승하는 것을 볼 수 있다. 이러한 관계는 수학적 1과

같이 표현할 수 있다.

수학식 1

$$Temperature = 1860 \times (TL2/Pin)^{-0.826} \times (-0.137 \times \text{Log}_n(A2) + 0.673)$$

[0092]

[0093]

따라서, A2영역의 폭이 증가할 경우, LED 모듈의 발열에는 유리하나, LED 모듈의 크기가 커져 제조비용이 증가하는 단점이 있으므로, LED 모듈의 온도가 적정온도(약 150℃ 이하)를 유지하면서도, A2영역의 증가는 최소화될 수 있도록 하는 것이 바람직하다.

[0094]

도 28을 참조하면, A2영역이 없는 경우(A2=0mm)에는, 소모전력 당 LED 모듈의 길이가 20mm/W 이상인 경우에만 LED 모듈의 온도가 적정온도 이내 인 것을 볼 수 있다. 반면에, A2영역의 폭이 1mm(A2=1mm)인 경우에는, 소모전력 당 LED 모듈의 길이를 약 15mm/W까지 감소시켜도 LED 모듈의 온도가 적정온도 이내인 것을 확인할 수 있다. A2영역의 폭이 5mm(A2=5mm)인 경우에는, 소모전력 당 LED 모듈의 길이를 약 15mm/W까지 감소시켜도 LED 모듈의 온도가 적정온도 보다 낮은 100℃ 이하를 유지하여 소모전력을 더 증가시킬 수 있음을 확인할 수 있다.

[0095]

도 29는 각각 본 발명의 다양한 실시예에 따른 LED 램프를 나타내는 사시도이고, 도 30는 도 29의 III에서 바라본 평면도이다.

[0096]

도 29 및 도 30를 참조하면, 본 실시예에 따른 LED 램프(10)는 램프 커버(80), 상기 램프 커버(80)의 일 단에 결합된 베이스(60) 및 상기 램프 커버(80)의 내부 공간에 장착된 복수(예, 4개)의 LED 모듈(1000)을 포함할 수 있다. 상기 복수의 LED 모듈(1000)은 프레임(40)에 납땜되어 고정될 수 있다. 본 실시예에 채용된 LED 모듈(1000)은 앞서 설명한 실시예의 LED 모듈일 수 있다(도 13, 도 15, 도 16 및 도 21 참조).

[0097]

상기 램프 커버(80)는 유리, 경질 유리, 석영 유리 또는 광투과성 수지로 이루어진, 투명하거나 혹은 유백, 무광택, 유색의 벌브 커버일 수 있다. 상기 램프 커버(80)는 다양한 타입일 수 있다. 예를 들어, A-형, G-형, R-형, PAR-형, T-형, S-형, 초(candle)형, P형, PS형, BR형, ER형, BRL형과 같은 기존의 벌브형(bulb type) 커버 중의 하나일 수 있다.

[0098]

상기 베이스(60)는 상기 램프 커버(80)와 결합하여 상기 LED 램프(10)의 외형을 이루며, 기존의 조명 장치와 대체 가능하도록, E40, E27, E26, E14, GU, B22, BX, BA, EP, EX, GY, GX, GR, GZ, G형 등의 소켓에 접속가능하도록 구성될 수 있다. 상기 LED 램프(10)에 공급되는 전력은 상기 베이스(60)를 통하여 인가될 수 있다. 상기 베이스(60)의 내부 공간에는 전원부(70)가 배치되어 상기 베이스(60)를 통해 인가되는 전력을 AC-DC 변환하거나 전압을 변경하여 상기 LED 모듈(1000)에 제공될 수 있다.

[0099]

상기 베이스(60)의 중심부(C1)에는 지주(30)의 일 단이 고정되도록 설치되며, 상기 지주(30)에는 상기 LED 모듈(1000)을 고정시키기 위한 프레임(40)이 배치될 수 있다. 상기 지주(30)는 상기 램프 커버(80)의 개방된 영역을 덮어 고온 가열 처리를 통해 용접되어 밀봉된 내부공간을 형성할 수 있다. 따라서, 램프 커버(80)의 내부 공간에 배치된 LED 모듈(1000)을 외부의 수분 등으로부터 차단할 수 있다.

[0100]

상기 프레임(40)은 상기 LED 모듈(1000)을 고정시키며 전력을 공급할 수 있도록 금속 재질로 이루어질 수 있으며, 복수의 LED 모듈(1000)을 연결하는 연결 프레임(42)과, 전력을 공급하기 위한 제1 및 제2 전극 프레임(41a, 41b)을 포함할 수 있다. 상기 지주(30)의 타 단에는 상기 연결 프레임(42)을 고정하기 위한 안착부(31)가 형성될 수 있다. 상기 지주(30)의 중단에는 제1 및 제2 전극 프레임(41a, 41b)이 고정되도록 설치되어, 상기 제1 및 제2 전극 프레임(41a, 41b)에 용접되는 복수의 LED 모듈(1000)을 지지할 수 있다. 상기 제1 및 제2 전극 프레임(41a, 41b)은 각각 지주(30)에 매립된 제1 및 제2 전선(50a, 50b)과 연결되어 상기 전원부(70)로부터 공급되는 전력이 인가될 수 있다.

[0101]

상기 LED 모듈(1000)은 상기 램프 커버(80)의 내부 공간에 복수개가 수용될 수 있다.

[0102] 도 30를 참조하면, 상기 LED 모듈(1000)은 도 29의 III 방향에서 보았을 때, 베이스(60)의 중심부(C1)를 기준으로 회전 대칭형으로 배치될 수 있다. 구체적으로, 상기 램프 커버(80)의 내부 공간에 각각의 LED 모듈(1000)이 램프 커버(80)를 향하도록 상기 지주(30)의 주위에 회전 대칭적으로 배치될 수 있다.

[0103] 지금까지의 설명은 본 발명의 기술적 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다.

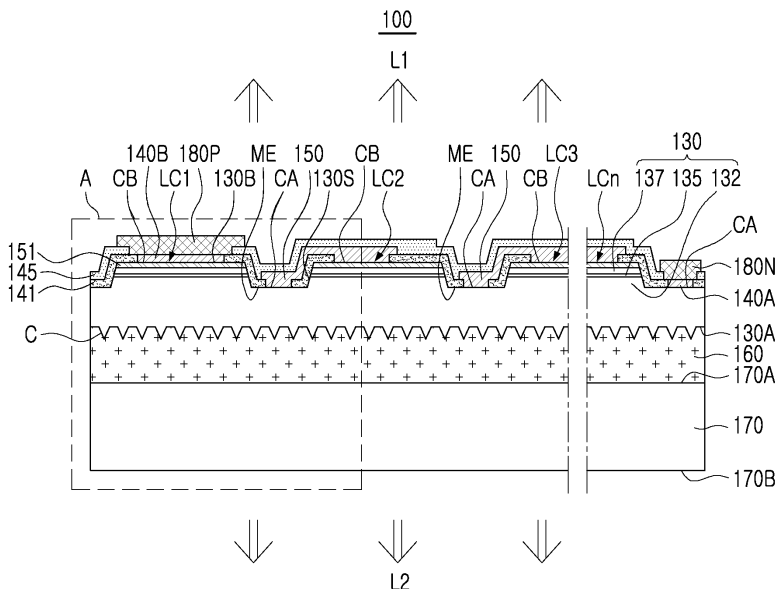
[0104] 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술적 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술적 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

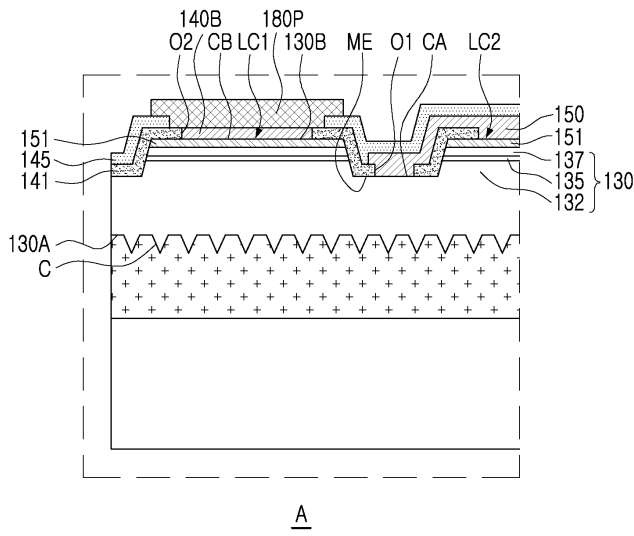
- [0105] 10: LED램프
- 100: 반도체 발광소자
- 130: 반도체 적층체
- 200: 회로 기판
- 400: 파장 변환부
- 1000: LED 모듈

도면

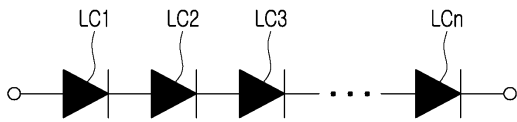
도면1



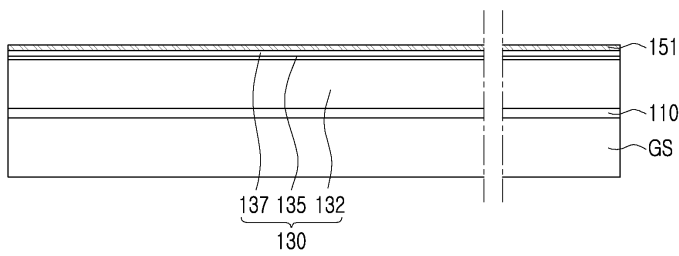
도면2



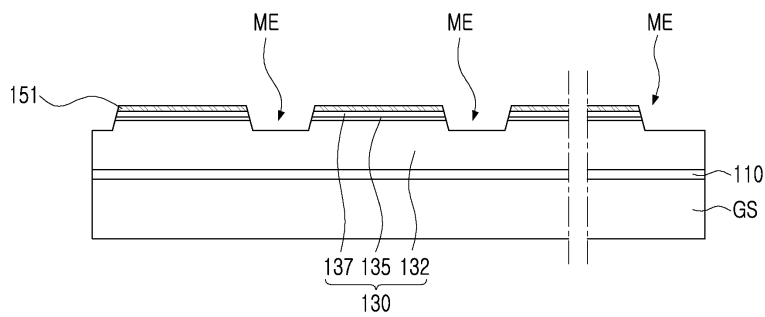
도면3



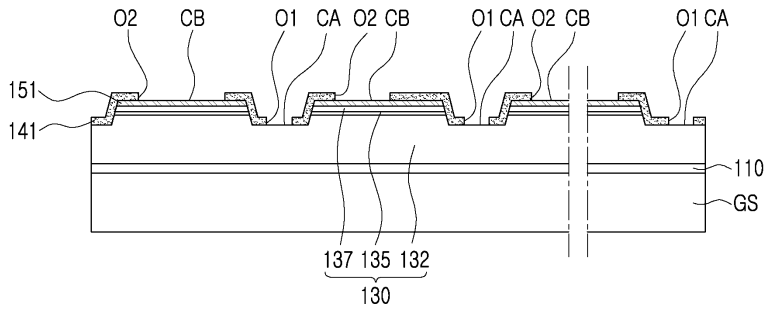
도면4



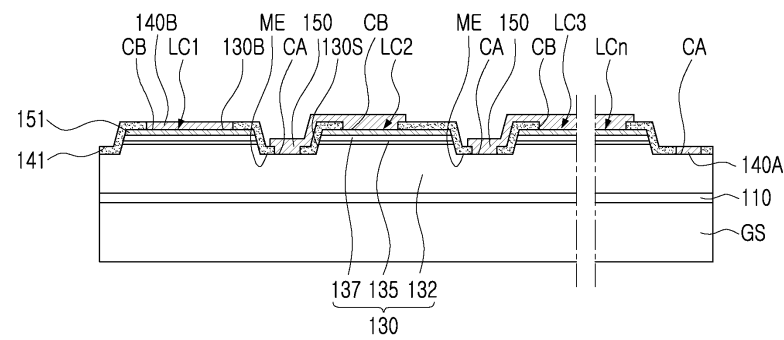
도면5



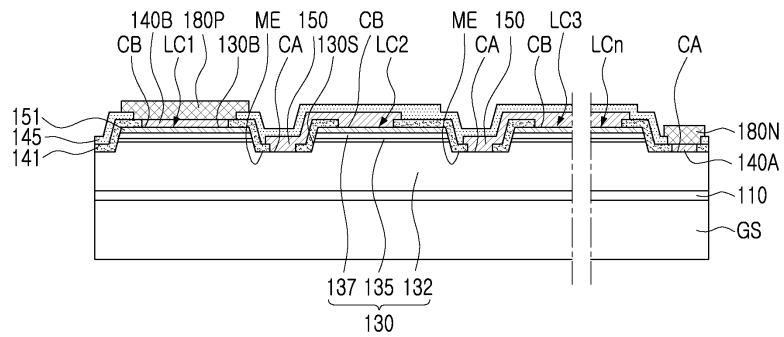
도면6



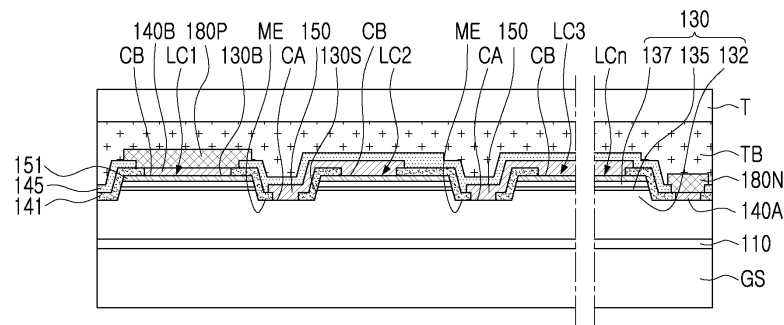
도면7



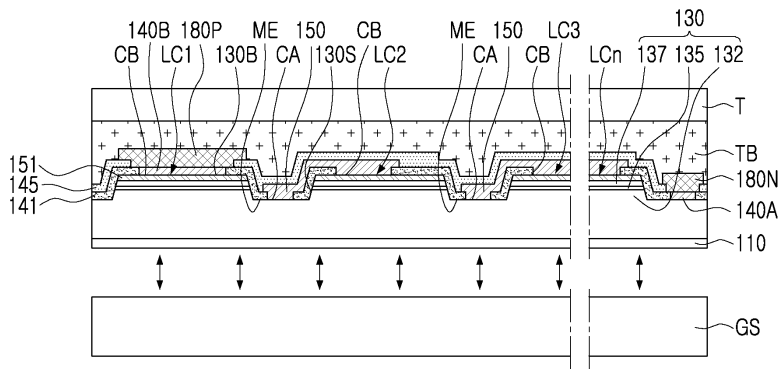
도면8



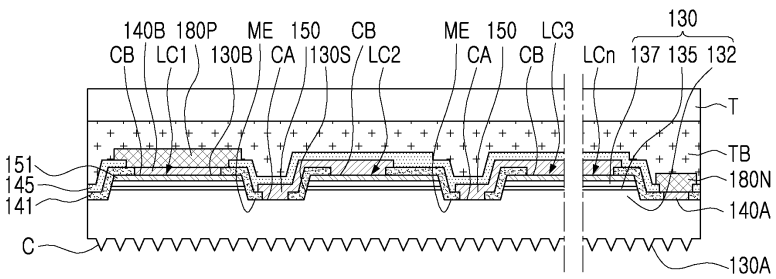
도면9



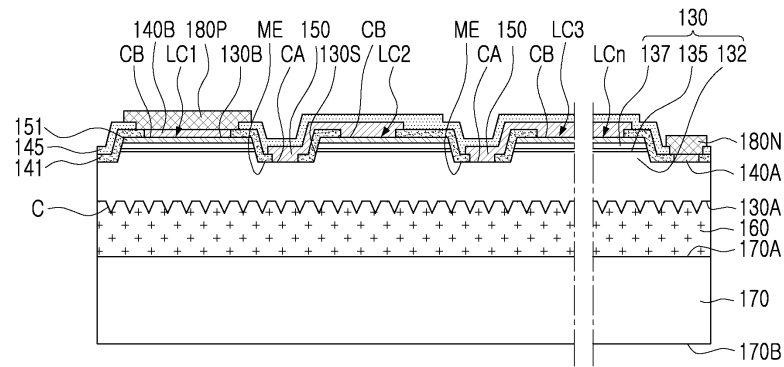
도면10



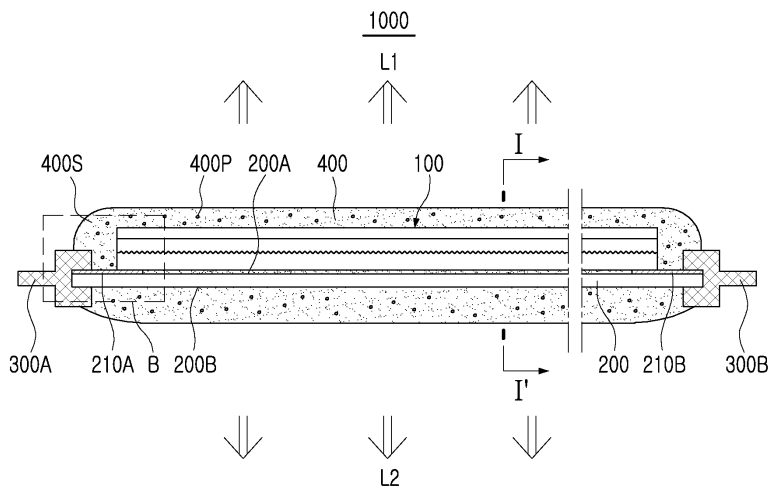
도면11



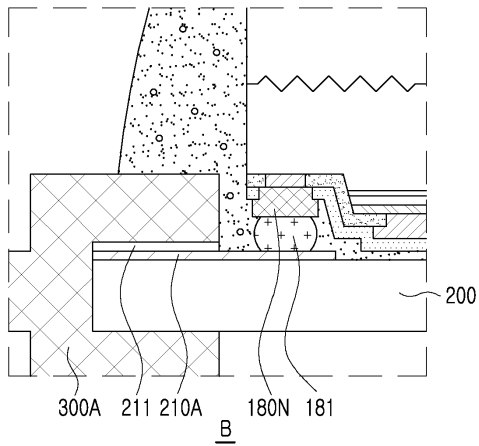
도면12



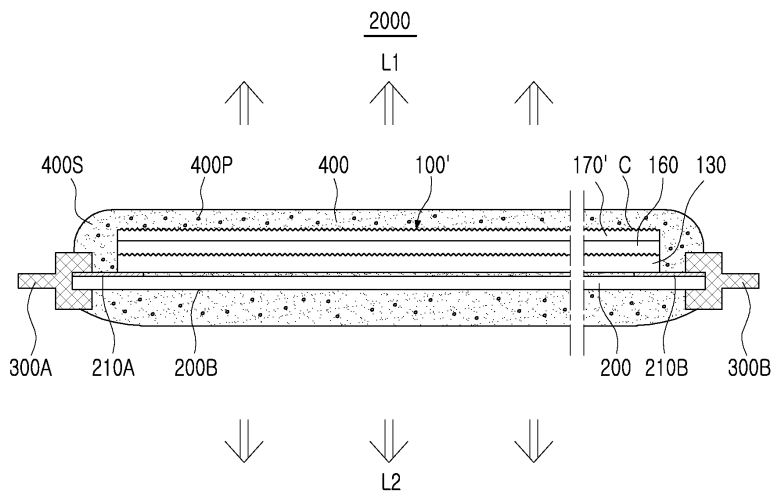
도면13



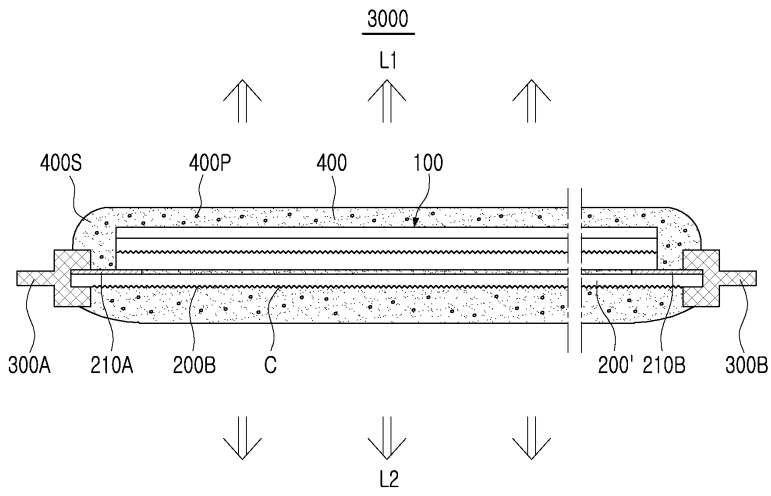
도면14



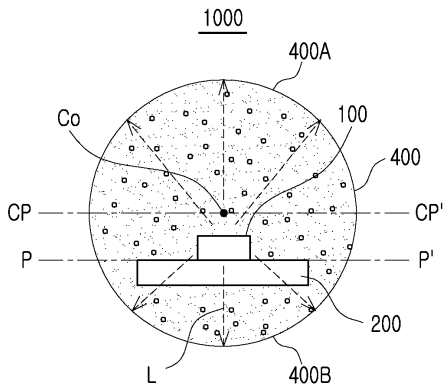
도면15



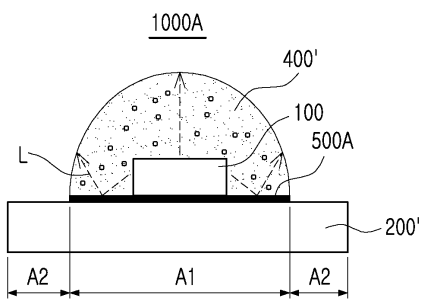
도면16



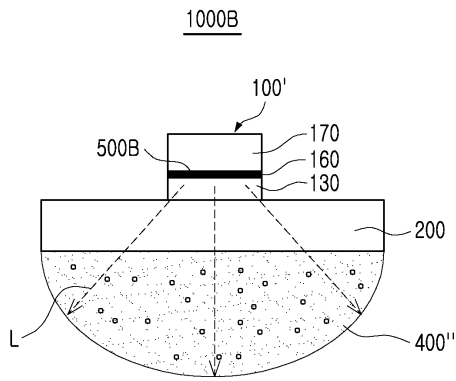
도면17



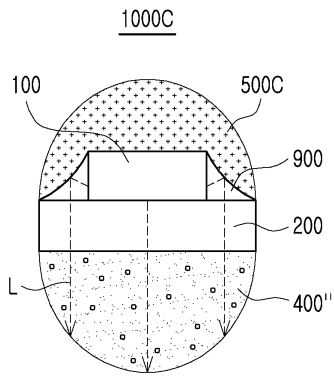
도면18



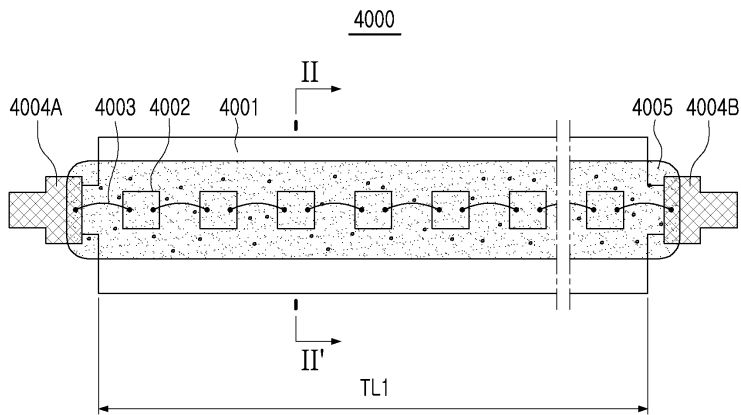
도면19



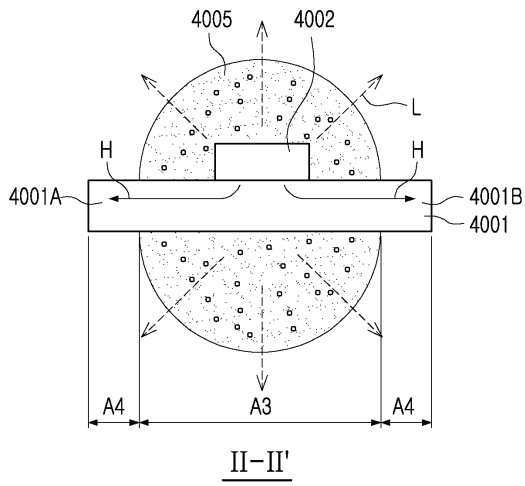
도면20



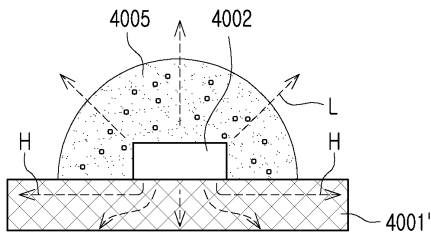
도면21



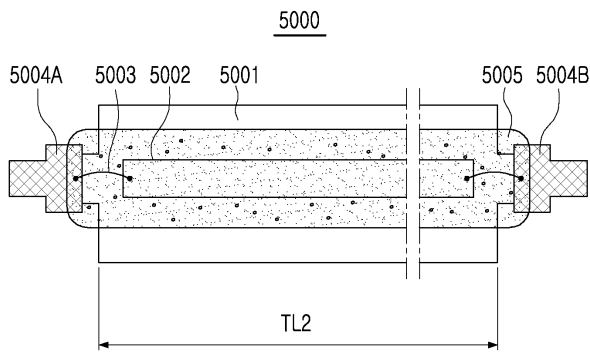
도면22



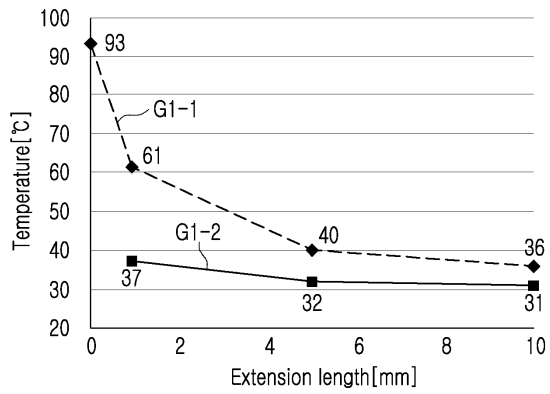
도면23



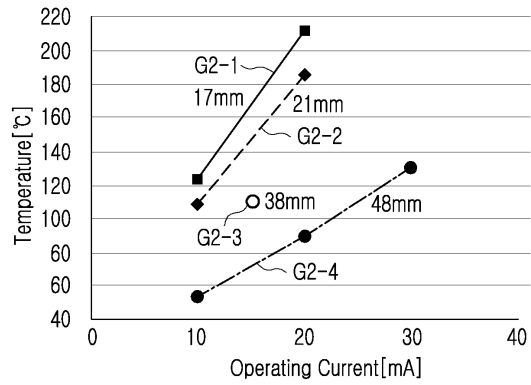
도면24



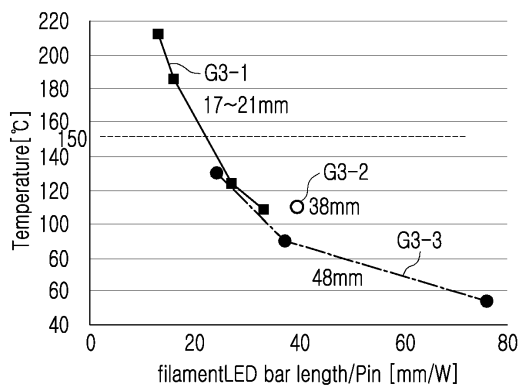
도면25



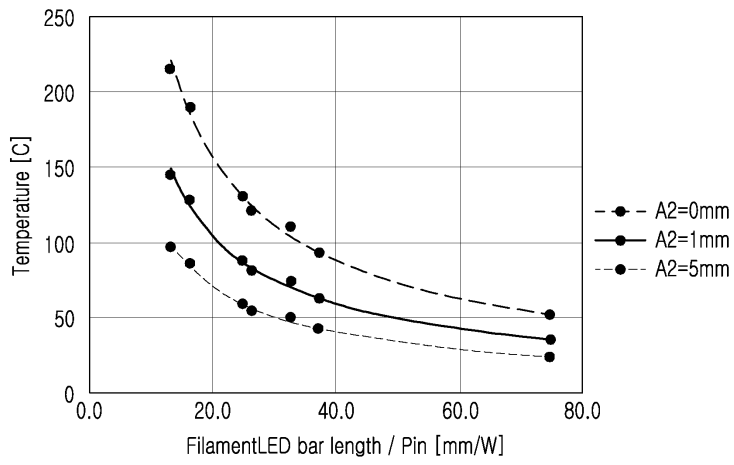
도면26



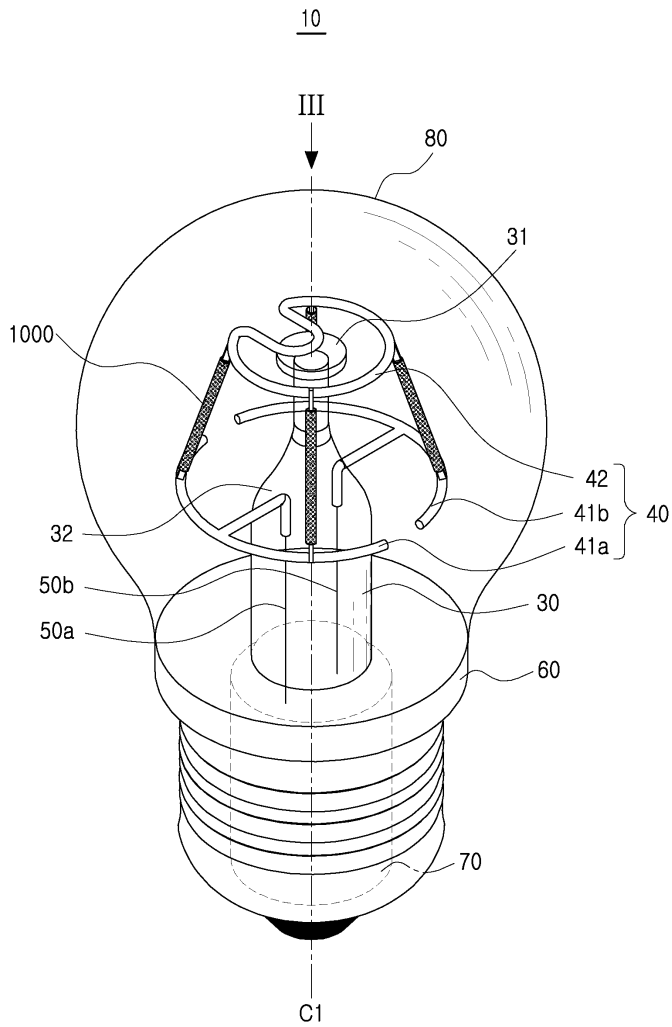
도면27



도면28



도면29



도면30

