

(52) CPC특허분류

H01L 29/1025 (2013.01)

H01L 29/732 (2013.01)

H01L 29/7849 (2013.01)

(72) 발명자

김홍석

경기도 용인시 수지구 신봉2로 26, 120동 1404호
(신봉동, LG신봉자이1차아파트)

김슬예

서울특별시 동작구 노량진로26길 32-18 (본동)

남필욱

경기도 수원시 영통구 삼성로 11, 210동 2203호 (신동, 래미안 영통마크원 2단지)

안재영

경기도 성남시 분당구 불정로 361, 509동 501호 (서현동, 효자촌삼환아파트)

임한진

서울특별시 서초구 서초대로40길 72, 101동 908호 (서초동, 서초한빛삼성아파트)

명세서

청구범위

청구항 1

기관;

상기 기관 상에서 상기 기관의 상면에 평행한 제1 방향으로 연장되며, 상기 기관의 상면에 수직한 제2 방향으로 층간 절연층과 교대로 적층되는 복수의 게이트 전극;

상기 복수의 게이트 전극과 층간 절연층을 관통하여 상기 제2 방향을 따라 연장되는 수직 채널홀의 측벽 상에 형성되며, 상기 기관의 상면과 연결되는 수직 채널층;

상기 수직 채널홀 내에 형성되며, 상기 수직 채널층과 접하는 외측벽과 상기 외측벽과 반대되는 내측벽을 구비하고, 상기 내측벽의 일부는 상기 제2 방향을 따라 연장되는 줄무늬 형상(striation shape)을 갖는 제1 매립 절연막을 포함하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 제1 매립 절연막의 상기 외측벽은 원형인 수직 단면을 가지며, 상기 제1 매립 절연막의 상기 내측벽은 원형이 아닌 수직 단면을 갖는 것을 특징으로 하는 반도체 소자.

청구항 3

제1항에 있어서,

상기 제1 매립 절연막의 상기 내측벽의 상기 수직 단면은 복수 개의 볼록부를 구비하는 다각형 형상 단면인 것을 특징으로 하는 반도체 소자.

청구항 4

제1항에 있어서,

상기 제1 매립 절연막은 상기 제2 방향을 따른 연장 방향에 수직한 방향을 따라 균일하지 않은 두께를 가지며, 상기 수직 채널층은 상기 제1 매립 절연막을 포위하는 방향으로 균일하지 않은 두께를 갖는 것을 특징으로 하는 반도체 소자.

청구항 5

제1항에 있어서,

상기 수직 채널층은 상기 제1 매립 절연막의 외측벽과 접하는 내측벽과, 상기 내측벽과 반대되는 외측벽을 구비하며,

상기 수직 채널층의 상기 외측벽은 제1 수직 레벨에서 줄무늬 형상을 가지며,

상기 수직 채널층의 상기 외측벽은, 상기 기관의 상면으로부터 상기 제1 수직 레벨보다 더 멀리 위치하는 제2 수직 레벨에서 줄무늬 형상을 갖지 않는 것을 특징으로 하는 반도체 소자.

청구항 6

제5항에 있어서,

상기 제1 수직 레벨에서, 상기 수직 채널층의 상기 외측벽은 복수 개의 볼록부를 구비하는 다각형 형상의 수직 단면을 가지며,

상기 제1 수직 레벨에서, 상기 수직 채널층의 상기 내측벽은 원형의 수직 단면을 갖는 것을 특징으로 하는 반도체 소자.

체 소자.

청구항 7

제1항에 있어서,

상기 제1 매립 절연막은 상기 수직 채널층의 일부분이 산화되어 형성된 실리콘 산화물을 포함하는 것으로 하는 반도체 소자.

청구항 8

제1항에 있어서,

상기 수직 채널홀 내에 형성되며, 상기 제1 매립 절연막의 상기 내측벽과 접하는 제2 매립 절연막을 더 포함하는 반도체 소자.

청구항 9

제8항에 있어서,

상기 제1 매립 절연막과 상기 제2 매립 절연막이 상기 수직 채널홀을 완전히 채우거나, 상기 제2 매립 절연막 내부에 보이드가 형성되는 것을 특징으로 하는 반도체 소자.

청구항 10

제1항에 있어서,

상기 수직 채널층은 그 하측(lower portion)에 배치되고 상기 기관의 상면과 접촉하는 하부 콘택 영역을 구비하며,

상기 제1 매립 절연막의 하단부가 상기 하부 콘택 영역 내부까지 연장되며,

상기 제1 매립 절연막의 상기 하단부는 캐비티 영역을 정의하는 복수의 볼록면들을 구비하는 것을 특징으로 하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 소자 및 그 제조 방법에 관한 것으로, 더욱 상세하게는, 수직 채널층을 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 메모리 장치의 집적도가 높아짐에 따라, 기존의 평면 트랜지스터 구조를 갖는 메모리 장치 대신 수직 트랜지스터 구조를 갖는 메모리 장치가 제안되고 있다. 수직 트랜지스터 구조의 메모리 장치는 기관 상에서 수직 방향으로 연장되는 수직 채널층을 포함한다. 그러나 메모리 장치의 다운스케일링에 따라 수직 채널층의 전기적 특성이 저하될 뿐만 아니라 제조 공정이 복잡해지는 문제가 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 우수한 전기적 특성을 갖는 반도체 소자를 제공하는 것이다.

[0004] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 단순화된 공정에 의한 반도체 소자의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 반도체 소자는, 기관, 상기 기관 상에서 상기

기관의 상면에 평행한 제1 방향으로 연장되며, 상기 기관의 상면에 수직한 제2 방향으로 층간 절연층과 교대로 적층되는 복수의 게이트 전극, 상기 복수의 게이트 전극과 층간 절연층을 관통하여 상기 제2 방향을 따라 연장되는 수직 채널홀의 측벽 상에 형성되며, 상기 기관의 상면과 연결되는 수직 채널층, 상기 수직 채널홀 내에 형성되며, 상기 수직 채널층과 접하는 외측벽과 상기 외측벽과 반대되는 내측벽을 구비하고, 상기 내측벽의 일부는 상기 제2 방향을 따라 연장되는 줄무늬 형상(striation shape)을 갖는 제1 매립 절연막을 포함한다.

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 반도체 소자는, 기관, 상기 기관 상에서 상기 기관의 상면에 평행한 제1 방향으로 연장되며, 상기 기관의 상면에 수직한 제2 방향으로 층간 절연층과 교대로 적층되는 복수의 게이트 전극, 상기 복수의 게이트 전극과 층간 절연층을 관통하여 상기 제2 방향을 따라 연장되는 수직 채널홀의 측벽 상에 형성되는 수직 채널층, 및 상기 수직 채널홀 내부에 형성되며, 상기 수직 채널층과 접하는 외측벽과 상기 외측벽과 반대되는 내측벽을 구비하는 제1 매립 절연막을 포함하며, 상기 수직 채널층의 일부가 상기 기관 상면에 대한 제1 수직 레벨에서 불균일한 두께를 가지며, 상기 제1 매립 절연막은 상기 제1 수직 레벨에서 불균일한 두께를 갖는다.

발명의 효과

[0007] 본 발명의 기술적 사상에 의한 반도체 소자는, 산소 촉매 어닐링 공정을 사용하여 수직 채널층을 결정화시킴에 의해 형성된 수직 채널층을 포함할 수 있고 상기 수직 채널층은 우수한 결정 품질을 가질 수 있다. 또한, 상기 반도체 소자의 제조 방법에서, 산소 촉매 어닐링 공정에 의해 수직 채널층이 일부 두께만큼 제1 매립 절연막으로 변환될 수 있고, 이에 따라 수직 채널층의 트리밍 공정 및 제1 매립 절연막의 형성 공정이 생략될 수 있다. 따라서, 단순화된 제조 방법에 의해 반도체 소자가 얻어질 수 있다.

도면의 간단한 설명

[0008] 도 1은 예시적인 실시예들에 따른 반도체 소자의 대표적인 구성을 나타내는 사시도이다.
 도 2는 도 1의 II 부분의 확대 단면도이다.
 도 3a는 도 1의 제1 수직 레벨(LV1)에서의 수직 단면도이고, 도 3b는 도 1의 제2 수직 레벨(LV2)에서의 수직 단면도이다.
 도 4는 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다.
 도 5는 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다.
 도 6a는 도 5의 제1 수직 레벨(LV1)에서의 수직 단면도이고, 도 6b는 도 5의 제3 수직 레벨(LV3)에서의 수직 단면도이다.
 도 7, 도 8, 도 9a, 도 10a, 및 도 11 내지 도 13은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 공정 순서에 따라 도시한 단면도들이고, 도 9b 및 도 10b는 도 9a 및 도 10a의 제1 수직 레벨(LV1)에서의 수직 단면도들이다.
 도 14 및 도 15는 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 나타내는 단면도들이다.
 도 16 내지 도 21은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면을 참조하여 본 발명의 기술적 사상의 바람직한 실시예를 상세히 설명하기로 한다.
 [0010] 도 1은 예시적인 실시예들에 따른 반도체 소자(100)의 대표적인 구성을 나타내는 사시도이다. 도 2는 도 1의 II 부분의 확대 단면도이다. 도 3a는 도 1의 제1 수직 레벨(LV1)에서의 수직 단면도이고, 도 3b는 도 1의 제2 수직 레벨(LV2)에서의 수직 단면도이다. 도 1에는 도시의 편의를 위하여 비트 라인, 비트 라인 콘택, 워드 라인 콘택 플러그, 워드 라인 콘택 패드 등과 같은 일부 구성요소들이 생략되었다.
 [0011] 도 1 내지 도 3b를 참조하면, 기관(110)은 제1 방향(X 방향) 및 제2 방향(Y 방향)으로 연장되는 주면을 가질 수 있다. 기관(110)은 반도체 물질, 예를 들어 IV족 반도체, III-V족 화합물 반도체 또는 II-VI족 산화물 반도체를 포함할 수 있다. 예를 들어, IV족 반도체는 실리콘(Si), 저머늄(Ge) 또는 실리콘-저머늄을 포함할 수 있다. 기관(110)은 벌크 웨이퍼 또는 에피택셜층으로 제공될 수도 있다. 기관(110) 상에는 복수의 메모리 셀 스트링(M

1)이 배치되는 셀 영역과 상기 셀 영역 외부에 배치되는 주변 영역이 정의될 수 있다.

- [0012] 기관(110)의 셀 영역 상에는 층간 절연층(120)과 복수의 게이트 전극(130)이 기관(110)의 주변에 수직인 제3 방향(Z 방향)을 따라 교대로 배치될 수 있다. 예를 들어, 도 1에 도시된 것과 같이, 복수의 게이트 전극(130) 중 인접한 두 개의 게이트 전극(130)은 상기 제3 방향을 따라 이격되어 배치되고, 인접한 두 개의 게이트 전극(130) 사이에 층간 절연층(120)이 배치될 수 있다. 도 1에는 복수의 게이트 전극(130)의 개수가 8개인 경우의 반도체 소자를 예시적으로 도시하였으나, 이와는 달리 복수의 게이트 전극(130)의 개수는 16, 24, 32, 48, 64, 96, 128개 등 다양하게 선택될 수 있다. 예를 들어, 복수의 메모리 셀 스트링(M1)이 8개의 게이트 전극(130)을 포함하도록 형성되는 경우에, 최하부의 게이트 전극(130)은 접지 선택 라인 트랜지스터를 구성하는 접지 선택 라인일 수 있고, 최상부의 게이트 전극(130)은 스트링 선택 라인 트랜지스터를 구성하는 스트링 선택 라인일 수 있으며, 상기 최상부 및 최하부 게이트 전극(130) 사이에 배치되는 게이트 전극들(130)은 메모리 셀 트랜지스터를 구성하는 워드 라인들일 수 있다. 복수의 메모리 셀 스트링(M1)의 용량에 따라 게이트 전극(130)의 개수가 달라질 수 있다.
- [0013] 기관(110)과 최하부의 게이트 전극(130) 사이에는 하부 절연층(122)이 개재될 수 있다. 하부 절연층(122)은 층간 절연층(120)보다 작은 수직 방향 두께로 형성될 수 있으나, 본 발명의 기술적 사상이 이에 한정되는 것은 아니다.
- [0014] 최상부의 게이트 전극(130) 상에는 상부 절연층(124)이 배치될 수 있다. 상부 절연층(124)은 층간 절연층(120)보다 큰 수직 방향 두께로 형성될 수 있으나, 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 도 1에 예시적으로 도시된 것과 같이, 상부 절연층(124)은 하나의 절연 물질층으로 구성될 수 있다. 이와는 달리, 상부 절연층(124)은 서로 다른 물질을 포함하는 둘 이상의 절연 물질층들의 적층 구조를 가질 수도 있다.
- [0015] 수직 채널층(140)은 층간 절연층(120)과 복수의 게이트 전극(130)을 관통하여 상기 제3 방향을 따라 연장되도록 배치될 수 있다. 수직 채널층(140)은 기관(110)의 상면에 평행한 제1 방향(X 방향) 및 제2 방향(Y 방향)을 따라 소정의 간격으로 이격되어 배치될 수 있다. 수직 채널층(140)의 바닥부(140R)는 기관(110)의 상면과 접촉할 수 있다. 수직 채널층(140)은 층간 절연층(120)과 복수의 게이트 전극(130)을 관통하여 기관(110) 상면을 노출하는 수직 채널홀(H1)의 내벽 상에 배치될 수 있다.
- [0016] 도 3a에 예시적으로 도시된 것과 같이, 수직 채널층(140)은 외측벽(140-O)과 내측벽(140-I)을 구비할 수 있다. 수직 채널층(140)의 외측벽(140-O)의 하측 부분은 상기 제3 방향을 따라 연장되는 줄무늬 형상(striation)을 가질 수 있다. 반면, 수직 채널층(140)의 내측벽(140-I)의 하측 부분은 줄무늬 형상을 가지지 않으며 실질적으로 평탄하고 연속적인 표면을 가질 수 있다. 도 3b에 예시적으로 도시된 것과 같이, 외측벽(140-O)의 상측 부분과 내측벽(140-I)의 상측 부분은 모두 줄무늬 형상을 가지지 않으며 실질적으로 평탄하고 연속적인 표면을 가질 수 있다. 이러한 줄무늬 형상에 대하여 추후에 상세히 설명하도록 한다.
- [0017] 매립 절연막 구조물(150)은 수직 채널층(140)의 내측벽(140-I) 상에서 수직 채널홀(H1)의 내벽을 채우도록 배치될 수 있다. 매립 절연막 구조물(150)은 수직 채널층(140)과 접촉하는 제1 매립 절연막(152)과, 제1 매립 절연막(152)에 의해 포위되는(surrounded) 제2 매립 절연막(154)을 포함할 수 있다. 제2 매립 절연막(154) 내부에는 보이드(V1)가 형성될 수 있다. 그러나, 도 1에 도시된 것과 달리, 수직 채널홀(H1) 내부에 보이드(V1)가 형성되지 않고 제1 매립 절연막(152)과 제2 매립 절연막(154)이 수직 채널홀(H1) 내부를 완전히 채울 수도 있다.
- [0018] 예시적인 실시예들에 있어서, 제1 매립 절연막(152)은 실리콘 산화물을 포함할 수 있다. 예를 들어, 제1 매립 절연막(152)은 수직 채널층(140) 형성을 위한 도전층(140C)에 산소 촉매 어닐링 공정(S110)(도 10a 참조)을 수행함에 의해 수직 채널층(140)의 일부분으로부터 형성되는 실리콘 산화물을 포함할 수 있다. 다른 실시예들에 있어서, 제1 매립 절연막(152)은 수직 채널층(140) 형성을 위한 도전층(140C)에 산화 공정(S130)(도 15 참조)을 수행함에 의해 수직 채널층(140)의 일부분으로부터 형성되는 실리콘 산화물을 포함할 수 있다.
- [0019] 예시적인 실시예들에 있어서, 제2 매립 절연막(154)은 실리콘 산화물, 실리콘 산질화물, 실리콘 질화물, 실리콘 산화 탄질화물(SiOCN), 또는 이들의 조합을 포함할 수 있다. 제2 매립 절연막(154)은 화학 기상 증착(chemical vapor deposition, CVD) 공정, 원자층 퇴적(atomic layer deposition, ALD) 공정 등에 의해 형성될 수 있다.
- [0020] 도 3a에 예시적으로 도시된 것과 같이, 제1 매립 절연막(152)은 외측벽(152-O)과 내측벽(152-I)을 가지며, 내측벽(152-I)의 하측 부분은 상기 제3 방향을 따라 연장되는 줄무늬 형상을 가질 수 있다. 반면, 제1 매립 절연막(152)의 외측벽(152-O)의 하측 부분은 줄무늬 형상을 가지지 않으며 매끄러운 표면을 가질 수 있다. 도 3b에 예시적으로 도시된 것과 같이, 외측벽(152-O)의 상측 부분과 내측벽(152-I)의 상측 부분은 모두 줄무늬 형상을 가

지지 않으며 매끄러운 표면을 가질 수 있다.

- [0021] 게이트 절연층(160)은 수직 채널층(140)과 게이트 전극(130) 사이, 및 수직 채널층(140)과 층간 절연층(120) 사이에 배치될 수 있다. 게이트 절연층(160)은 수직 채널층(140)의 외측벽(140-0)을 둘러싸며, 수직 채널홀(H1) 내벽을 따라 상기 제3 방향(Z 방향)으로 연장될 수 있다. 게이트 절연층(160)은 순차적으로 적층된 블로킹 절연층(162), 전하 저장층(164) 및 터널링 절연층(166)을 포함할 수 있다. 도 3a 및 도 3b에 도시된 것과 같이, 터널링 절연층(166)은 수직 채널층(140)의 외측벽(140-0)과 접촉하며, 블로킹 절연층(162)은 게이트 전극(130) 및 층간 절연층(120)과 접촉할 수 있다.
- [0022] 예시적인 실시예들에 있어서, 블로킹 절연층(162)은 고유전상수 물질을 포함할 수 있다. 예를 들어, 블로킹 절연층(162)은 하프늄 산화물, 지르코늄 산화물, 알루미늄 산화물, 탄탈륨 산화물, 티타늄 산화물, 이트륨 산화물, 란타늄 산화물, 실리콘 질화물, 실리콘 산질화물과 같은 고유전율 금속 산화물, 또는 이들의 조합들을 포함할 수 있으나, 블로킹 절연층(162)의 종류가 이에 한정되는 것은 아니다. 또한, 블로킹 절연층(162)은 서로 유전상수가 다른 두 개 이상의 물질들의 적층 구조물일 수도 있다. 전하 저장층(164)은 실리콘 질화물 또는 폴리실리콘을 포함할 수 있다. 또한, 전하 저장층(164)은 양자 도트 또는 나노 크리스탈을 포함할 수도 있다. 터널링 절연층(166)은 실리콘 산화물을 포함할 수 있다.
- [0023] 선택적으로, 블로킹 절연층(162)과 게이트 전극(130) 사이 및/또는 층간 절연층(120)과 게이트 전극(130) 사이에 배리어막(도시 생략)이 더 형성될 수도 있다. 상기 배리어막은 게이트 전극(130)과 게이트 절연층(160) 사이의 직접적인 접촉을 방지할 수 있다. 상기 배리어막은 하프늄 산화물, 지르코늄 산화물, 알루미늄 산화물, 탄탈륨 산화물, 티타늄 산화물, 이트륨 산화물, 란타늄 산화물, 실리콘 질화물, 실리콘 산질화물과 같은 고유전율 금속 산화물, 또는 이들의 조합을 포함할 수 있다.
- [0024] 예시적인 실시예들에 있어서, 수직 채널홀(H1)의 바닥부에는 제1 리세스 영역(R1)이 형성될 수 있고, 이에 따라 수직 채널홀(H1)은 하부 절연층(122)의 저면보다 낮은 레벨에 위치하는 저면을 가질 수 있다. 도 1에 예시적으로 도시된 바와 같이, 게이트 절연층(160)이 수직 채널홀(H1) 측벽을 따라 제1 리세스 영역(R1) 바닥부까지 연장될 수 있고, 이에 따라 게이트 절연층(160)의 저면은 하부 절연층(112)의 저면보다 낮은 레벨에 위치할 수 있다. 다른 실시예들에 있어서, 수직 채널홀(H1)의 바닥부에는 제1 리세스 영역(R1)이 형성되지 않을 수 있고, 게이트 절연층(160)의 저면이 하부 절연층(122)의 저면과 실질적으로 동일한 레벨에 위치할 수도 있다.
- [0025] 예시적인 실시예들에 있어서, 수직 채널홀(H1)의 바닥부에는 제2 리세스 영역(R2)이 형성될 수 있고, 수직 채널홀(H1)은 하부 절연층(122)의 저면 또는 게이트 절연층(160)의 저면보다 낮은 레벨에 위치하는 저면을 가질 수 있다. 수직 채널층(140)은 수직 채널홀(H1) 내에서 게이트 절연층(160) 측벽을 따라 연장되어 수직 채널층(140)의 바닥부(140R)가 제2 리세스 영역(R2) 내부를 채울 수 있고, 이에 따라 수직 채널층(140)의 바닥부(140R)의 하면은 게이트 절연층(160)의 저면보다 낮은 레벨에 위치할 수 있다.
- [0026] 수직 채널홀(H1) 내에서 수직 채널층(140) 및 맵핑 절연막 구조물(150) 상에 도전 패드(172)가 배치될 수 있다. 도전 패드(172)는 메모리 셀 스트링(M1)을 위한 드레인 영역으로 작용할 수 있다. 예시적인 실시예들에 있어서, 도전 패드(172)는 불순물이 도핑된 폴리실리콘을 포함할 수 있다.
- [0027] 도전 패드(172) 상에는 제1 방향(X 방향)을 따라 연장되는 비트 라인(도시 생략)이 배치될 수 있고, 상기 비트 라인과 도전 패드(172) 사이에 비트 라인 콘택(도시 생략)이 배치되어 메모리 셀 스트링(M1)이 상기 비트 라인에 전기적으로 연결되도록 구성될 수 있다. 다른 실시예들에 있어서, 도전 패드(172) 상에 상기 비트 라인이 직접 연결되고, 상기 비트 라인 콘택이 생략될 수도 있다.
- [0028] 공통 소스 라인(174)은 기판(110)의 상면 상에서 제2 방향(Y 방향)을 따라 연장될 수 있고, 수직 채널층(140)으로부터 이격되어 배치될 수 있다. 공통 소스 라인(174) 양 측벽에는 공통 소스 라인 스페이서(176)가 배치되어, 게이트 전극(130)과 공통 소스 라인(174) 사이를 전기적으로 절연시킬 수 있다. 도 1에는 공통 소스 라인(174) 및 공통 소스 라인 스페이서(176)가 상부 절연층(124)의 상면과 동일한 레벨의 상면을 갖는 것이 예시적으로 도시되었으나, 이와는 달리 공통 소스 라인(174)의 상면이 상부 절연층(124)의 상면보다 낮은 레벨에 배치될 수도 있다. 예시적인 실시예들에 있어서, 공통 소스 라인(174)은 텅스텐, 알루미늄, 구리, 티타늄, 탄탈륨 등과 같은 금속, 불순물이 도핑된 폴리실리콘, 니켈 실리사이드, 티타늄 실리사이드, 텅스텐 실리사이드, 코발트 실리사이드 등과 같은 금속 실리사이드 등 도전성 물질로 형성될 수 있다. 공통 소스 라인(174) 아래의 기판(110) 부분에는 제3 리세스 영역(R3)이 형성될 수 있고, 공통 소스 라인(174)의 바닥부가 제3 리세스 영역(R3) 내부를 채우도록 배치될 수 있다.

- [0029] 아래에서는 도 3a 및 도 3b를 참조로 하여, 수직 채널홀(H1), 수직 채널층(140) 및 매립 절연막 구조물(150)의 형상에 대하여 상세히 설명하도록 한다.
- [0030] 도 3a 및 도 3b에 도시된 것과 같이, 수직 채널홀(H1)은 서로 다른 높이에서 다른 형상을 가질 수 있다. 예를 들어, 기관(110)의 상면과 상대적으로 가까운 제1 수직 레벨(LV1)에서 수직 채널홀(H1)의 폭이 기관(110)의 상면과 상대적으로 먼 제2 수직 레벨(LV2)에서의 수직 채널홀(H1)의 폭보다 더 작을 수 있다.
- [0031] 예를 들어, 기관(110)의 상면과 상대적으로 가까운 제1 수직 레벨(LV1)에서의 수직 채널홀(H1) 측벽 일부는 줄무늬 형상을 가질 수 있다. 제1 수직 레벨(LV1)에서 수직 채널홀(H1)의 측벽은 복수 개의 블록부가 형성된 다각형 형상 또는 별 형상인 수직 단면을 가질 수 있다. 여기서 측벽(또는 외측벽 또는 내측벽)의 수직 단면이란 측벽(또는 외측벽 또는 내측벽)의 윤곽(outline)에 의해 얻어지는 형상을 지칭한다. 이러한 다각형 형상 또는 별 형상의 수직 단면은 예시적인 목적을 위하여 도 3a에 개략적으로 도시되었다. 여기서는 복수 개의 블록부가 기관(110)의 상면과 수직한 제3 방향(Z 방향)을 따라 연장함에 의해 형성되는 수직 채널홀(H1)의 측벽 형상을 "줄무늬 형상(striation)"으로 지칭하도록 한다. 이러한 줄무늬 형상은 예를 들어 수직 채널홀(H1)의 측벽 하측(lower portion)에 형성될 수 있다.
- [0032] 반면, 기관(110)의 상면과 상대적으로 먼 제2 수직 레벨(LV2)에서의 수직 채널홀(H1)의 측벽은 줄무늬 형상을 가지지 않으며, 실질적으로 평탄하고 연속적일 수 있다. 제2 수직 레벨(LV2)에서는 수직 채널홀(H1)의 측벽이 실질적으로 원형인 수직 단면을 가질 수 있다. 이러한 원형 수직 단면은 예시적인 목적을 위하여 도 3b에 개략적으로 도시되었다. 예를 들어, 수직 채널홀(H1)의 측벽 상측은 평탄하고 연속적인 측벽 표면을 가질 수 있다.
- [0033] 일반적으로, 수직 채널홀(H1)을 형성하기 위하여 층간 절연층(120) 및 희생층(126)(도 7 참조)의 적층체 상에 마스크 패턴(도시 생략)을 형성한 후 상기 마스크 패턴을 식각 마스크로 사용하여 상기 적층체를 식각한다. 증가된 높이의 적층체를 식각할 때(또는 증가된 적층 개수의 희생층을 포함하는 적층체를 식각할 때), 상기 마스크 패턴과 식각될 상기 적층체 사이의 거리가 멀어짐에 따라(즉 수직 채널홀(H1)의 깊이가 증가함에 따라), 및/또는 상기 식각 공정의 경과 시간에 따라 마스크 패턴이 손상 또는 소모될 수 있고, 이에 따라 수직 채널홀(H1)의 측벽 프로파일이 달라질 수 있다. 따라서, 적층체의 상면으로부터 거리가 먼(예를 들어 제1 수직 레벨(LV1)에서) 수직 채널홀(H1)의 측벽 하측은 줄무늬 형상을 가질 수 있다.
- [0034] 게이트 절연층(160)은 수직 채널홀(H1)의 측벽 상에 콘포말하게 형성될 수 있고, 예를 들어 제1 수직 레벨(LV1)에서 줄무늬 형상의 수직 채널홀(H1)의 측벽을 따라 균일한 두께로 형성될 수 있다.
- [0035] 도 3a에 예시적으로 도시된 것과 같이, 제1 수직 채널층(140)은 내측벽(140-I)과 외측벽(140-O)이 서로 비대칭인 형상(예를 들어 서로 다른 모폴로지를 갖는 형상)을 가질 수 있다. 수직 채널층(140)은 수직 채널홀(H1) 내에서 게이트 절연층(160)에 의해 포위되도록 배치될 수 있다. 수직 채널층(140)은 게이트 절연층(160)과 접촉하는 외측벽(140-O)과, 외측벽(140-O)에 반대되는 내측벽(140-I)을 구비할 수 있다. 제1 수직 레벨(LV1)에서 수직 채널층(140)의 외측벽(140-O)은 수직 채널홀(H1)의 줄무늬 형상을 따라 줄무늬 형상을 가질 수 있다. 수직 채널층(140)의 외측벽(140-O)은 복수 개의 블록부(140P)를 구비하는 수직 단면을 가지며, 복수 개의 블록부(140P)가 제3 방향으로 연장함에 따라 수직 채널층(140)의 외측벽(140-O)에 줄무늬 형상이 나타날 수 있다. 반면, 제1 수직 레벨(LV1)에서 수직 채널층(140)의 내측벽(140-I)은 상대적으로 평탄하고 연속적인(또는 요철이 적은) 형상을 가질 수 있다. 수직 채널층(140)의 내측벽(140-I)은 실질적으로 원형 또는 타원형인 수직 단면을 가질 수 있다.
- [0036] 또한, 제1 매립 절연막(152)은 내측벽(152-I)과 외측벽(152-O)이 서로 비대칭인 형상(예를 들어 서로 다른 모폴로지를 갖는 형상)을 가질 수 있다. 제1 매립 절연막(152)은 수직 채널홀(H1) 내에서 수직 채널층(140)에 의해 포위되도록 배치될 수 있다. 제1 매립 절연막(152)은 수직 채널층(140)과 접촉하는 외측벽(152-O)과, 외측벽(152-O)에 반대되는 내측벽(152-I)을 구비할 수 있다. 제1 수직 레벨(LV1)에서, 제1 매립 절연막(152)의 외측벽(152-O)은 수직 채널층(140)의 내측벽(140-I)과 접촉하며, 상대적으로 평탄하고 연속적인(또는 요철이 적은) 형상을 가질 수 있다. 반면, 제1 매립 절연막(152)의 내측벽(152-I)은 줄무늬 형상을 가질 수 있다. 제1 매립 절연막(152)의 내측벽(152-I)은 복수 개의 블록부(152P)를 구비하는 수직 단면을 가지며, 복수 개의 블록부(152P)가 제3 방향으로 연장함에 따라 제1 매립 절연막(152)의 내측벽(152-I)에 줄무늬 형상이 나타날 수 있다.
- [0037] 제1 매립 절연막(152)의 외측벽(152-O)은 평탄한 또는 요철이 적은 형상을 가지는 반면, 내측벽(152-I)은 줄무늬 형상을 가짐에 따라, 제1 매립 절연막(152)은 상대적으로 큰 두께(t11)(도 10b 참조)를 갖는 일부와 상대적으로 작은 두께(t12)(도 10b 참조)를 갖는 일부를 포함할 수 있다. 예를 들어, 복수 개의 블록부(152P) 주

위에서 제1 매립 절연막(152)의 두께가 나머지 부분에서의 제1 매립 절연막(152)의 두께보다 더 클 수 있다.

- [0038] 일반적으로 메모리 장치의 다운스케일링 경향에 따라 수직 채널홀(H1)의 폭 및 수직 채널층(140)의 두께가 감소되는 것이 요구된다. 그러나, 감소된 두께의 수직 채널층(140)은 결정 품질이 우수하지 못하다. 따라서, 두꺼운 두께의 수직 채널층을 형성한 이후에 결정화를 위한 열처리를 수행하고, 이후 트리밍 공정에 의해 수직 채널층의 두께를 감소시키는 방법이 제안되었다.
- [0039] 그러나, 본 발명의 기술적 사상에 따르면, 수직 채널층(140)에 산소 촉매 어닐링 공정(S110)(도 10a 참조)을 수행하여 우수한 결정 품질의 수직 채널층(140)이 얻어질 수 있다. 또한, 상기 산소 촉매 어닐링 공정(S110)과 동시에 수직 채널층(140)의 일부분이 소정의 두께만큼 산화될 수 있고, 이에 따라 수직 채널층(140)의 일부분이 제1 매립 절연막(152)으로 변환되어 상기 비대칭 형상의 제1 매립 절연막(152)이 얻어질 수 있다. 또한 산소 촉매 어닐링 공정(S110)에 의해 수직 채널층(140)이 결정화되는 동시에 수직 채널층(140)의 일부분이 제1 매립 절연막(152)으로 변환되어 수직 채널층(140)의 두께가 감소될 수 있으므로, 수직 채널층(140)의 두께 감소를 위한 트리밍 공정이 생략될 수 있다.
- [0040] 결론적으로, 진술한 반도체 소자(100)는 우수한 결정 품질을 갖는 수직 채널층(140)을 포함할 수 있고, 따라서 반도체 소자(100)는 우수한 전기적 특성을 가질 수 있다. 또한, 반도체 소자(100)는 단순화된 공정에 의해 제조될 수 있다.
- [0041] 도 4는 예시적인 실시예들에 따른 반도체 소자(100A)를 나타내는 단면도이다. 도 4는 도 1의 II 부분에 대응하는 부분의 확대 단면도를 나타낸다. 도 4에서, 도 1 내지 도 3b에서와 동일한 참조부호는 동일한 구성요소를 의미한다.
- [0042] 도 4를 참조하면, 수직 채널층(140)은 그 하측에 배치되며, 기판(110)의 상면과 접촉하는 하부 콘택 영역(142)을 더 포함할 수 있다. 하부 콘택 영역(142)은 수직 채널층(140)의 측방향으로 확장된 일부일 수 있다. 하부 콘택 영역(142)은 수직 채널층(140)과 동일한 물질을 포함할 수 있다.
- [0043] 예를 들어, 하부 콘택 영역(142)은 최하부의 게이트 전극(130)과, 최하부의 게이트 전극(130)의 위와 아래에 배치되는 층간 절연층(120) 및 하부 절연층(122)에 의해 한정되는 제4 리세스 영역(R4)(도 16 참조) 내부에 배치될 수 있다. 제4 리세스 영역(R4)은 최하부의 게이트 전극(130)과 동일한 레벨 상에 위치하며, 수직 채널홀(H1)의 측벽으로부터 측방향으로 확장된 공간일 수 있다. 제4 리세스 영역(R4)의 내벽 상에 게이트 절연층(160)이 콘포말하게 형성되고, 게이트 절연층(160) 상에 제4 리세스 영역(R4)을 채우는 하부 콘택 영역(142)이 배치될 수 있다.
- [0044] 제4 리세스 영역(R4)의 내벽 상에 게이트 절연층(160)이 콘포말하게 형성됨에 따라, 게이트 절연층(160)의 저면은 최하부의 게이트 전극(130)의 저면과 실질적으로 동일한 레벨 상에 위치하며, 게이트 절연층(160)이 기판(110)의 상면보다 높은 레벨 상에 위치할 수 있다.
- [0045] 하부 콘택 영역(142)은 제1 방향(도 1의 X 방향)을 따라 제1 폭(W1)을 가지며, 하부 콘택 영역(142)보다 높은 레벨 상에 위치하는 수직 채널층(140) 부분은 제1 방향(X 방향)을 따라 제1 폭(W1)보다 작은 제2 폭(W2)을 가질 수 있다. 제1 폭(W1)은 제2 폭(W2)의 약 1.5 배 내지 약 5 배일 수 있으나, 하부 콘택 영역(142)의 제1 폭(W1)이 이에 한정되는 것은 아니다.
- [0046] 수직 채널층(140)의 바닥부(140R)는 하부 콘택 영역(142) 아래에서 제2 리세스 영역(R2A)을 채우도록 형성될 수 있다. 수직 채널층(140)의 바닥부(140R)에 의해 하부 콘택 영역(142)이 기판(110)과 전기적으로 연결될 수 있다.
- [0047] 하부 콘택 영역(142)은 제1 매립 절연막(152)의 하단부(152L)를 포위할 수 있다. 제1 매립 절연막(152)의 하단부(152L)는 복수 개의 볼록면(152PS)을 구비할 수 있다. 복수 개의 볼록면(152PS)에 의해 캐비티 영역(V2)이 정의될 수 있다.
- [0048] 예시적인 실시예들에 있어서, 하부 콘택 영역(142)을 포함하는 수직 채널층(140)에 산소 촉매 어닐링 공정(S110)(도 20 참조)을 수행하여 우수한 결정 품질의 수직 채널층(140)이 얻어질 수 있다. 예시적인 공정에서, 측방향으로 확장된 제4 리세스 영역(R4) 내부에 수직 채널층(140) 물질이 완전히 채워지지 못한 채 수직 채널홀(H1)의 일부분이 빈 공간으로 잔류하고, 이후 산소 촉매 어닐링 공정(S110)에 의해 수직 채널층(140)의 일부 두께가 제1 매립 절연막(152)으로 변환될 수 있다. 하부 콘택 영역(142)의 볼록부(142P)가 수직 채널홀(H1)에 노출될 때, 산소 촉매 어닐링 공정(S110)에 의해 볼록부(142P) 부분이 우선적으로 산화될 수 있거나 볼록부(142

P)에서의 산화 속도가 나머지 부분에서의 산화 속도에 비하여 빠를 수 있다. 따라서, 제1 매립 절연막(152)의 하단부(152L)는 상대적으로 큰 두께로 형성될 수 있고, 제1 매립 절연막(152)의 하단부(152L)의 두께는 수직 채널홀(H1) 측벽 상에 배치되는 제1 매립 절연막(152) 부분의 두께보다 클 수 있다. 그러나, 본 발명의 기술적 사상이 전술한 바에 한정되는 것은 아니며, 제1 매립 절연막(152)의 하단부(152L)에 캐비티 영역(V2)이 형성되지 않고, 제1 매립 절연막(152)이 제4 리세스 영역(R4)의 잔류 공간을 모두 채울 수도 있다.

- [0049] 전술한 반도체 소자(100A)는 우수한 결정 품질을 갖는 수직 채널층(140)을 포함할 수 있는 한편, 단순화된 공정에 의해 제조될 수 있다.
- [0050] 도 5는 예시적인 실시예들에 따른 반도체 소자(100B)를 나타내는 단면도이다. 도 5는 도 1의 II 부분에 대응하는 부분의 확대 단면도를 나타낸다. 도 6a는 도 5의 제1 수직 레벨(LV1)에서의 수직 단면도이고, 도 6b는 도 5의 제3 수직 레벨(LV3)에서의 수직 단면도이다. 도 5 내지 도 6b에서, 도 1 내지 도 4에서와 동일한 참조부호는 동일한 구성요소를 의미한다.
- [0051] 도 5 내지 도 6b를 참조하면, 수직 채널층(140)은 하부 콘택 영역(142A)을 더 포함하며, 하부 콘택 영역(142A)은 기관(110)의 상면으로부터 선택적 에피택셜 성장 공정에 의해 성장된 단결정 실리콘을 포함할 수 있다.
- [0052] 하부 콘택 영역(142A) 아래의 기관(110) 부분에는 제2 리세스 영역(R2B)이 형성될 수 있고, 하부 콘택 영역(142A)은 제2 리세스 영역(R2B) 내부를 채울 수 있다. 하부 콘택 영역(142A)은 최하부의 게이트 전극(130)의 상면보다 높은 레벨에 위치하는 상면을 가질 수 있다. 게이트 절연층(160)의 저면이 하부 콘택 영역(142A)의 상면과 접촉할 수 있다. 하부 콘택 영역(142A)의 측벽에는 하부 게이트 절연층(168)이 배치될 수 있다.
- [0053] 하부 콘택 영역(142A)은 제1 방향(도 1의 X 방향)을 따라 제3 폭(W3)을 가지며, 하부 콘택 영역(142A)보다 높은 레벨 상에 위치하는 수직 채널층(140) 부분은 제1 방향(X 방향)을 따라 제3 폭(W3)보다 작은 제2 폭(W2)을 가질 수 있다. 도 6b에 예시적으로 도시된 것과 같이, 하부 콘택 영역(142A)의 측벽은 줄무늬 형상을 가질 수 있고, 하부 콘택 영역(142A)의 측벽은 복수 개의 블록부(142PA)가 형성된 다각형 형상 또는 별 형상인 수직 단면을 가질 수 있다.
- [0054] 예시적인 공정에서, 기관(110)의 상면을 시드층으로 한 선택적 에피택셜 성장 공정에 의해, 줄무늬 형상을 갖는 수직 채널홀(H1) 내에 하부 콘택 영역(142A)을 형성할 수 있다. 이 때 하부 콘택 영역(142A)의 측벽은 줄무늬 형상을 가질 수 있다.
- [0055] 전술한 반도체 소자(100B)는 우수한 결정 품질을 갖는 수직 채널층(140)을 포함할 수 있는 한편, 단순화된 공정에 의해 제조될 수 있다.
- [0056] 도 7, 도 8, 도 9a, 도 10a, 도 11 내지 도 13은 예시적인 실시예들에 따른 반도체 소자(100)의 제조 방법을 공정 순서에 따라 도시한 단면도들이고, 도 9b 및 도 10b는 도 9a 및 도 10a의 제1 수직 레벨(LV1)에서의 수직 단면도들이다. 도 7 내지 도 13에서, 도 1 내지 도 6b에서와 동일한 참조부호는 동일한 구성요소를 의미한다.
- [0057] 도 7을 참조하면, 기관(110) 상에 하부 절연층(122)을 형성하고, 하부 절연층(122) 상에 복수의 희생층(126) 및 복수의 층간 절연층(120)을 교대로 형성할 수 있다. 최상부 희생층(126) 상에 상부 절연층(124)을 형성할 수 있다.
- [0058] 예시적인 실시예들에 있어서, 하부 절연층(122)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 절연 물질을 사용하여 형성할 수 있다. 그러나, 제1 하부 절연층(122)의 물질이 이에 한정되는 것은 아니며, 복수의 희생층(126) 및/또는 기관(110)과 식각 선택비를 갖는 물질이라면 어떠한 물질이라도 포함할 수 있다. 또한, 복수의 층간 절연층(120)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 절연 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 복수의 희생층(126)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 도전 물질을 사용하여 형성될 수 있다.
- [0059] 복수의 희생층(126) 및 복수의 층간 절연층(120)의 개수는 후속 공정에서 형성될 게이트 전극들(130)(도 13 참조)의 개수에 따라 달라질 수 있다. 또한, 복수의 층간 절연층(120)의 두께 및/또는 간격 또한 서로 다르게 형성될 수 있다. 예시적인 실시예들에 있어서, 최하부의 층간 절연층(120)의 두께를 두껍게 형성함으로써 후속 공정에서 형성될 접지 선택 라인(도시 생략) 및 워드 라인(도시 생략) 사이의 수직 방향에 따른 간격을 조절할 수 있다.
- [0060] 이후, 하부 절연층(122), 복수의 희생층(126), 복수의 층간 절연층(120) 및 상부 절연층(124)을 관통하여 기관

(110) 상면을 노출시키는 수직 채널홀(H1)이 형성될 수 있다.

- [0061] 예시적인 실시예들에 있어서, 상부 절연층(124) 상에 마스크 패턴(도시되지 않음)을 형성하고, 상기 마스크 패턴을 식각 마스크로 사용하여 기관(110)의 상면이 노출될 때까지 상부 절연층(124), 복수의 희생층(126), 복수의 층간 절연층(120) 및 하부 절연층(122)을 순차적으로 이방성 식각하여 수직 채널홀(H1)이 형성될 수 있다.
- [0062] 상기 이방성 식각 공정에서, 수직 채널홀(H1) 내의 기관(110) 내에(또는 상측(upper portion)에) 제1 리세스 영역(R1)이 형성될 수 있다.
- [0063] 도 8을 참조하면, 수직 채널홀(H1)의 측벽 및 바닥부 상에 게이트 절연층(160)을 형성할 수 있다. 게이트 절연층(160)은 순차적으로 적층된 블로킹 절연층(162), 전하 저장층(164) 및 터널링 절연층(166)을 포함하도록 형성될 수 있다. 예시적인 실시예들에 있어서, 블로킹 절연층(162), 전하 저장층(164) 및 터널링 절연층(166)은 ALD 공정, CVD 공정 등을 사용하여 형성될 수 있다.
- [0064] 도 9a 및 도 9b를 참조하면, 수직 채널홀(H1) 바닥부를 커버하는 게이트 절연층(160)에 이방성 식각 공정을 수행하여 수직 채널홀(H1) 내의 기관(110)의 상면을 노출시킬 수 있다. 상기 이방성 식각 공정에 의해 수직 채널홀(H1) 내의 기관(110) 내에 제2 리세스 영역(R2)이 형성될 수 있다.
- [0065] 이후, 수직 채널홀(H1) 내의 게이트 절연층(160) 상에 도전층(140C)이 형성될 수 있다. 도전층(140C)은 수직 채널홀(H1)의 내부를 완전히 매립하지 않도록 소정의 두께로 수직 채널홀(H1)의 측벽 상에 콘포말하게 형성될 수 있다. 도전층(140C)은 후속 공정에서 결정화 단계를 거쳐 수직 채널층(140)(도 10a 참조)으로 변환될 수 있는 예비 채널층일 수 있다. 도전층(140C)은 후속 공정에서 형성될 수직 채널층(140)의 두께보다 더 큰 두께로 형성될 수 있다.
- [0066] 예시적인 실시예들에 있어서, 도전층(140C)은 불순물이 도핑된 폴리실리콘 등 도전 물질을 사용하여 형성될 수 있다. 상기 불순물은 후속 공정에서 수행될 산소 촉매 어닐링 공정(S110)(도 10a 참조)에서 도전층(140C) 내부로 산소가 확산(diffusion)되는 속도를 제어하기 위한 확산 제어용 불순물로 작용할 수 있다. 예를 들어, 상기 불순물은 인(P), 비소(As), 보론(B), 카본(C) 등의 불순물일 수 있다. 상기 불순물은 도전층(140C)을 형성하는 공정에서 인시츄 도핑(in-situ doping)될 수 있다. 이와는 달리, 상기 불순물은 도전층(140C)이 형성된 이후에 이온 주입(ion implantation) 공정을 사용하여 도전층(140C) 내부로 주입될 수도 있다. 그러나 본 발명의 기술적 사상이 이에 한정되는 것은 아니며, 다른 실시예들에 있어서, 도전층(140C)은 불순물이 도핑되지 않은 폴리실리콘 등 도전 물질을 사용하여 형성될 수 있다.
- [0067] 도 9b에 도시된 것과 같이, 기관(110)의 상면에 상대적으로 가까운 제1 수직 레벨(LV1)(도 1 참조)에서, 수직 채널홀(H1)은 복수의 볼록부를 구비하는 수직 단면을 가질 수 있다. 일반적으로 증가된 높이의 적층체를 식각할 때(또는 증가된 적층 개수의 희생층을 포함하는 적층체를 식각할 때), 상기 마스크 패턴과 식각될 상기 적층체 사이의 거리가 멀어짐에 따라(즉 수직 채널홀(H1)의 깊이가 증가함에 따라), 및/또는 상기 식각 공정의 경과 시간에 따라 마스크 패턴이 손상 또는 소모될 수 있고, 이에 따라 수직 채널홀(H1)의 측벽 프로파일이 달라질 수 있다. 따라서, 기관(110) 상면에 가까운 제1 수직 레벨(LV1)에서 수직 채널홀(H1)의 측벽 하측은 줄무늬 형상을 가질 수 있다. 또한, 도전층(140C)도 수직 채널홀(H1)의 측벽 프로파일에 따라 줄무늬 형상을 가질 수 있다.
- [0068] 도전층(140C)은 게이트 절연층(160)과 접촉하는 내측벽(140C-I)과, 내측벽(140C-I)에 반대되는 외측벽(140C-O)을 구비할 수 있다. 도전층(140C)의 내측벽(140C-I)과 외측벽(140C-O) 모두 복수의 볼록부들을 구비할 수 있다. 특히, 도전층(140C)의 내측벽(140C-I)은 볼록부(140C-A)와 오목부(140C-B)가 적어도 부분적으로 반복되어 배치되거나, 또는 랜덤하게 배치된 수직 단면을 가질 수 있다.
- [0069] 반면, 기관(110) 상면으로부터 상대적으로 먼 제2 수직 레벨(LV2)(도 1 참조)에서 도전층(140C)은 실질적으로 원형인 내측벽 및 외측벽을 가질 수 있다.
- [0070] 도 10a 및 도 10b를 참조하면, 수직 채널홀(H1) 내부에 도전층(140C)(도 9a 참조)이 형성된 기관(110) 상에 산소 촉매 어닐링 공정(S110)을 수행할 수 있다.
- [0071] 산소 촉매 어닐링 공정(S110)은 산화 단계 및 저온 어닐링 단계를 포함할 수 있다. 상기 산화 단계에서, 도전층(140C)의 저온 결정화를 위한 촉매로 작용하는 산소 원자 또는 산소 이온이 도전층(140C) 내부에 주입되거나 공급될 수 있다. 상기 저온 어닐링 단계에서, 상기 산소 원자 또는 산소 이온에 의해 도전층(140C) 내부에서 상대적으로 낮은 온도에서 결정화가 일어날 수 있다.
- [0072] 예시적인 실시예들에 있어서, 상기 산소 촉매 어닐링 공정(S110)에서 산화 단계와 저온 어닐링 단계가 교대로,

및 순차적으로 수행될 수 있다. 다른 실시예들에 있어서, 상기 산소 촉매 어닐링 공정(S110)에서 산화 단계와 저온 어닐링 단계가 동시에 수행될 수 있다. 또 다른 실시예들에 있어서, 상기 산소 촉매 어닐링 공정(S110)에서, 전세정 단계(pre-cleaning step)가 더 수행될 수 있다. 예를 들어 전세정 단계, 산화 단계 및 저온 어닐링 단계가 교대로, 및 순차적으로 수행될 수 있다. 이와는 달리, 상기 산소 촉매 어닐링 공정(S110)에서 전세정 단계 및 산화 단계가 교대로, 및 순차적으로 수행되는 한편, 상기 공정(S110) 동안에 저온 어닐링 단계가 연속적으로 수행될 수 있다. 그러나 본 발명의 기술적 사상이 이에 한정되는 것은 아니다.

[0073] 예시적인 실시예들에 있어서, 상기 산화 단계는 래디칼 산화 공정, 습식 산화 공정, 건식 산화 공정, 또는 플라즈마 산화 공정을 사용하여 수행될 수 있다. 상기 저온 열처리 단계는 급속 열 어닐링(rapid thermal annealing), 레이저 어닐링, N₂ 분위기 어닐링, H₂ 분위기 어닐링, O₂ 래디칼 분위기 어닐링, 플라즈마 수소처리 어닐링 공정 등을 사용하여 수행될 수 있다.

[0074] 상기 산소 촉매 어닐링 공정(S110)은 수직 채널홀(H1) 내벽 상에 노출되는 도전층(140C)의 일부분을 산화시켜 절연 물질로 변환시킬 수 있다. 따라서, 산소 촉매 어닐링 공정(S110) 이후에 도전층(140C)의 노출된 표면으로부터 소정의 두께가 제1 매립 절연막(152)으로 변화될 수 있다. 여기서, 제1 매립 절연막(152)이 형성된 이후에 잔류하는 도전층(140C) 부분은 수직 채널층(140)으로 지칭하도록 한다. 수직 채널층(140)은 도전층(140C)에 산소 촉매 어닐링 공정이 가해져 얻어지는, 높은 결정 품질을 갖는 폴리실리콘층을 포함할 수 있다.

[0075] 제1 매립 절연막(152)은 도전층(140C)의 일부분이 산화되어 형성된 실리콘 산화물을 포함할 수 있다. 도 10b에 도시된 것과 같이, 제1 매립 절연막(152)은 불균일한 두께를 가지며, 수직 채널층(140)에 의해 포위되도록 형성될 수 있다. 예를 들어, 제1 매립 절연막(152)의 일부분(예를 들어, 블록부(152P) 주위의 일부분)은 제1 두께(t11)를 가지며, 제1 매립 절연막(152)의 다른 일부분은 제1 두께(t11)보다 작은 제2 두께(t12)를 가질 수 있다. 이는, 도전층(140C)의 블록부(140C-A)(도 9b 참조)와 오목부(140C-B)(도 9b 참조) 중 블록부(140C-A) 내에 위치하는 폴리실리콘 입자들이 산화 분위기에 더욱 노출됨에 따라, 블록부(140C-A)와 오목부(140C-B)사이의 폴리실리콘의 산화량에 차이가 발생하기 때문일 수 있다. 이에 따라 도전층(140C)의 오목부(140C-B)의 위치에 형성된 제1 매립 절연막(152) 부분의 두께(t12)에 비하여, 블록부(140C-A)의 위치에 형성된 제1 매립 절연막(152) 부분의 두께(t11)가 더 클 수 있다.

[0076] 한편, 상기 산소 촉매 어닐링 공정(S110)에 의해 도전층(140C)의 일부분이 제1 매립 절연막(152)으로 변환됨에 따라, 수직 채널층(140)의 두께는 도전층(140C)의 두께보다 작아질 수 있다. 일반적으로 메모리 장치의 다운스케일링 경향에 따라 수직 채널홀(H1)의 폭 및 수직 채널층(140)의 두께가 감소되는 것이 요구되나, 감소된 두께의 수직 채널층(140)은 결정 품질이 우수하지 못하다. 따라서, 두꺼운 두께의 수직 채널층을 형성한 이후에 결정화를 위한 열처리를 수행하고, 이후 트리밍 공정에 의해 수직 채널층의 두께를 감소시키는 방법이 사용되었다. 그러나, 본 발명에 따르면, 상기 산소 촉매 어닐링 공정(S110)에 의해 도전층(140C)에 비하여 감소된 두께의 수직 채널층(140)이 얻어질 수 있다. 따라서, 수직 채널층의 두께를 감소시키기 위한 별도의 트리밍 공정이 생략될 수 있다.

[0077] 도 11을 참조하면, 수직 채널홀(H1) 내의 제1 매립 절연막(152) 및 상부 절연층(124) 상에 절연 물질을 형성하고, 상부 절연층(124)의 상면이 노출될 때까지 상기 절연 물질에 평탄화 공정을 수행함으로써 수직 채널홀(H1) 내에 제2 매립 절연막(154)을 형성할 수 있다. 제2 매립 절연막(154)은 제1 매립 절연막(152) 상에 형성될 수 있고, 수직 채널홀(H1)의 잔류 공간을 보이드 없이 채울 수 있다. 이와는 달리, 제2 매립 절연막(154) 내부의 일부 영역에는 보이드(V1)가 형성될 수도 있다. 제2 매립 절연막(154)은 실리콘 산화물, 실리콘 산질화물, 실리콘 질화물, 또는 실리콘 산화 탄질화물(SiOCN)을 사용하여 CVD 공정, ALD 공정 등에 의해 형성될 수 있다.

[0078] 이후, 수직 채널홀(H1) 내에서 수직 채널층(140), 제1 및 제2 매립 절연막(152, 154)의 상부를 소정의 높이만큼 제거할 수 있다. 상부 절연층(124) 상에 수직 채널홀(H1)의 빈 공간을 채우는 도전층(도시 생략)을 형성한 후, 상부 절연층(124)의 상면이 노출될 때까지 상기 도전층에 평탄화 공정을 수행함으로써 수직 채널홀(H1) 내에 도전 패드(172)를 형성할 수 있다.

[0079] 도 12를 참조하면, 상부 절연층(124), 복수의 희생층(126), 복수의 층간 절연층(120) 및 하부 절연층(122)을 순차적으로 이방성 식각하여 기관(110)의 상면을 노출하며 제2 방향(Y 방향)으로 연장되는 개구부(H2)를 형성할 수 있다. 이후, 개구부(H2)에 의해 노출되는 복수의 희생층(126)을 제거하여, 복수의 희생층(126)이 제거된 공간에 측방향 개구부(H3)를 형성할 수 있다.

[0080] 도 13을 참조하면, 개구부(H2)와 측방향 개구부(H3)를 채우는 금속층(도시 생략)을 형성한 후, 개구부(H2)에 대

응하는 부분을 다시 이방성 식각하여 측방향 개구부(H3) 내부에만 금속층이 잔류하도록 함으로써 복수의 게이트 전극(130)을 형성할 수 있다.

- [0081] 이후, 개구부(H2)를 통해 노출된 기판(110) 내부에 불순물을 주입하여 불순물 영역(도시 생략)을 형성할 수 있다. 상기 불순물 영역은 공통 소스 영역일 수 있다. 이후, 개구부(H2) 내에 공통 소스 라인(174) 및 공통 소스 라인(174)의 양 측벽을 커버하는 공통 소스 라인 스페이서(176)를 형성할 수 있다.
- [0082] 전술한 반도체 소자(100)의 제조 방법에 따르면, 산소 촉매 어닐링 공정(S110)에 의해 저온에서도 우수한 결정 품질을 갖는 수직 채널층(140)을 형성할 수 있다. 또한, 수직 채널층(140)의 두께를 감소시키기 위한 별도의 트리밍 공정이 생략될 수 있어 단순화된 방법에 의해 반도체 소자(100)가 제조될 수 있다.
- [0083] 도 14 및 도 15는 예시적인 실시예들에 따른 반도체 소자(100)의 제조 방법을 나타내는 단면도들이다. 도 14 및 도 15에서, 도 1 내지 도 13에서와 동일한 참조부호는 동일한 구성요소를 의미한다.
- [0084] 우선, 도 7 내지 도 9b를 참조로 설명한 공정들을 수행하여, 수직 채널홀(H1) 내에 도전층(140C)이 형성된 구조를 형성한다.
- [0085] 도 14를 참조하면, 상부 절연층(124) 및 도전층(140C) 상에 결정화 촉매 함유층(180)을 형성할 수 있다. 결정화 촉매 함유층(180)은 도전층(140C)을 커버하고 수직 채널홀(H1)을 완전히 매립하도록 형성될 수 있다. 이와는 달리, 결정화 촉매 함유층(180)은 도전층(140C) 상에 콘포말하게 형성되고, 수직 채널홀(H1) 내부 공간 중 일부만이 매립되지 않고 잔류할 수도 있다.
- [0086] 예시적인 실시예들에 있어서, 결정화 촉매 함유층(180)은 산소를 포함하는 절연 물질층일 수 있다. 예를 들어, 결정화 촉매 함유층(180)은 실리콘 산화물, 실리콘 산질화물, SiOC, SiOCN 등을 포함할 수 있다. 또한, 결정화 촉매 함유층(180)은 확산 제어용 불순물을 더 포함할 수 있다. 예를 들어, 상기 불순물은 인(P), 비소(As), 보론(B), 탄소(C) 등의 불순물일 수 있다.
- [0087] 이후, 결정화 촉매 함유층(180)이 형성된 구조 상에 저온 열처리 공정(S120)을 수행하여, 결정화 촉매 함유층(180)으로부터 도전층(140C) 내부로 산소를 확산시킬 수 있다. 저온 열처리 공정(S120)은 금속 열 어닐링, 레이저 어닐링, N₂ 분위기 어닐링, H₂ 분위기 어닐링, O₂ 래디칼 분위기 어닐링, 플라즈마 수소처리 어닐링 공정 등을 사용하여 수행될 수 있다.
- [0088] 상기 저온 열처리 공정(S120) 동안에, 결정화 촉매 함유층(180)으로부터 확산된 산소 원자 또는 산소 이온이 도전층(140C) 내에서 결정화를 위한 촉매로 작용하여, 상대적으로 낮은 온도에서도 도전층(140C)의 결정화가 일어날 수 있다.
- [0089] 도 15를 참조하면, 결정화 촉매 함유층(180)(도 14 참조)을 제거할 수 있다.
- [0090] 수직 채널홀(H1) 내에 도전층(140C)(도 14 참조)의 표면이 다시 노출된 구조 상에 산화 공정(S130)을 수행할 수 있다. 예를 들어, 산화 공정(S130)은 래디칼 산화 공정, 습식 산화 공정, 건식 산화 공정, 또는 플라즈마 산화 공정을 사용하여 수행될 수 있다.
- [0091] 산화 공정(S130)에 의해 도전층(140C)의 일부만이 제1 매립 절연막(152)으로 변환될 수 있고, 잔류하는 도전층(140C) 부분으로부터 감소된 두께를 갖는 수직 채널층(140)이 얻어질 수 있다.
- [0092] 전술한 반도체 소자(100)의 제조 방법에 따르면, 결정화 촉매 함유층(180)의 형성에 의해 저온에서도 우수한 결정 품질을 갖는 수직 채널층(140)을 형성할 수 있다. 또한, 수직 채널층(140)의 두께를 감소시키기 위한 별도의 트리밍 공정이 생략될 수 있어 단순화된 방법에 의해 반도체 소자(100)가 제조될 수 있다.
- [0093] 도 16 내지 도 21은 예시적인 실시예들에 따른 반도체 소자(100A)의 제조 방법을 나타내는 단면도들이다. 도 16 및 도 21에서, 도 1 내지 도 15에서와 동일한 참조부호는 동일한 구성요소를 의미한다.
- [0094] 도 16을 참조하면, 기판(110) 상에 하부 절연층(122) 및 하부 희생층(126L)을 순차적으로 형성하고, 하부 희생층(126L) 상에 복수의 층간 절연층(120) 및 복수의 희생층(126)을 교대로 형성하며, 최상부 희생층(126) 상에 상부 절연층(124)을 형성할 수 있다.
- [0095] 하부 희생층(126L)은 복수의 희생층(126)과 다른 물질을 사용하여 형성할 수 있다. 예를 들어, 복수의 희생층(126)이 실리콘 질화물을 포함하는 경우, 하부 희생층(126L)은 불순물이 도핑되거나 도핑되지 않은 폴리실리콘을 포함할 수 있다. 그러나, 하부 희생층(126L)의 물질이 이에 한정되는 것은 아니며, 하부 희생층(126L)은 복

수의 층간 절연층(120)과 복수의 희생층(126) 모두와 식각 선택비를 갖는 물질을 포함할 수 있다.

- [0096] 이후, 상부 절연층(124), 복수의 층간 절연층(120), 및 복수의 희생층(126)을 순차적으로 이방성 식각하여 수직 채널홀(H1)을 형성할 수 있다. 이 때, 수직 채널홀(H1)의 바닥부에는 하부 희생층(126L)의 상면이 노출될 수 있다. 이후, 하부 희생층(126L)을 제거함으로써 수직 채널홀(H1)의 측벽에 대하여 측방향으로 확장된 제4 리세스 영역(R4)을 형성하고, 하부 절연층(122)의 상면을 노출시킬 수 있다.
- [0097] 도 17을 참조하면, 수직 채널홀(H1) 및 제4 리세스 영역(R4)의 내벽 상에 콘포말하게 게이트 절연층(160)을 형성할 수 있다.
- [0098] 게이트 절연층(160) 상에 스페이서(182)를 형성할 수 있다. 스페이서(182)는 게이트 절연층(160)과 식각 선택비를 갖는 물질을 사용하여 형성할 수 있다. 예를 들어, 스페이서(182)는 폴리실리콘을 사용하여 형성할 수 있다. 스페이서(182)는 후속 공정에서 게이트 절연층(160)을 보호하는 역할을 수행할 수 있다.
- [0099] 도 18을 참조하면, 스페이서(182)를 식각 마스크로 사용하여 수직 채널홀(H1)과 제4 리세스 영역(R4) 바닥부의 게이트 절연층(160) 및 하부 절연층(122)을 식각할 수 있다. 이에 따라, 수직 채널홀(H1)과 제4 리세스 영역(R4)은 기관(110)의 표면을 노출할 수 있고, 또한 하부 절연층(122)을 충분히 식각하여 기관(400) 내에 제2 리세스 영역(R2A)이 형성될 수 있다.
- [0100] 도 19를 참조하면, 수직 채널홀(H1)과 제4 리세스 영역(R4)의 측벽에 배치되는 스페이서(182)를 제거할 수 있다. 스페이서(182)는 폴리실리콘 식각액을 이용하여 제거할 수 있다.
- [0101] 도 20을 참조하면, 수직 채널홀(H1)과 제4 리세스 영역(R4) 내의 게이트 절연층(160) 및 기관(110) 상에 도전층(140C)을 형성할 수 있다. 도전층(140C)은 제2 리세스 영역(R2A) 바닥부를 채우며, 기관(110) 상면과 접촉할 수 있다.
- [0102] 한편, 제4 리세스 영역(R4)을 채우는 도전층(140C) 부분은 하부 콘택 영역(142)으로 지칭될 수 있다. 제4 리세스 영역(R4)이 수직 채널홀(H1)의 측벽으로부터 측방향으로 확장된 공간이므로, 하부 콘택 영역(142)이 제4 리세스 영역(R4) 내부를 완전히 매립하지 못할 수 있다. 하부 콘택 영역(142)은 볼록부(142P)를 구비할 수 있고, 볼록부(142P)의 표면이 수직 채널홀(H1) 내에 노출될 수 있다.
- [0103] 도 20을 참조하면, 수직 채널홀(H1) 내부에 도전층(140C)(도 19 참조)이 형성된 기관(110) 상에 산소 촉매 어닐링 공정(S110)을 수행할 수 있다. 산소 촉매 어닐링 공정(S110)에 대하여 도 10a 및 도 10b를 참조로 설명한 부분을 참조할 수 있다.
- [0104] 산소 촉매 어닐링 공정(S110)에 의해 도전층(140C)의 일부분으로부터 제1 매립 절연막(152)이 형성될 수 있다.
- [0105] 하부 콘택 영역(142)의 볼록부(142P)가 수직 채널홀(H1)에 노출될 때, 산소 촉매 어닐링 공정(S110)에 의해 볼록부(142P) 부분이 우선적으로 산화될 수 있거나 볼록부(142P)에서의 산화 속도가 나머지 부분에서의 산화 속도에 비하여 빠를 수 있다. 따라서, 제1 매립 절연막(152)의 하단부(152L)는 상대적으로 큰 두께로 형성될 수 있고, 제1 매립 절연막(152)의 하단부(152L)의 두께는 수직 채널홀(H1) 측벽 상에 배치되는 매립 절연막(152) 부분의 두께보다 클 수 있다. 제1 매립 절연막(152)의 하단부(152L)는 복수 개의 볼록면(152PS)을 구비할 수 있고, 복수 개의 볼록면(152PS)에 의해 캐비티 영역(V2)이 정의될 수 있다.
- [0106] 도 21을 참조하면, 수직 채널홀(H1) 내의 제1 매립 절연막(152) 및 상부 절연층(124) 상에 절연 물질을 형성하고, 상부 절연층(124)의 상면이 노출될 때까지 상기 절연 물질에 평탄화 공정을 수행함으로써 수직 채널홀(H1) 내에 제2 매립 절연막(154)을 형성할 수 있다. 제2 매립 절연막(154)은 캐비티 영역(V2)을 완전히 매립하지 못할 수 있고, 하부 콘택 영역(142)에 인접한 부분에서 캐비티 영역(V2)이 잔류할 수 있다.
- [0107] 이후, 도 11 내지 도 13을 참조로 설명한 공정들을 수행할 수 있다.
- [0108] 전술한 반도체 소자(100A)의 제조 방법에 따르면, 산소 촉매 어닐링 공정(S110)에 의해 저온에서도 우수한 결정 품질을 갖는 수직 채널층(140)을 형성할 수 있다. 또한, 수직 채널층(140)의 두께를 감소시키기 위한 별도의 트리밍 공정이 생략될 수 있어 단순화된 방법에 의해 반도체 소자(100A)가 제조될 수 있다.
- [0109] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라

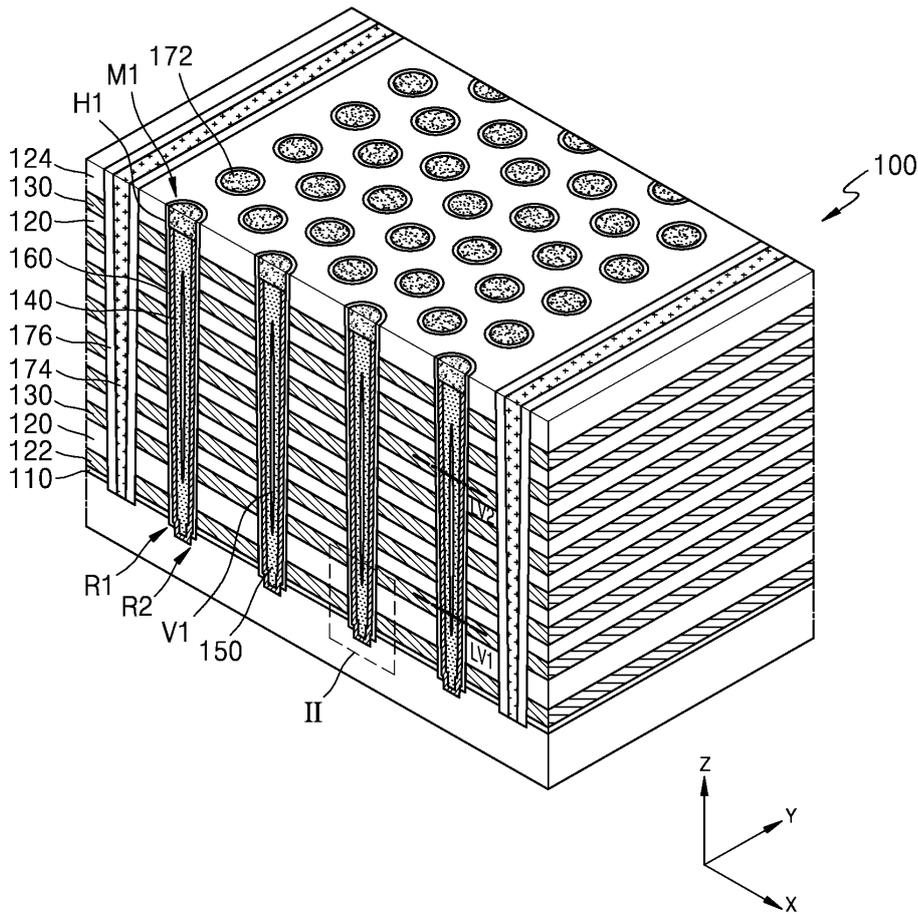
서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

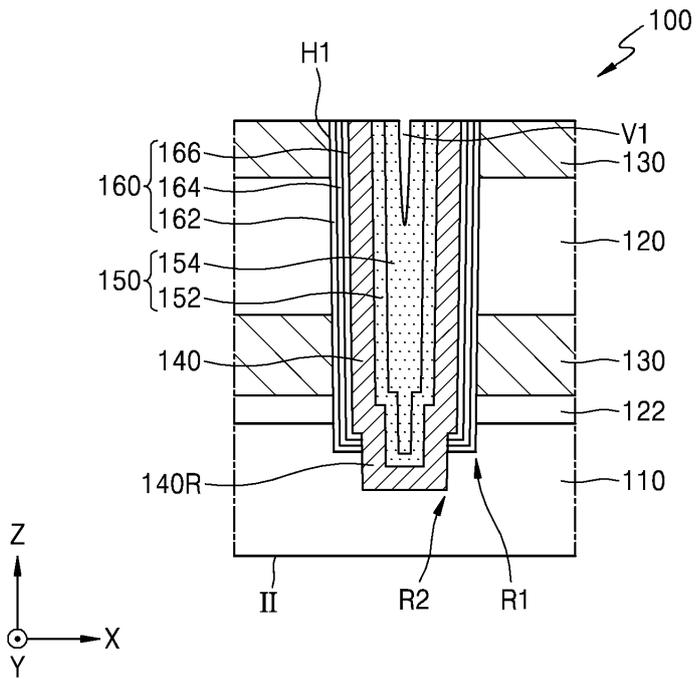
- [0110] 100: 반도체 소자 140: 수직 채널층
- 142: 하부 콘택 영역 152, 154: 제1 및 제2 매립 절연막
- 140P: 블록부 152P: 블록부

도면

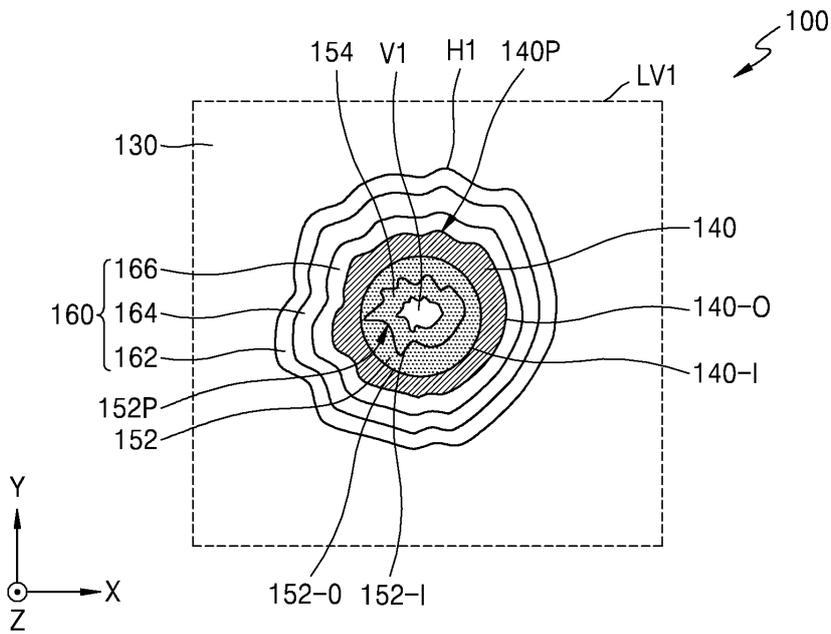
도면1



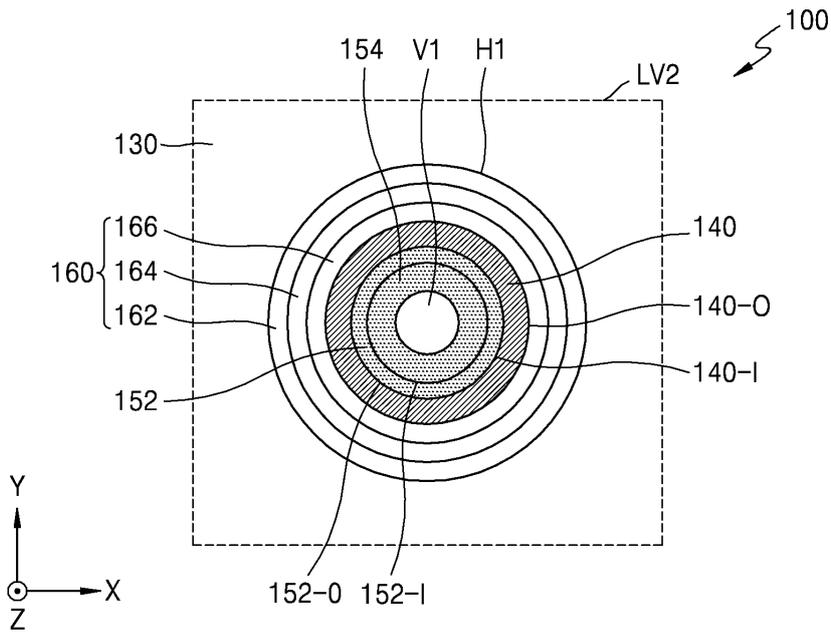
도면2



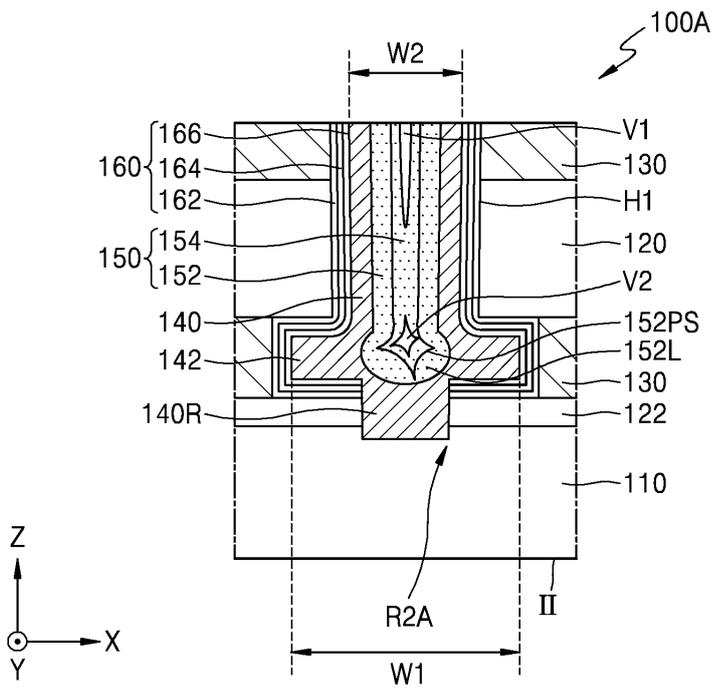
도면3a



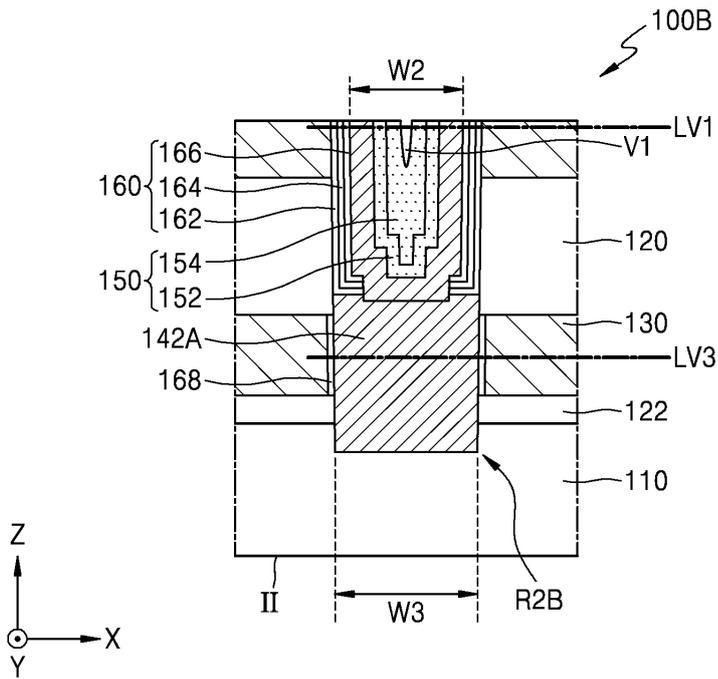
도면3b



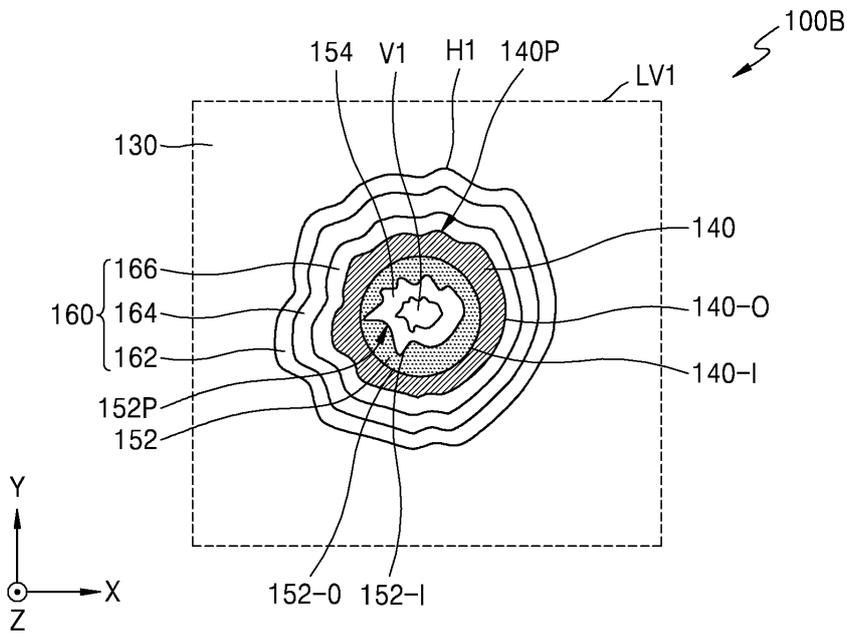
도면4



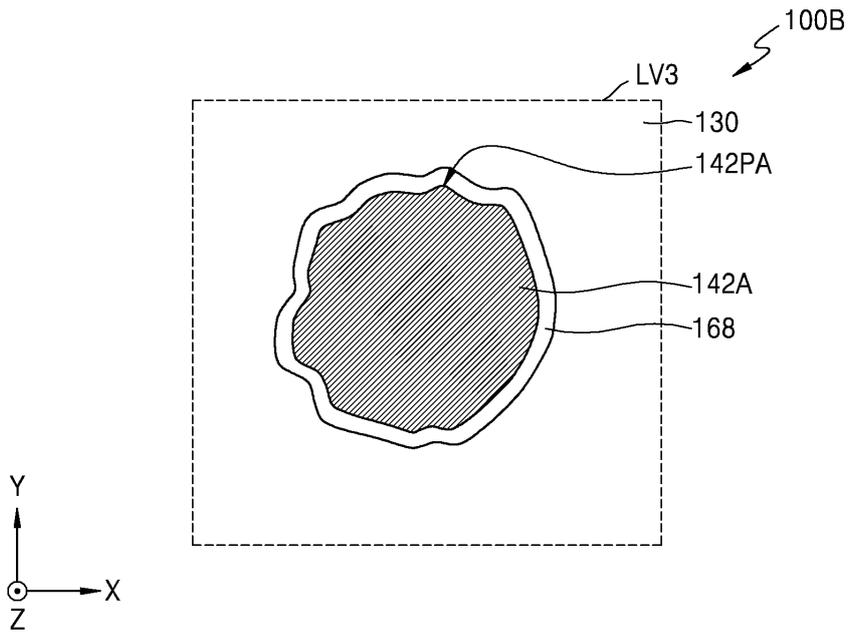
도면5



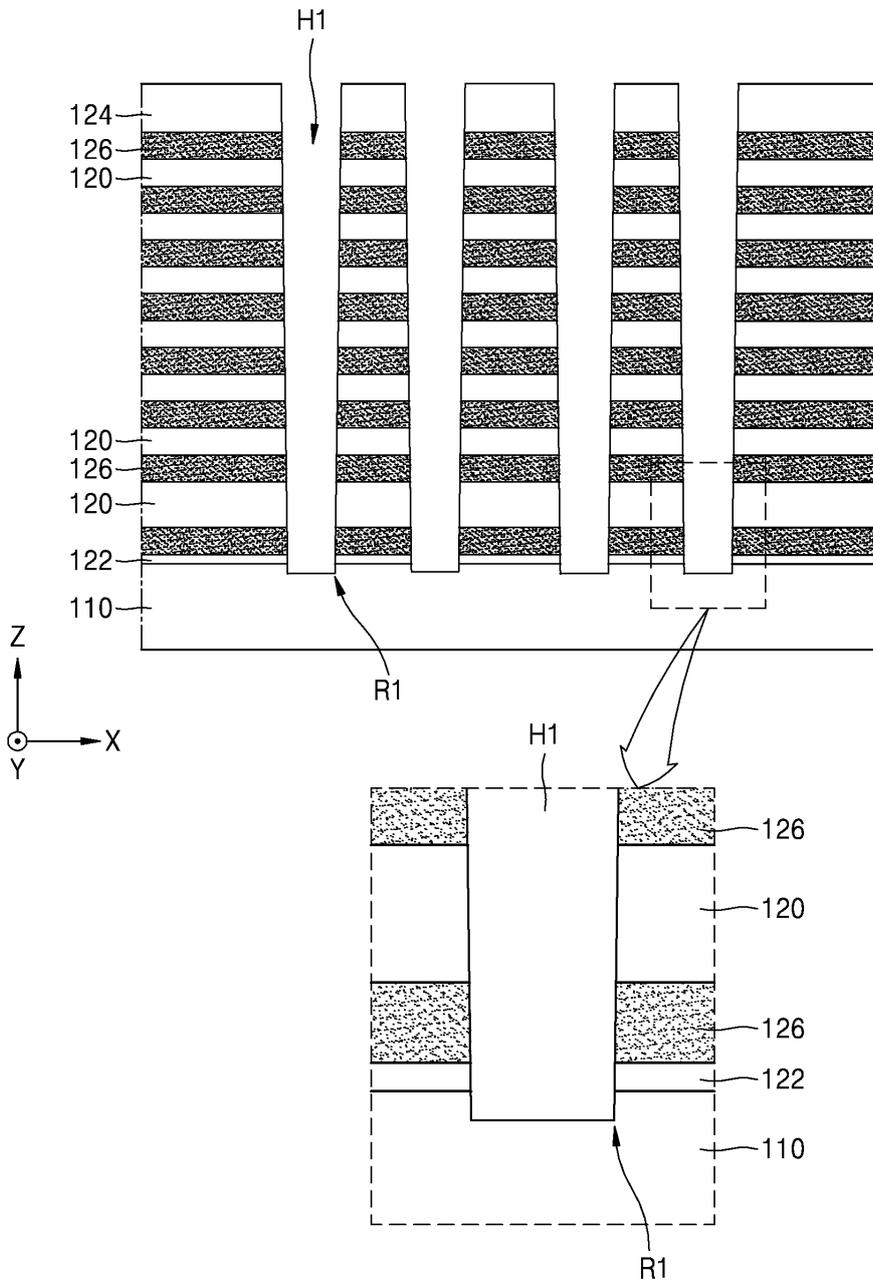
도면6a



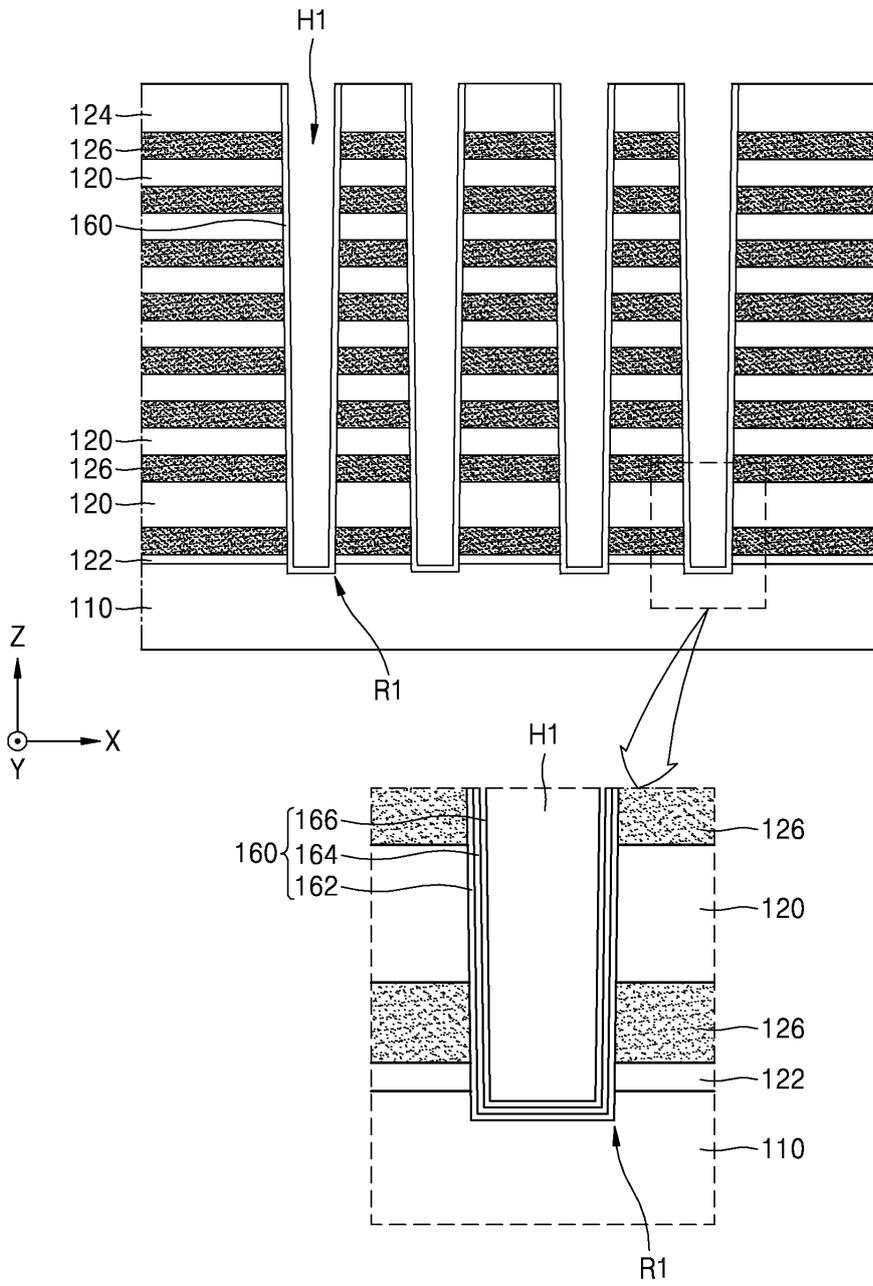
도면6b



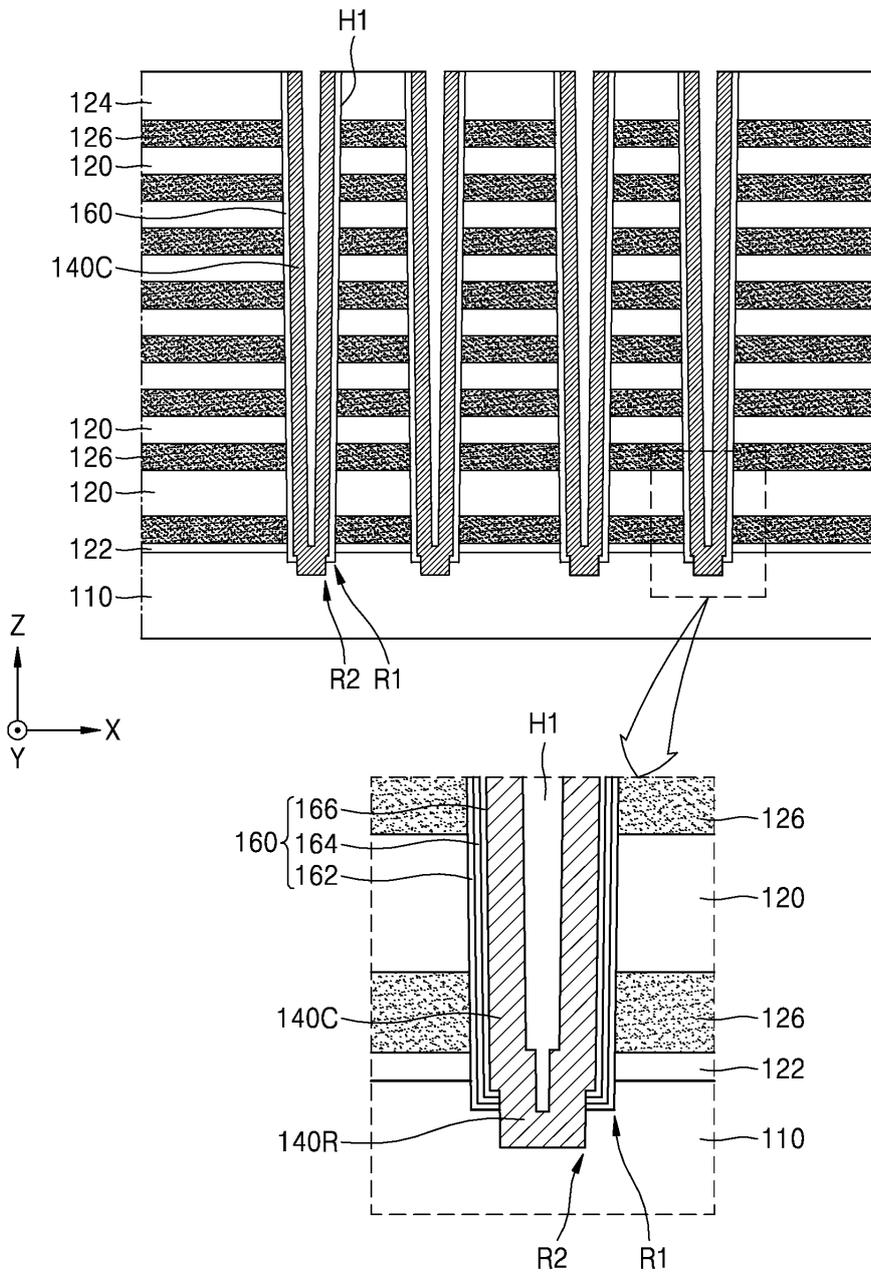
도면7



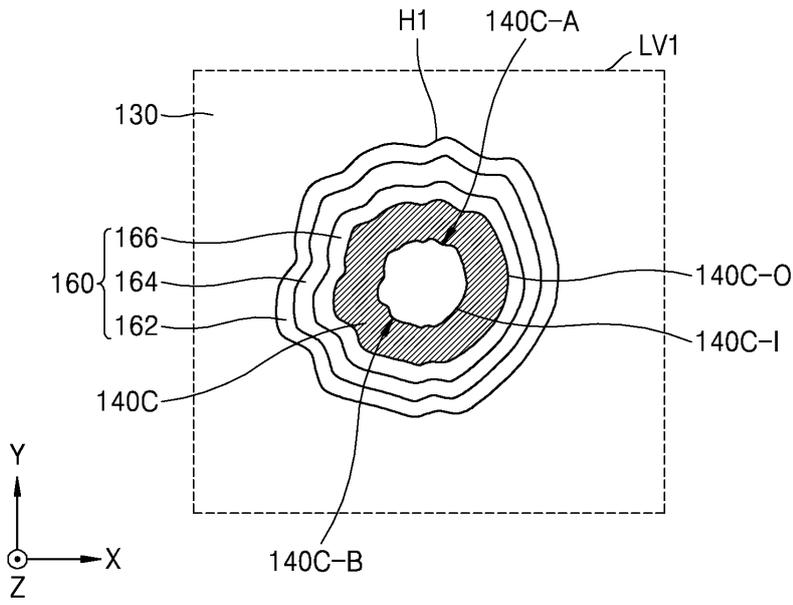
도면8



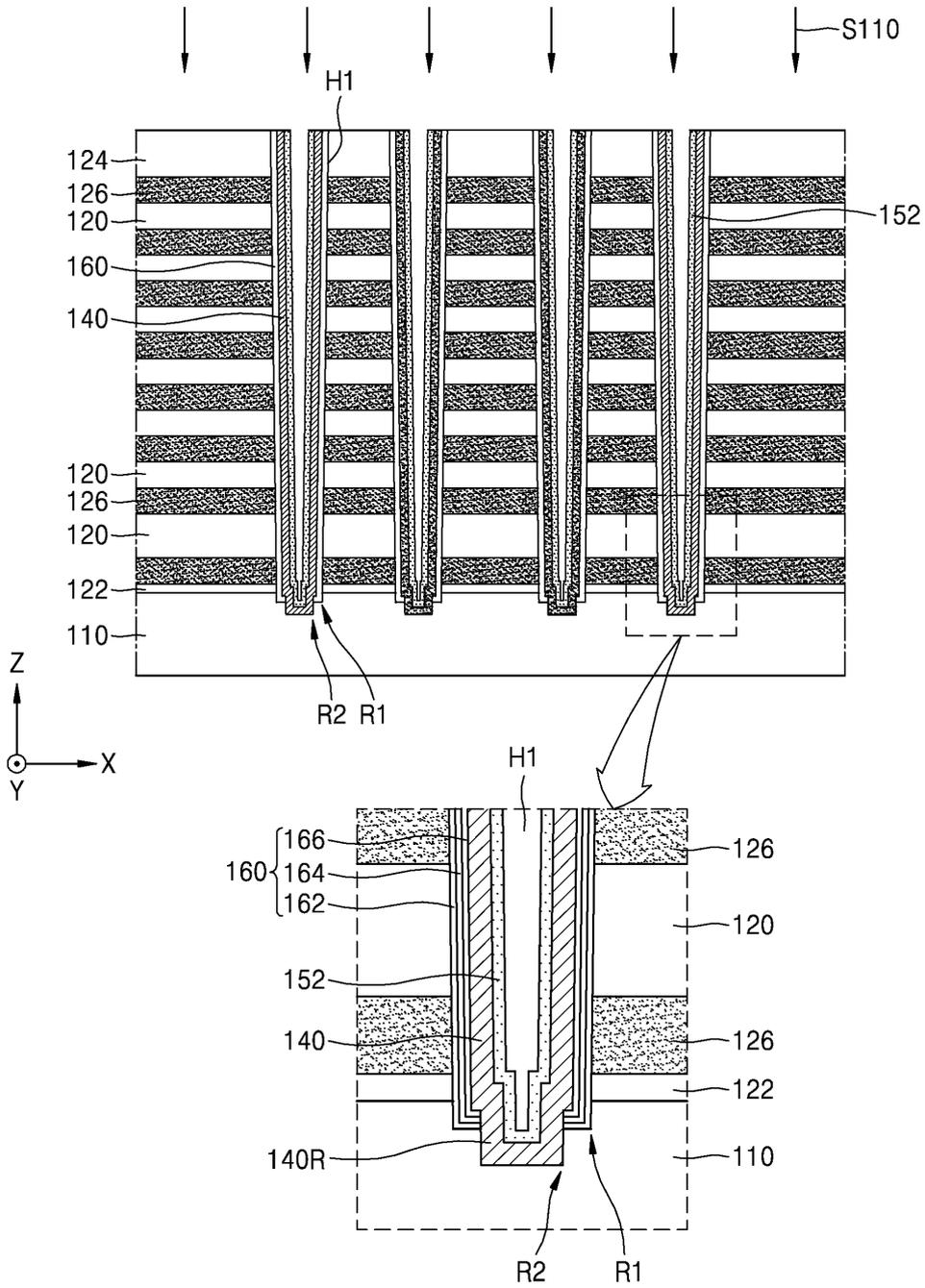
도면9a



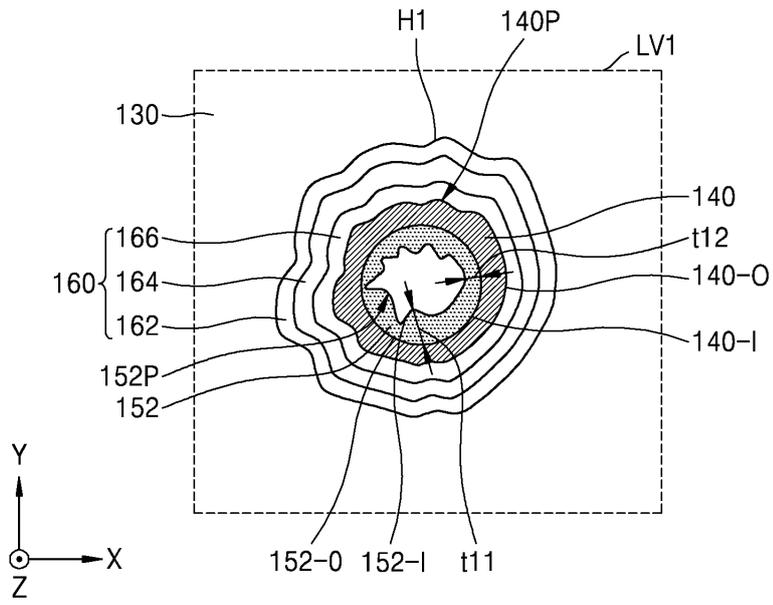
도면9b



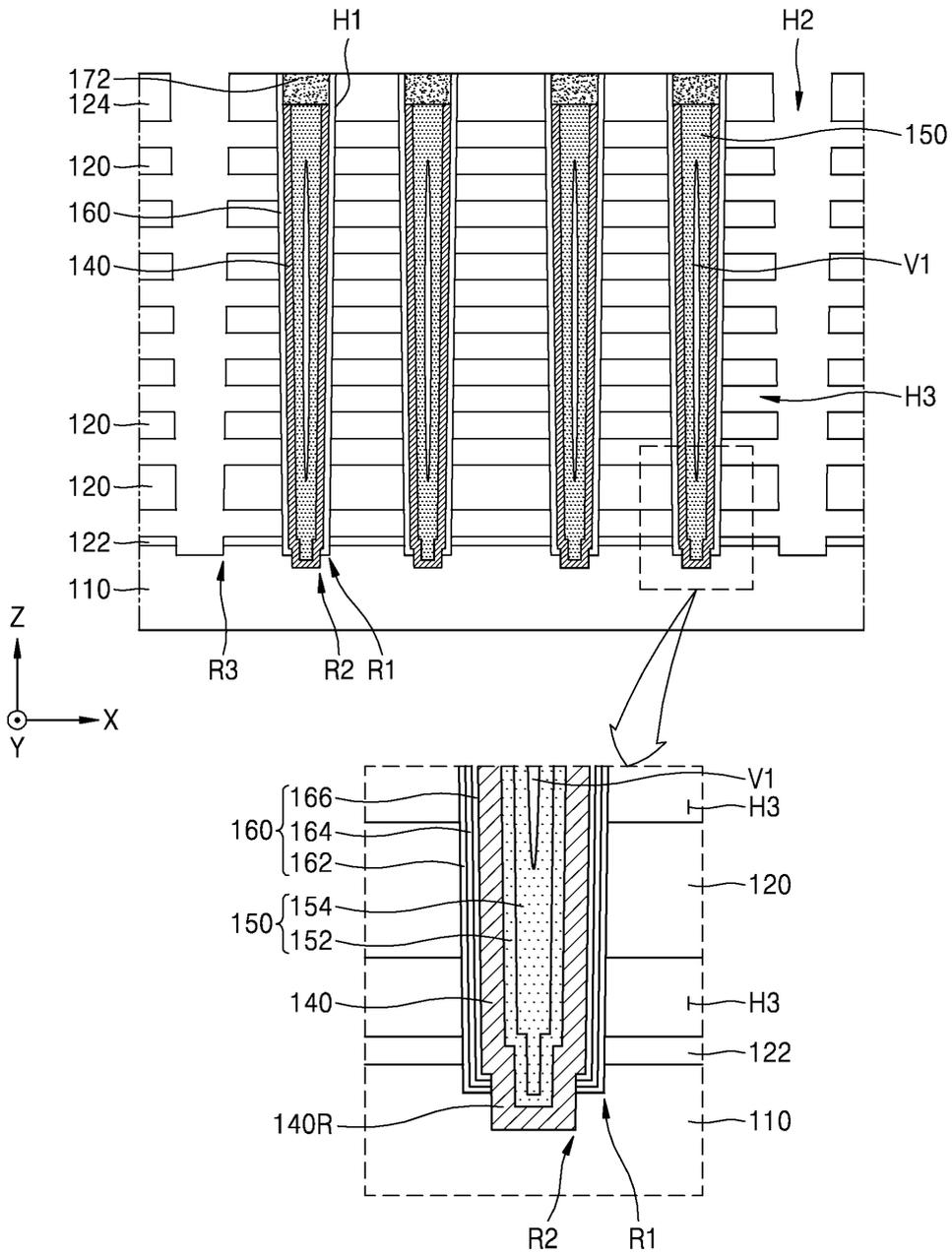
도면10a



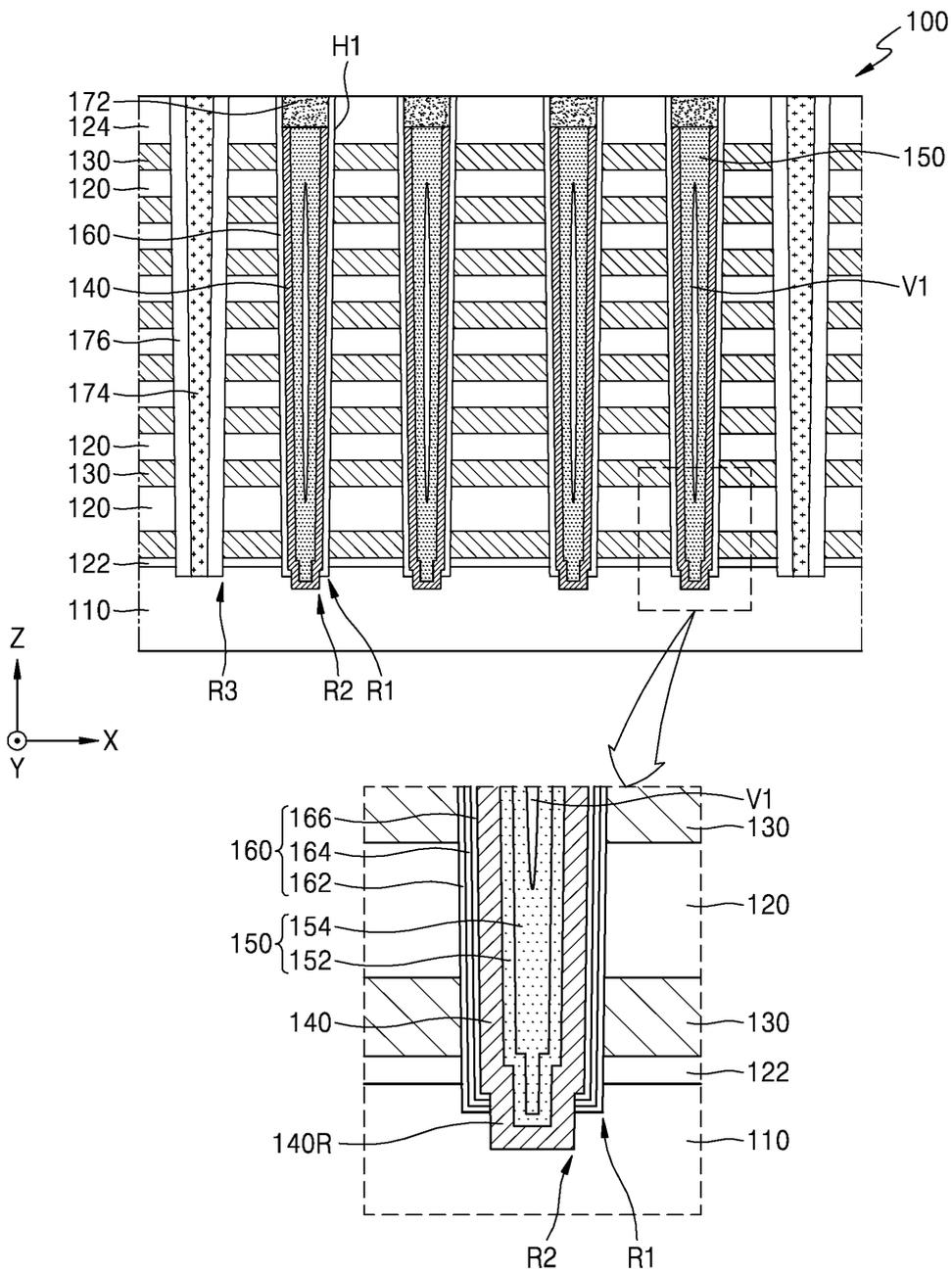
도면10b



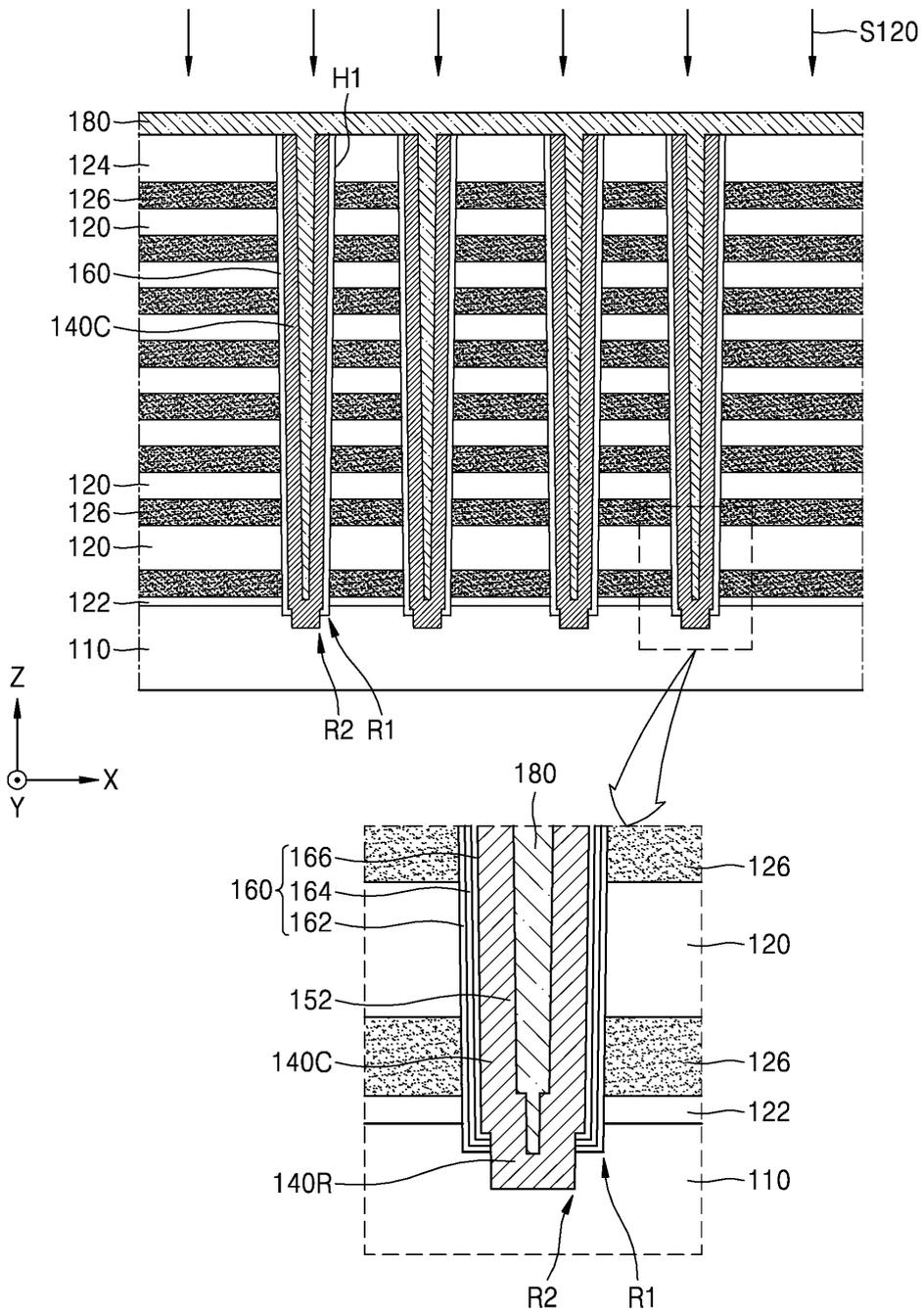
도면12



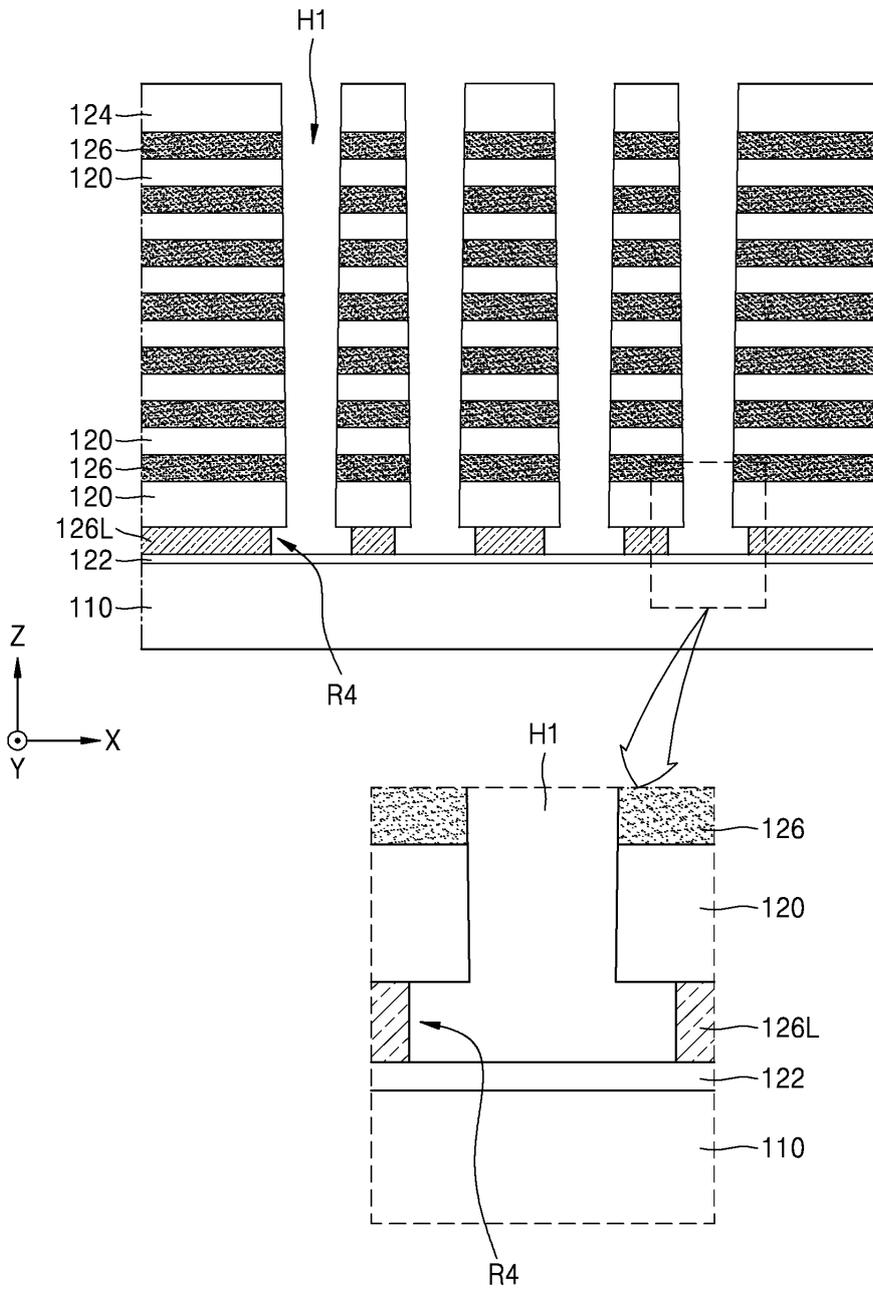
도면13



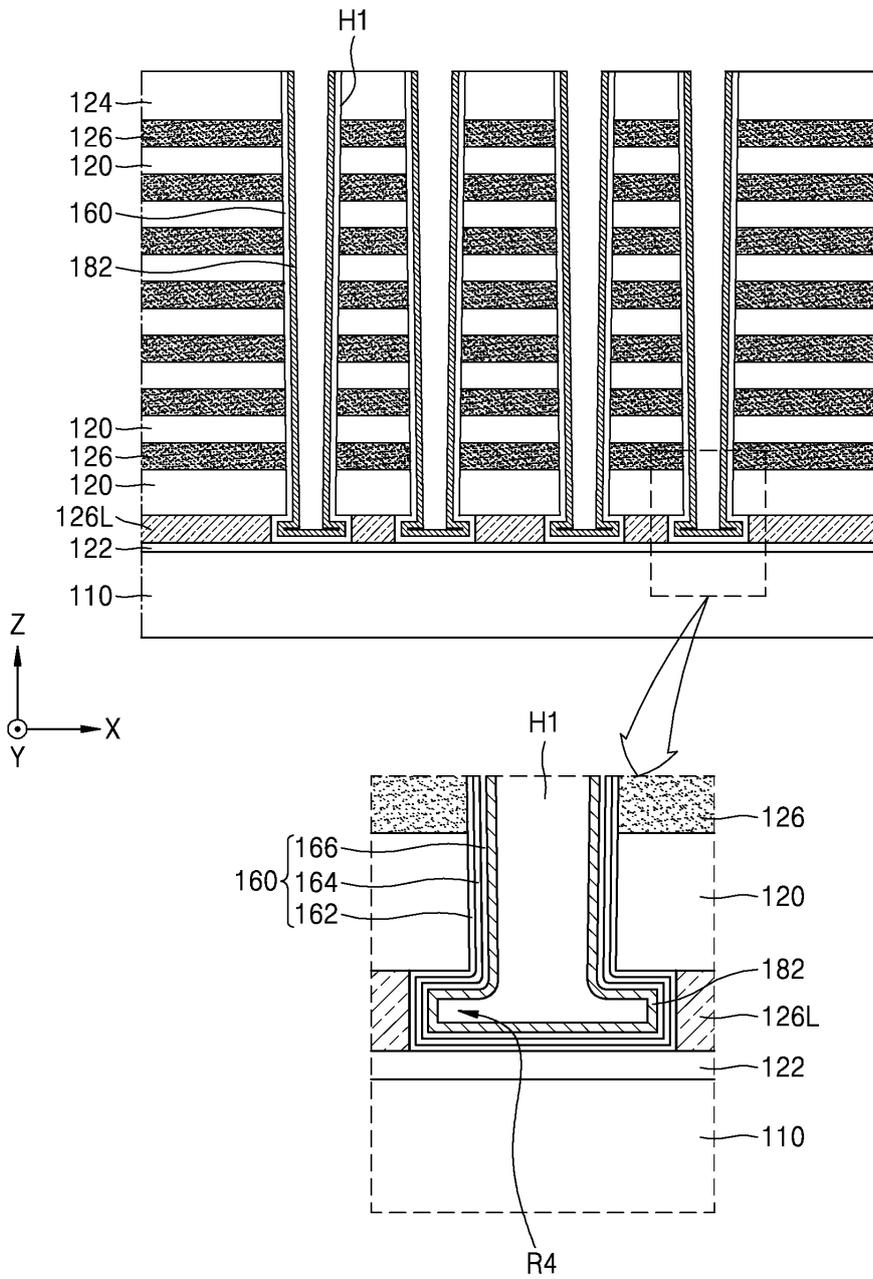
도면14



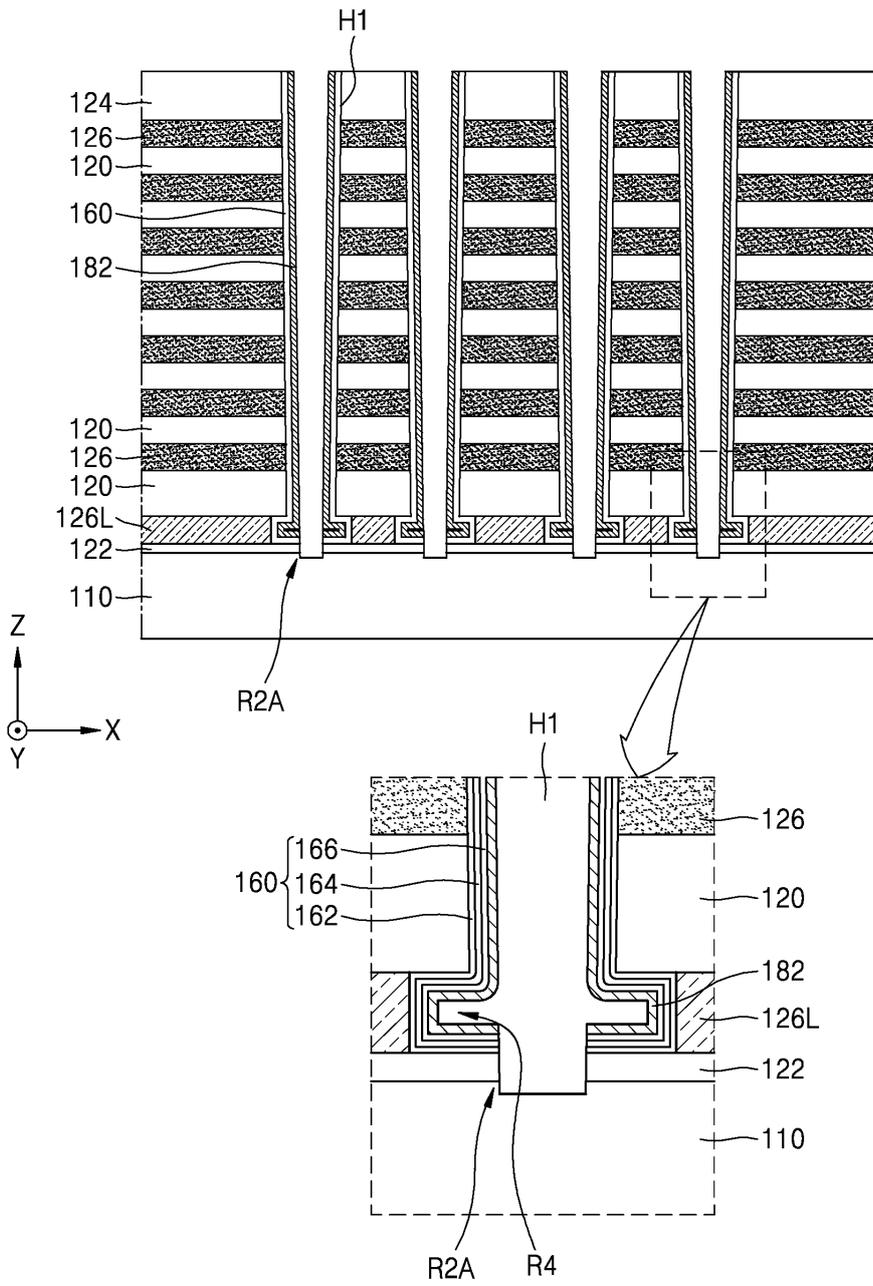
도면16



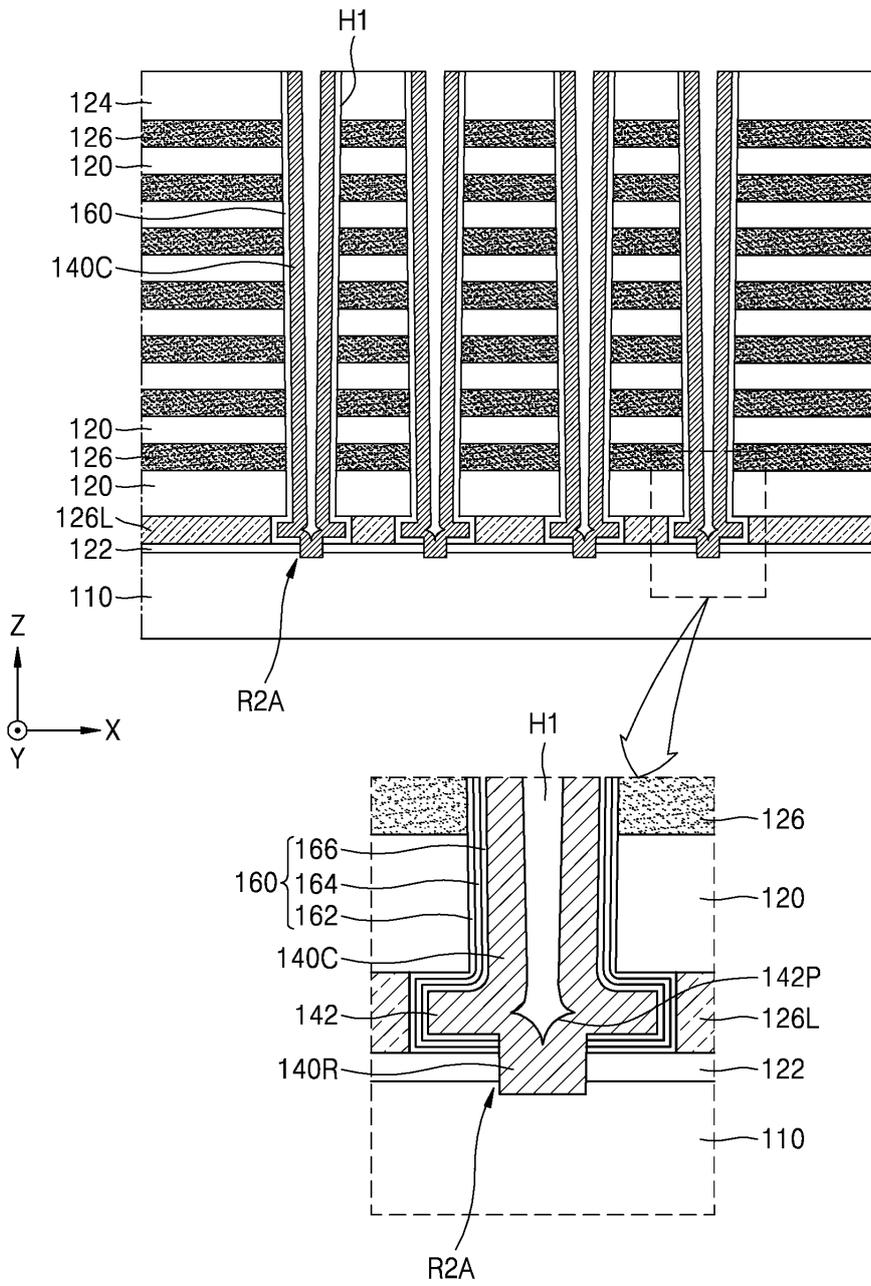
도면17



도면18



도면19



도면21

