

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5687700号
(P5687700)

(45) 発行日 平成27年3月18日 (2015. 3. 18)

(24) 登録日 平成27年1月30日 (2015.1.30)

(51) Int. Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 H
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 3 A
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 2 M
	HO 1 L 29/78	6 5 8 G
	HO 1 L 29/78	6 5 2 D
請求項の数 10 (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2012-527049 (P2012-527049)
 (86) (22) 出願日 平成22年8月27日 (2010. 8. 27)
 (65) 公表番号 特表2013-503491 (P2013-503491A)
 (43) 公表日 平成25年1月31日 (2013. 1. 31)
 (86) 国際出願番号 PCT/US2010/047039
 (87) 国際公開番号 W02011/031563
 (87) 国際公開日 平成23年3月17日 (2011. 3. 17)
 審査請求日 平成24年8月14日 (2012. 8. 14)
 (31) 優先権主張番号 12/548, 841
 (32) 優先日 平成21年8月27日 (2009. 8. 27)
 (33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 506173145
 ビシェーシリコニクス
 アメリカ合衆国 95054 カリフォル
 ニア州 サンタ クララ、 ローレルウッ
 ド ロード 2201
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (72) 発明者 ガオ、ヤン
 アメリカ合衆国 95134 カリフォル
 ニア州 サン ノゼ、アパートメント 3
 316、リオ ロブレス イースト 85
 (72) 発明者 テリル、カイル
 アメリカ合衆国 95050 カリフォル
 ニア州 サンタ クララ、ロンドンペリー
 ドライブ 3385

最終頁に続く

(54) 【発明の名称】 スーパージャンクショントレンチパワーMOSFETデバイス

(57) 【特許請求の範囲】

【請求項 1】

第 1 型ドーパントのチャネルを有するスーパージャンクショントレンチパワー金属酸化膜半導体電界効果トランジスタ (MOSFET) デバイスであって、

前記第 1 型ドーパントの基板上に設けられる第 2 型ドーパントのカラムを、前記基板上に設けられる前記第 1 型ドーパントの第 1 のカラムから分離する絶縁材料を備える第 1 のカラムと、

前記第 2 型ドーパントの前記カラムを、前記基板上に設けられる前記第 1 型ドーパントの第 2 のカラムから分離する絶縁材料を備える第 2 のカラムと、

絶縁材料の前記第 1 のカラムと絶縁材料の前記第 2 のカラムとの間に位置合わせされる電界効果トランジスタのためのゲート要素と、

前記第 1 型ドーパントの前記第 1 のカラムの上側に形成されるトレンチであって、前記トレンチの側壁に接触するソース金属で満たされるトレンチと、

前記トレンチよりも幅が広い前記第 2 型ドーパントの領域であって、前記トレンチ内で前記ソース金属に接触し、前記トレンチ内の前記ソース金属を前記第 1 型ドーパントの前記第 1 のカラムから分離する領域と、

を備えるスーパージャンクショントレンチパワー MOSFET。

【請求項 2】

前記ゲート要素を前記第 2 型ドーパントの前記カラムから分離する絶縁層を更に備える請求項 1 に記載のスーパージャンクショントレンチパワー MOSFET。

10

20

【請求項 3】

前記第 1 型ドーパントが n 型ドーパントを備え、前記第 2 型ドーパントが p 型ドーパントを備える請求項 1 に記載のスーパージャンクショントレンチパワー MOS F E T。

【請求項 4】

前記ソース金属は、前記第 2 型ドーパントの前記カラムに電氣的に短絡される請求項 1 に記載のスーパージャンクショントレンチパワー MOS F E T。

【請求項 5】

前記ゲート要素と前記トレンチとの間に配置された前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備え、前記ボディ領域および前記ソース領域は、前記トレンチ内の前記ソース金属に露出して接触する請求項 1 に記載のスーパージャンクショントレンチパワー MOS F E T。 10

【請求項 6】

前記トレンチは、前記第 1 型ドーパントの前記第 1 のカラムの長手方向軸と位置合わせされる請求項 1 に記載のスーパージャンクショントレンチパワー MOS F E T。

【請求項 7】

前記ソース金属が前記第 2 型ドーパントのカラムの長手方向軸と直交する方向で前記第 2 型ドーパントのカラムに電氣的に短絡される請求項 4 に記載のスーパージャンクショントレンチパワー MOS F E T。

【請求項 8】

前記第 1 型ドーパントが p 型ドーパントを含み、前記第 2 型ドーパントが n 型ドーパントを含む請求項 1 に記載のスーパージャンクショントレンチパワー MOS F E T。 20

【請求項 9】

前記ゲート要素に近接する絶縁材料の第 3 のカラムと、
前記ゲート要素に近接する絶縁材料の第 4 のカラムと、
をさらに備え、
絶縁材料の前記第 1 のカラムおよび絶縁材料の前記第 3 のカラムが前記ゲート要素および前記第 2 型ドーパントのカラムを前記第 1 型ドーパントの前記第 1 のカラムから分離する連続する境界を与え、
絶縁材料の前記第 2 のカラムおよび絶縁材料の前記第 4 のカラムが前記ゲート要素および第 2 型ドーパントのカラムを前記第 1 型ドーパントの前記第 2 のカラムから分離する連続する境界を与える請求項 1 に記載のスーパージャンクショントレンチパワー MOS F E T。 30

【請求項 10】

前記カラムは、前記基板上に設けられる前記第 2 型の第 1 ドーパント層をパターンニングすることにより形成され、
前記絶縁材料は、前記カラムを有する前記基板上に絶縁層を積層させることにより形成され、
前記第 1 のカラムおよび前記第 2 のカラムは、前記カラムおよび前記絶縁材料が設けられた前記基板上に前記第 1 型の第 2 ドーパント層を積層させることにより形成されており、
前記基板上の前記絶縁層の一部は前記第 1 型のドーパント層を積層させる前に除去されており、前記第 1 のカラムおよび前記第 2 のカラムは前記基板上に積層されている、請求項 1 から 6 のいずれか一項に記載のスーパージャンクショントレンチパワー MOS F E T。 40

【発明の詳細な説明】

【技術分野】

【0001】

この文書に係る実施形態は、一般に、半導体デバイスに関する。

【0002】

相互参照

この出願は、本出願の譲受人に譲渡された「Super Junction Trench Power MOSFET Device Fabrication」と題される Gao 等による 2009 年 8 月 27 日に出願された同時係属の米国特許出願第 12 / 549 , 190 号に関連する。

【背景技術】

【0003】

電力を節約するためには、例えば直流(DC) - DCコンバータで使用されるトランジスタの電力損失を減らすことが重要である。金属酸化膜半導体電界効果トランジスタ(MOSFET)デバイスでは、特にパワーMOSFETとして知られるMOSFETのクラスにおいては、デバイスのオン抵抗($R_{ds(on)}$)を減らすことにより電力損失を低減できる。

10

【0004】

絶縁破壊電圧は、逆電圧状態下での絶縁破壊に耐えることができるデバイスの能力の表示を与える。絶縁破壊電圧は $R_{ds(on)}$ に反比例するため、 $R_{ds(on)}$ が減少すると、絶縁破壊電圧が悪影響を受ける。この問題に対処するため、デバイスの活性領域の下側にp型領域とn型領域とを交互に含むスーパージャンクション(SJ)パワーMOSFETが導入された。SJパワーMOSFETにおける交互に位置するp型およびn型領域は、理想的には、これらの領域が逆電圧状態下で互いを空乏化するように電荷平衡($Q_p = Q_n$)にあり、それにより、デバイスが絶縁破壊によりいっそう耐えることができる。

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来のSJパワーMOSFETは前述したような利点を与えるが、改良の余地がある。例えば、従来のSJトレンチパワーMOSFETデバイスでは、スーパージャンクションを形成するp型カラムおよびn型カラムが、それらが製造中に加熱されるときに互いの中へと拡散する場合がある。この拡散は絶縁破壊電圧を低下させる。また、p型カラムは、それらのカラム中のキャリアを急速に除去できないように浮いており、したがって、従来のSJトレンチパワーMOSFETデバイスは一般に高速回路での使用に適さないと考えられている。また、従来のSJトレンチパワーMOSFETデバイスでは、各トレンチゲートの配置により、能動デバイスの密度が制限される。例えば、従来のnチャネルデバイスでは、トレンチゲートが2つのp型カラム間に配置される(すなわち、ゲートがn型カラム上にわたって配置される)。

30

【課題を解決するための手段】

【0006】

本発明に係る一実施形態において、SJトレンチパワーMOSFETデバイスは、交互に位置するp型ドーパントおよびn型ドーパントのカラムを含むスーパージャンクションを含む。例えば、スーパージャンクションは、一方側が酸化物の第1のカラム(または層)によりn型ドーパントの第1のカラムから分離され且つ他方側が酸化物の第2のカラム(または層)によりn型ドーパントの第2のカラムから分離されp型ドーパントのカラムを含む。酸化物層は、デバイスが製造中に加熱されるときに隣接するn型およびp型カラムが互いの中へ拡散しないようにする。そのため、酸化物層は、絶縁破壊電圧が製造プロセスによって悪影響を受けることを防止できる。

40

【0007】

他の実施形態において、nチャネルデバイスでは、スーパージャンクションにおけるp型カラムがピックアップされてソースに短絡され、それにより、結果として得られるボディ領域がONからOFFへ切り換えられるときにp型カラム中のキャリアを急速に掃引することができ、また、pチャネルデバイスでは、スーパージャンクションにおけるn型カラムがピックアップされてソースに短絡され、それにより、同様の利点を得られる。したがって、この特徴を有するSJトレンチパワーMOSFETデバイスは高速回路での使用にうまく適する。

50

【0008】

他の実施形態において、 n チャネルデバイスでは、FETのためのゲート要素（例えば、トレンチゲート）が n 型ドーパントのカラム上ではなくスーパージャンクションにおける p 型ドーパントのカラム上に配置される。トレンチゲートを p 型カラムと位置合わせすることにより、 n 型カラムの幅を減少させることができる。 p チャネルデバイスにおいて、FETのためのゲート要素は、 p 型ドーパントのカラム上ではなくスーパージャンクションにおける n 型ドーパントのカラム上に配置され、それにより、 p 型カラムの幅を減らすことができる。したがって、トレンチゲートを互いに近接させて配置でき、それにより、セル密度が増大され、また、これにより、SJTレンチパワーMOSFETデバイスのオン抵抗（ $R_{ds(on)}$ ）が更に減少するという効果も有する。

10

【0009】

更なる他の実施形態では、SJTレンチパワーMOSFETデバイスが前述した特徴のそれぞれを組み込む。

【0010】

本発明のこれらの及び他の目的並びに利点は、様々な図に示される以下の詳細な説明を読んだ後に当業者により認識され得る。

【0011】

この明細書中に組み入れられてこの明細書の一部を形成する添付図面は、本発明の実施形態を示しており、明細書本文と共に本発明の原理を説明するのに役立つ。同様の参照符号は、図面および明細書の全体にわたって同様の要素を示す。

20

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態に係る半導体デバイスの要素を示す断面図である。

【図2】本発明の実施形態に係る半導体デバイスの要素を示す断面図である。

【図3】図3A, 3B, 3Cは、本発明の実施形態に係る半導体デバイスの製造で使用されるプロセスのフローチャートを示している。

【図4】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図5】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

30

【図6】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図7】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図8】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図9】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図10】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

40

【図11】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図12】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図13】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図14】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図15】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

50

【図 16】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 17】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 18】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 19】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 20】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

10

【図 21】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 22】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 23】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 24】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

【図 25】本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である。

20

【図 26】本発明の他の実施形態に係る半導体デバイスの要素を示す断面図である。

【発明を実施するための形態】

【0013】

本発明の以下の詳細な説明では、本発明の完全な理解のために多数の特定の詳細が記述されている。しかしながら、当業者であれば分かるように、本発明は、これらの特定の詳細を伴うことなく或いはその等価物を伴って実施されてもよい。他の事例では、本発明の態様を不必要に曖昧にしないように、良く知られた方法、手続き、構成要素、回路が詳しく示されない。

【0014】

以下の詳細な説明のうちの幾つかの部分は、手続き、論理ブロック、手順、および、半導体デバイスを製造するための工程の他の記号表示の観点から与えられる。これらの記述および表示は、半導体デバイス製造の当業者の作業の内容を他の当業者に最も効果的に伝えるために半導体デバイス製造の当業者によって使用される手段である。本出願において、手続き、論理ブロック、プロセス等は、所望の結果につながる首尾一貫した一連のステップまたは命令であると考えられる。ステップは、物理量の物理的操作を必要とするステップである。しかしながら、これらの表現および同様の表現の全てが適切な物理量に関連付けられ且つこれらの量に適用される単なる便宜的な標示であることに留意すべきである。以下の説明から明らかなように別に具体的に述べられていなければ、本出願の全体にわたって、「形成する」、「実行する」、「生成する」、「堆積する」、「エッチングする」などの表現を利用する説明が、半導体デバイス製造の作業およびプロセス（例えば、図 3A, 3B, 3C のフローチャート 300）を示すことは言うまでもない。

30

【0015】

図は一定の倍率で描かれておらず、また、構造の一部だけ及び該構造を形成する様々な層が図中に示されている場合がある。更に、製造プロセスおよびステップは、本明細書中に記載されるプロセスおよびステップと共に行なわれてもよい。すなわち、本明細書中に図示されて説明されるステップの前に、該ステップ間で、及び/又は、該ステップの後に、多くのプロセスステップが存在してもよい。重要なことには、本発明に係る実施形態は、これらの他の（おそらく従来の）プロセスおよびステップと併せて、これらを著しくかき乱すことなく実施できる。一般的に言えば、本発明に係る実施形態は、周辺のプロセスおよびステップに著しい影響を及ぼすことなく、従来のプロセスの一部に取って代わるこ

40

50

とができる。

【0016】

本明細書中で使用される文字「n」はn型ドーパントを示し、文字「p」はp型ドーパントを示す。プラス符号「+」またはマイナス符号「-」は、ドーパントの比較的高い濃度または比較的低い濃度をそれぞれ表わすために使用される。

【0017】

表現「チャンネル」は、本明細書中では一般に認められた態様で使用される。すなわち、電流がチャンネルのFET内でソース接続部からドレイン接続部へと流れる。チャンネルをn型またはp型半導体材料のいずれかにより形成することができる。したがって、FETは、nチャンネルデバイスまたはpチャンネルデバイスのいずれかとして特定される。図1～図25をnチャンネルデバイス、特にnチャンネルスーパージャンクションMOSFETとの関連で説明するが、本発明に係る実施形態はそのように限定されない。つまり、本明細書中に記載される特徴は、以下で更に説明される図26に示されるpチャンネルデバイスで利用することができる。図1～図25の説明は、n型ドーパントおよび材料を対応するp型ドーパントおよび材料と置き換えることによりpチャンネルデバイスに容易に適用することができ、逆もまた同様である。

10

【0018】

図1は、本発明の一実施形態に係る半導体デバイス100（例えば、nチャンネルSJTレンチパワーMOSFETデバイス）の要素を示す断面図である。デバイス100は、n+ドレイン層または基板104の底面にドレイン電極102を含む。基板104の上側には、p-ドリフト領域またはp型カラム106とn-ドリフト領域またはn型カラム108とが交互に配置される。交互に位置するp型（p-）カラム106およびn型（n-）カラム108は、スーパージャンクションとして知られるものを形成する。重大なことには、p型ドーパントのカラム106は、絶縁層またはカラム110（例えば、誘電体または酸化物の層/カラム）によって、n型ドーパントの隣接するカラム108から分離される。絶縁層110は、後述するように構造体が製造中に加熱されるときにn型およびp型カラム106、108が互いの中へ拡散しないようにする。そのため、絶縁層110は、絶縁破壊電圧が製造プロセスによって悪影響を受けないようにすることができる。

20

【0019】

また、重要なことには、図1の例では、各p型カラム106がそれぞれのポリシリコン（ポリ）トレンチゲート111（ゲートポリ111）の下側に配置される。一般的に言えば、各トレンチゲート111は、対応するp型カラム106の上側で隣接する絶縁層110間に位置合わせされる。より具体的には、各トレンチゲート111は、対応するp型カラム106の長手方向軸（図1の方向で考えると、長手方向軸はp型カラム内の垂直線である）に沿って位置合わせされる。一実施形態において、トレンチゲート111の長手方向軸は、トレンチゲートがp型カラム上で中心付けられるようにp型カラム106の長手方向軸と一致する。図1の実施形態において、p型カラム106は、絶縁層110のために使用される材料とは異なる材料から形成されてもよいそれぞれの絶縁層109によってトレンチゲート111から分離される。

30

【0020】

トレンチゲート111をp型カラム106と位置合わせすることにより、n型カラム108の幅を減らすことができる。したがって、トレンチゲートを互いに近接させて配置でき、それにより、セル密度が増大され、また、これにより、デバイス100のオン抵抗（ $R_{ds(on)}$ ）が更に減少するという効果も有する。一実施形態において、隣接するトレンチゲート間のピッチは、従来のデバイスにおける5ミクロンとは対照的に、約1.2ミクロンである。

40

【0021】

図1の構造と関連する他の利点は、トレンチゲート111と隣接するn型カラム108との間の重なり122の量が小さいことからゲート-ドレイン間電荷量（ Q_{gd} ）が減少されるという点である。一実施形態では、重なり122の量が約0.1ミクロンである。

50

【0022】

図1の実施形態において、隣接するトレンチゲート111間にはn型カラム108の上側にトレンチ125が形成される。より具体的には、各トレンチ125は、対応するn型カラム108の長手方向軸に沿って位置合わせされる - 実施形態において、トレンチ125の長手方向軸は、トレンチがn型カラム上で中心付けられるようにn型カラム108の長手方向軸と一致する。トレンチ125はソース金属124で満たされる。

【0023】

p+領域(p型接点領域112)が各トレンチ125内のソース金属124を対応するn型カラム108から分離する。p-領域(p型ボディ領域114)が、トレンチとトレンチゲート111との間で且つソース金属124とn型カラム108との間で、各トレンチ125の両側に配置される。また、図1に示されるように、n+領域(n型ソース領域116)が各トレンチ125の両側に配置される。

【0024】

p型(p-)ボディ領域114およびn型(n+)ソース領域116は、他の絶縁層120(例えば、ゲード酸化物)によってそれぞれのトレンチゲート111から分離される。図示のように、絶縁層110, 120は、製造プロセスの異なるポイントで形成され、そのため、図1に示されるように位置合わせされない場合がある。また、絶縁層110, 120が異なる材料を使用して形成されてもよい。それにもかかわらず、絶縁層110, 120は、図1のy方向でほぼ連続する境界を与え、その意味で、絶縁材料の単一のカラムとして特徴付けることができる。

【0025】

各n型ソース領域116上および各トレンチゲート111上にわたって絶縁層118を形成することができる。ソース金属層124は、絶縁層118上にわたって形成されており、前述したようにトレンチ125内へと延びる。

【0026】

本発明の一実施形態によれば、p型カラム106がピックアップされてソース金属層124に対して電氣的に短絡される。これを達成するための1つの方法が図2に示されている。図2は、図1の切断線A-Aに沿うデバイス100の断面図である。すなわち、図2で与えられる図は、図1に示される2つの次元(xおよびy)に対して直交する第3次元(z)にある。

【0027】

図2の実施形態では、トレンチ225が、対応するp型カラム106をソース金属層124に接続するように形成される。トレンチ225は金属で満たされており、トレンチ225内の金属は、図示のように、n型カラム108、ポリ領域211、および、絶縁層120によって、トレンチゲート111から分離される。p型カラム106をソース金属層124に短絡させることにより、結果として得られるボディダイオードがONからOFFへ切り換えられるときにp型カラム内のキャリアを急速に掃引することができる。したがって、デバイス100が高速回路での使用にうまく適する。図3A, 3B, 3Cは、図1および図2のデバイスなどの半導体デバイスの製造で使用されるプロセスの一実施形態のフローチャート300を示している。図3A~図3Cでは特定のステップが開示されるが、そのようなステップは典型的なものである。すなわち、本発明に係る実施形態は、様々な他のステップまたは図3A~図3Cに列挙されるステップの変形例を実行するのにうまく適する。本発明の実施形態に係る半導体デバイスの製造における選択された段階を示す断面図である図4~図25と併せて、図3A, 3B, 3Cについて説明する。

【0028】

図3Aのブロック302では、p-ドーパントのエピタキシャル層402(図4)がn+基板104上にわたって成長される。基板104がドレイン電極層102(図1)を含んでもよい。

【0029】

ブロック304では、第1の誘電体層502がエピタキシャル層402上にわたって堆

10

20

30

40

50

積され、また、フォトレジスト（PR）層504が誘電体層上にわたって堆積される（図5）。誘電体層502は、例えば、減圧化学蒸着（SACVD）によって堆積される熱酸化物または酸化物であってもよい。

【0030】

ブロック306では、第1のマスク（図示せず）が形成され、フォトレジスト層504および誘電体層502の露出部分が図6に示されるようにエッチング除去される。誘電体層502の残存部分が図1の絶縁層109に対応する。

【0031】

ブロック308では、p型エピタキシャル層402の一部もエッチング除去され、それにより、図7に示されるようにp型カラム106が形成される。エピタキシャル層402のエッチングは、比較的僅かな程度まで基板104へと及んでもよい。ブロック308において適用されるエッチング材料は、ブロック306で使用されるエッチング材料と異なってもよい。ブロック310では、残存するフォトレジスト層504が除去される（図8）。

【0032】

図3Aのブロック312では、第2の誘電体層902（図9）が絶縁層109およびp型カラム106の露出面上にわたって成長され或いは堆積される。特に、誘電体層902は、p型カラム106の両側および絶縁層109上にわたって形成され、それにより、実質的に、p型カラムの両側に誘電体材料の層またはカラムが形成される。第2の誘電体層902に使用される材料は、絶縁層109に使用される材料の厚さと比べて、異なってもよい。また、第2の誘電体層902は、絶縁層109の厚さと比べて比較的薄くてもよい（300～500オングストローム程度）。

【0033】

図3Aのブロック314では、図10に示されるように、基板104に隣接する誘電体層902の部分（図9）が除去される。このプロセスはボトム酸化物ブレイクスルーと称されてもよい。p型カラム106の両側の誘電体層902の部分は除去されず、これらの部分が図1の絶縁層110に対応する。絶縁層109を覆っている誘電体層902もボトム酸化物ブレイクスループロセスの一環として部分的に或いは完全に除去されてもよい。言い換えると、ボトム酸化物ブレイクスルーの後、図10に示されるように基板104が露出され、一方、絶縁層109は、第1の誘電体層502の一部として堆積される材料のみから成ってもよく（図5）、あるいは、第1の誘電体層502および第2の誘電体層902に含まれる材料の組み合わせから成ってもよい。また、ブロック314では、ボトム酸化物ブレイクスルーの後、n-ドーパントのエピタキシャル層1002が、基板104上にわたって及びp型カラム106と絶縁層109、110とを備える構造体の周囲で成長される。

【0034】

図3Aのブロック316では、フォトレジスト層が加えられ、その後、図11に示されるようにマスク1102を形成するためにフォトレジスト層が選択的に除去される。マスク1102は、図12に示されるように、n型エピタキシャル層1002に終端トレンチ1202を形成するために使用される。終端トレンチ1202は基板104中へと延びていてもよい。その後、図12も示されるようにマスクを除去することができる。

【0035】

図3Aのブロック318では、図13に示されるように、第3の誘電体層1302が終端トレンチ1202の内側およびn型エピタキシャル層1002上にわたって成長され或いは堆積される（例えば、SACVDを使用して）。第3の誘電体層1302のために使用される材料は、絶縁層109、110のために使用される材料と異なってもよい。その後、緻密化プロセスを使用して第3の誘電体層1302を硬化させ或いはアニールすることができる。重要なことには、絶縁層110は、緻密化プロセス中および構造体が加熱されてもよい製造プロセスの任意の他の時間にp型カラム106およびn型エピタキシャル層1002が互いの中へ拡散するのを防止し或いは制限する。

10

20

30

40

50

【 0 0 3 6 】

図 3 A のブロック 3 2 0 では、図 1 4 に示されるように終端トレンチ 1 2 0 2 内の誘電体の高さが n 型エピタキシャル 1 0 0 2 の上面とほぼ同じ高さとなるように誘電体層 1 3 0 2 がエッチバックされる。

【 0 0 3 7 】

図 3 B のブロック 3 2 2 では、フォトレジスト層が加えられ、その後、図 1 5 に示されるようにマスク 1 5 0 2 を形成するためにフォトレジスト層が選択的に除去される。マスクの開口 1 5 0 4 は p 型カラム 1 0 6 の位置と一致する。開口 1 5 0 4 の幅（図 1 5 の x 方向で測定される）は、開口と p 型カラムとの位置合わせに伴う問題を回避するために、p 型カラム 1 0 6 の幅より小さくてもよい。言い換えると、図示のように、マスク 1 5 0 2 は、p 型カラム 1 0 6 の上側にトレンチを形成するために使用され、また、理想的には、それらのトレンチは p 型カラムの外縁を越えて延びない。

10

【 0 0 3 8 】

図 3 B のブロック 3 2 4 では、図 1 5 および図 1 6 に関連して、開口 1 5 0 4 の下側に位置する n 型エピタキシャル層 1 0 0 2 の部分がエッチング除去され、それにより、絶縁層 1 0 9 へと延びるトレンチ 1 6 0 2 が形成される。エッチング除去されないエピタキシャル層 1 0 0 2 の部分は、図 1 の n 型カラム 1 0 8 に対応する。その後、マスク 1 5 0 2 を除去することができる。

【 0 0 3 9 】

図 3 B のブロック 3 2 6 では、トレンチ 1 6 0 2 の側面および底面を含めて絶縁層 1 0 9 および n 型カラム 1 0 8 の露出面上にわたってゲート酸化物層 1 7 0 2（図 1 7）が成長される。ゲート酸化物層 1 7 0 2 のために使用される材料は、第 1 の誘電体層 5 0 2（図 5）および第 2 の誘電体層 9 0 2（図 9）中に含まれる材料と異なっていてもよい。図 1 の絶縁層 1 0 9 は、ゲート酸化物層 1 7 0 2 と、第 1 の誘電体層 5 0 2 および第 2 の誘電体層 9 0 2 からの材料とを含んでもよい - すなわち、図では単一の均一な層として描かれているが、実際の実務では、絶縁層 1 0 9 が異なる絶縁材料を含んでもよい。また、トレンチ 1 6 0 2 の幅に応じて、それらのトレンチの内側を覆うゲート酸化物層 1 7 0 2 の部分が絶縁層 1 1 0 と一致してもよく、それにより、図 1 7 の垂直方向（y 方向）で絶縁材料のほぼ連続したカラムが形成される。

20

【 0 0 4 0 】

図 3 B のブロック 3 2 8 では、図 1 8 に示されるように、ゲート酸化物層 1 7 0 2 上にわたって及びトレンチ 1 6 0 2 内にポリシリコン（ポリ）層 1 8 0 2 が堆積される。

30

【 0 0 4 1 】

図 3 B のブロック 3 3 0 では、化学機械平坦化または研磨（CMP）プロセスを使用して、ゲート酸化物層 1 7 0 2 に至るまでポリ層 1 8 0 2 の一部を除去することができる（図 1 8）。その後、エッチバックプロセスを使用して、より多くのポリ層 1 8 0 2 を除去することができ、それにより、図 1 9 に示されるように陥凹要素が形成される。これらの陥凹要素は図 1 のトレンチゲート 1 1 1 に対応する。

【 0 0 4 2 】

図 3 B のブロック 3 3 2 では、図 2 0 に関連して、ブランケット p - ドーパントがデバイス 1 0 0 内 - すなわち、n 型カラム 1 0 8 内に注入され - それにより、図 1 の p 型（p - ）ボディ領域 1 1 4 が形成される。p 型ボディ領域 1 1 4 はトレンチゲート 1 1 1 よりも（図 2 0 の y 方向の）深さが浅い。

40

【 0 0 4 3 】

図 3 B のブロック 3 3 4 では、図 2 1 に示されるように、終端トレンチ 1 2 0 2 上および隣接領域上にわたってソースマスク 2 1 0 2 が形成され、その後、n + ドーパントが p 型ボディ領域 1 1 4 内に注入され、それにより、図 1 の n 型（n +）ソース領域 1 1 6 が形成される。このようにして、トレンチゲートが n 型カラム 1 0 8 上ではなく p 型カラム 1 0 6 上に形成される。p 型カラム 1 0 6 上にトレンチゲートを形成することにより、ゲートを互いに近接して配置することができ、それにより、セル密度が増大され、また、こ

50

れにより、 $R_{ds(on)}$ が減少するという効果も有する。n型ソース注入後、マスク2102を除去することができる。

【0044】

図3Bのブロック336では、低温酸化物(LTO)の層の後に引き続いてボロホスホシリケートガラス(BPSG)の層が堆積される - 図22ではこれらの層が層2202として特定される(明確にするため、ゲート酸化物領域1702の全てが図22および図23で確認されるとは限らない)。

【0045】

図3Bのブロック338では、フォトレジストの層が層2202上にわたって加えられ、その後、図23に示されるように、n型カラム108と一致する開口2304を伴うマスク2302を形成するためにフォトレジストの層が選択的に除去される。その後、開口2304の真下の材料 - それらの開口の真下にある層2202、ゲート酸化物1702、n+ソース領域116、および、p型ボディ領域114の部分 - をエッチング除去して、図1の絶縁層118を形成できるとともに、n+ソース領域116、p型ボディ領域114、および、ゲートピックアップ領域を露出させるトレンチ125を形成することができる。図1の絶縁層118は、層2202の残存部分、および、ゲート酸化物層1702の残存水平(x方向)部分の両方を含む。また、ゲート酸化物層1702のy方向(垂直)部分は図1の絶縁層120と一致する。その後、各トレンチ125の底部にp+ドーパントが注入され、それにより、図1のp型(p+)接点領域112が形成される。

【0046】

同様の態様で、図3Cのブロック340では、図24に示されるように、p型カラム106と一致する開口2404を伴うマスク2402を図23のz方向に形成することができる。その後、開口2404の真下の材料 - それらの開口の真下にある層2202、トレンチゲート111、および、絶縁層109の部分 - をエッチング除去して、絶縁ポリ領域211と、p型カラム106およびポリ領域211を露出させるトレンチ225とを形成することができる。p型カラム接点トレンチ225は、酸化層(ゲート酸化物)120、n型カラム108、および、他の酸化層120によってゲートポリ111から分離され、また、トレンチ225は酸化層120によっても分離される。

【0047】

図3Cのブロック342では、図23, 24, 25にも関連して、マスク2302, 2402が除去されるとともに、金属がトレンチ2304, 2404内および絶縁層118上にわたって堆積される。フォトレジストの層が金属上にわたって加えられ、その後、開口を有するマスク(図示せず)を形成するためにフォトレジストの層が選択的に除去され、また、開口の下側の金属がエッチング除去されることにより、図1および図2のソース金属層124が形成されるとともに、ゲートバス(図示せず)が形成される。したがって、図1および図2に示されるように、p型カラム106およびn型カラム108の両方がソース金属層124に電気的に接続される。その結果、それに伴って得られるボディダイオードがONからOFFへ切り換えられるときにp型カラム106内のキャリアを急速に掃引することができる。

【0048】

図3Cのブロック344では、保護層が随意的に堆積される。その後、保護層をエッチングしてゲートパッドおよびソースパッドを形成するために、マスクを加えることができる。

【0049】

前述したように、本明細書中に記載される特徴は、pチャネルSJトレンチパワーMOSFETデバイスにも適用できる。図26は、本発明の一実施形態に係るpチャネルSJトレンチパワーMOSFETデバイス2600の要素を示す断面図である。デバイス2600は、p+ドレイン層または基板2604の底面にドレイン電極(図示せず)を含む。スーパージャンクションを形成するために、基板2604の上側には、p-ドリフト領域またはp型カラム2606とn-ドリフト領域またはn型カラム2608とが交互に配置

10

20

30

40

50

される。p型ドーパントのカラム2606は、絶縁層またはカラム110によって、n型ドーパントの隣接するカラム2608から分離され、それにより、構造体が製造中に加熱されるときにn型およびp型カラムが互いの中へ拡散しないように保たれる。

【0050】

図26の実施形態では、各n型カラム2608がそれぞれのポリシリコントレンチゲート111の下側に配置される。n型カラム2608は、それぞれの絶縁層109によってトレンチゲート111から分離される。トレンチゲート111をn型カラム2608と位置合わせすることにより、p型カラム2606の幅を減らすことができ、それにより、トレンチゲートを互いに近接して配置できる。

【0051】

隣接するトレンチゲート111間にはp型カラム2606の上側にトレンチ125が形成される。トレンチ125はソース金属124で満たされる。n+領域(n接点領域2612)が各トレンチ125内のソース金属124を対応するp型カラム2606から分離する。n-領域(nボディ領域2614)が各トレンチ125の両側で且つトレンチとトレンチゲート111との間およびソース金属124とp型カラム2606との間に配置される。また、p+領域(pソース領域2616)が各トレンチ125の両側に配置される。n型ボディ領域2614およびp型ソース領域2616は、他の絶縁層120(例えば、ゲート酸化物)によってそれぞれのトレンチゲート111から分離される。各p型ソース領域2616上および各トレンチゲート111上にわたって絶縁層118を形成することができる。ソース金属層124は、絶縁層118上にわたって形成されており、前述したようにトレンチ125内へと延びている。

【0052】

本発明の一実施形態によれば、n型カラム2608は、図2に示される態様と同様の態様でピックアップされてソース金属層124に電氣的に短絡される。

【0053】

要約すると、SJトレンチパワーMOSFETデバイスの実施形態、および、そのようなデバイスを製造するための方法の実施形態が記載されている。本明細書中に記載される特徴は、スプリットゲート、デュアルトレンチ、および、他の従来の高電圧スーパージャンクションデバイスに代わる手段として、低電圧デバイスおよび1000ボルトパワーMOSFETなどの高電圧デバイスで使用できる。

【0054】

概して、この文書は以下を開示してきた。スーパージャンクショントレンチパワーMOSFET(金属酸化膜半導体電界効果トランジスタ)デバイスでは、スーパージャンクションにおけるp型ドーパントのカラムが、酸化物の第1のカラムによってn型ドーパントの第1のカラムから分離されるとともに、酸化物の第2のカラムによってn型ドーパントの第2のカラムから分離される。nチャネルデバイスでは、FETのためのゲート要素がp型ドーパントのカラム上にわたって配置されるのが有益であり、また、pチャネルデバイスでは、FETのためのゲート要素がn型ドーパントのカラム上にわたって配置されるのが有益である。

【0055】

概して、この文書は以下を開示してきた。スーパージャンクショントレンチパワーMOSFET(金属酸化膜半導体電界効果トランジスタ)デバイスでは、スーパージャンクションにおけるp型ドーパントのカラムが、酸化物の第1のカラムによってn型ドーパントの第1のカラムから分離されるとともに、酸化物の第2のカラムによってn型ドーパントの第2のカラムから分離される。nチャネルデバイスでは、FETのためのゲート要素がp型ドーパントのカラム上にわたって配置されるのが有益であり、また、pチャネルデバイスでは、FETのためのゲート要素がn型ドーパントのカラム上にわたって配置されるのが有益である。

【0056】

本発明の特定の実施形態の前述した記述は、例示目的で且つ説明のために与えられた。

10

20

30

40

50

これらの記述は、包括的なものではなく、あるいは、開示された正にその形態に本発明を限定しようとするものではなく、また、前述した教示内容を踏まえて多くの改良および変形が可能である。実施形態は、本発明の原理およびその実用的用途を最も良く説明するために選択されて記載されており、それにより、他の当業者は、考えられる特定の用途に適するように本発明および様々な改良を伴う様々な実施形態を最も良く利用できる。本発明の範囲は、添付の請求項およびそれらの等価物によって規定されるものである。言うまでもなく、本明細書で与えられる任意の全ての要素およびステップが含まれるのが好ましい。これらの要素およびステップのうちのいずれかが当業者に明らかなように省かれ或いは置き換えられてもよい。

【0057】

要約すると、この文書は、少なくとも以下の広範な概念を開示してきた。

【0058】

概念1．第1型ドーパントのチャンネルを有するスーパージャンクショントレンチパワー金属酸化膜半導体電界効果トランジスタ(MOSFET)デバイスであって、

第2型ドーパントのカラムを前記第1型ドーパントの第1のカラムから分離する絶縁材料を備える第1のカラムと、

前記第2型ドーパントの前記カラムを前記第1型ドーパントの第2のカラムから分離する絶縁材料を備える第2のカラムと、

絶縁材料の前記第1のカラムと絶縁材料の前記第2のカラムとの間に位置合わせされる電界効果トランジスタのためのゲート要素と、

を備えるスーパージャンクショントレンチパワーMOSFET。

【0059】

概念2．前記ゲート要素を前記第2型ドーパントの前記カラムから分離する絶縁層を更に備える概念1のスーパージャンクショントレンチパワーMOSFET。

【0060】

概念3．前記第1型ドーパントがn型ドーパントを備える場合には前記第2型ドーパントがp型ドーパントを備え、前記第1型ドーパントがp型ドーパントを備える場合には前記第2型ドーパントがn型ドーパントを備える概念1のスーパージャンクショントレンチパワーMOSFET。

【0061】

概念4．前記第2型ドーパントの前記カラムに電氣的に短絡されるソース金属の層を更に備える概念1のスーパージャンクショントレンチパワーMOSFET。

【0062】

概念5．前記ゲート要素と隣接するゲート要素との間に形成されたトレンチを更に備え、前記ソース金属が前記トレンチを満たす概念4のスーパージャンクショントレンチパワーMOSFET。

【0063】

概念6．前記ゲート要素と前記トレンチとの間に配置された前記第2型ドーパントのボディ領域および前記第1型ドーパントのソース領域を更に備える概念5のスーパージャンクショントレンチパワーMOSFET。

【0064】

概念7．前記トレンチは、前記第1型ドーパントの前記第1のカラムの長手方向軸と位置合わせされる概念5のスーパージャンクショントレンチパワーMOSFET。

【0065】

概念8．前記トレンチは、前記第2型ドーパントの領域によって前記第1型ドーパントの前記第1のカラムから分離される概念7のスーパージャンクショントレンチパワーMOSFET。

【0066】

概念9．第1型ドーパントのチャンネルを有する半導体デバイスであって、前記第1型ドーパントの基板と、

10

20

30

40

50

前記基板に結合されるとともに、前記第 1 型ドーパントの柱状の第 1 の領域と前記第 1 型ドーパントの柱状の第 2 の領域との間に配置される第 2 型ドーパントの柱状領域を備え、前記第 2 型ドーパントの前記領域が、第 1 の絶縁層によって前記第 1 型ドーパントの前記第 1 の領域から分離されるとともに、第 2 の絶縁層によって前記第 1 型ドーパントの前記第 2 の領域から分離される、スーパージャンクション構造体と、

前記スーパージャンクション構造体に結合されるとともに、ゲート要素を備え、前記ゲート要素が前記第 2 型ドーパントの前記領域の長手方向軸と位置合わせされる電界効果トランジスタと、

を備える半導体デバイス。

【 0 0 6 7 】

概念 1 0 . 前記ゲート要素を前記第 2 型ドーパントの前記領域から分離する酸化物層を更に備える概念 9 の半導体デバイス。

【 0 0 6 8 】

概念 1 1 . 前記第 2 型ドーパントの前記領域に電氣的に短絡されるソース金属の層を更に備える概念 9 の半導体デバイス。

【 0 0 6 9 】

概念 1 2 . 前記ゲート要素と隣接するゲート要素との間に形成されるトレンチを更に備え、前記ソース金属が前記トレンチを満たす概念 1 1 の半導体デバイス。

【 0 0 7 0 】

概念 1 3 . 前記ゲート要素と前記トレンチとの間に配置される前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える概念 1 2 の半導体デバイス。

【 0 0 7 1 】

概念 1 4 . 前記トレンチは、前記第 1 型ドーパントの前記第 1 の領域の長手方向軸と位置合わせされる概念 1 2 の半導体デバイス。

【 0 0 7 2 】

概念 1 5 . 第 1 型ドーパントのチャンネルを有する半導体デバイスであって、

前記第 1 型ドーパントの基板と、

前記基板に結合されるとともに、前記第 1 型ドーパントの第 1 の領域と前記第 1 型ドーパントの第 2 の領域との間に配置された第 2 型ドーパントの領域を備え、前記第 2 型ドーパントの前記領域および前記第 1 型ドーパントの前記第 1 および第 2 の領域がそれぞれ第 2 の寸法よりも大きい第 1 の寸法を有し、前記第 1 の寸法が第 1 の方向で測定され、前記第 2 の寸法が前記第 1 の方向と直交する第 2 の方向で測定される、スーパージャンクション構造体と、

ゲート要素を備え、前記第 2 型ドーパントの前記領域が前記第 1 の方向で前記ゲート要素と前記基板との間に位置する、電界効果トランジスタと、

前記第 1 の方向および前記第 2 の方向の両方と直交する第 3 の方向で前記第 2 型ドーパントの前記領域に電氣的に短絡されるソース金属の層と、

を備える半導体デバイス。

【 0 0 7 3 】

概念 1 6 . 前記第 2 型ドーパントの前記領域は、第 1 の絶縁層によって前記第 1 型ドーパントの前記第 1 の領域から分離されるとともに、第 2 の絶縁層によって前記第 1 型ドーパントの前記第 2 の領域から分離される概念 1 5 の半導体デバイス。

【 0 0 7 4 】

概念 1 7 . 前記ゲート要素を前記第 2 型ドーパントの前記領域から分離する酸化物層を更に備える概念 1 5 の半導体デバイス。

【 0 0 7 5 】

概念 1 8 . 前記ゲート要素と隣接するゲート要素との間に形成されたトレンチを更に備え、前記ソース金属が前記トレンチを満たす概念 1 5 の半導体デバイス。

【 0 0 7 6 】

10

20

30

40

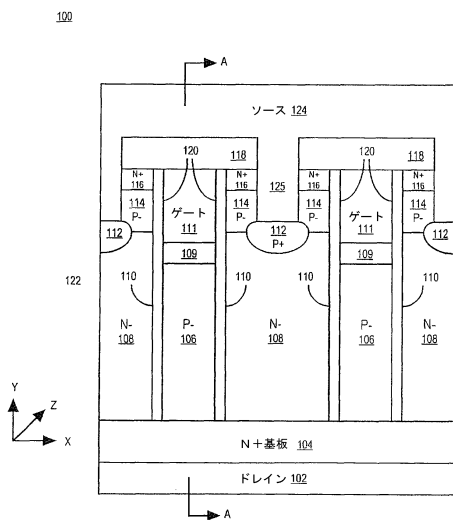
50

概念 19 . 前記ゲート要素と前記トレンチとの間に配置された前記第 2 型ドーパントのボディ領域および前記第 1 型ドーパントのソース領域を更に備える概念 18 の半導体デバイス。

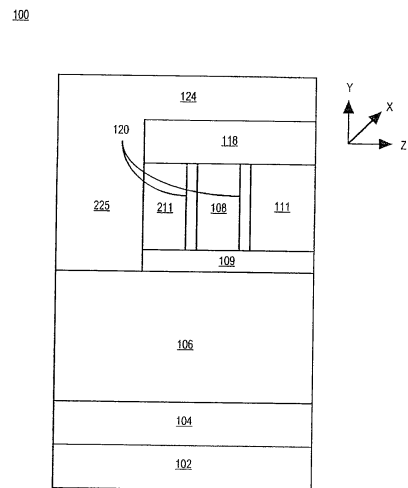
【 0 0 7 7 】

概念 20 . 前記第 1 型ドーパントの前記第 1 の領域が前記第 1 の方向で前記トレンチと前記基板との間に位置する概念 18 の半導体デバイス。

【 図 1 】

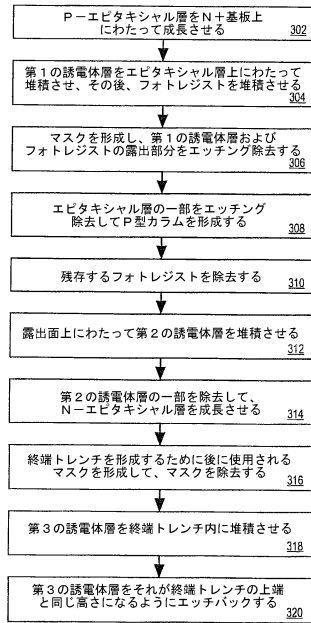


【 図 2 】



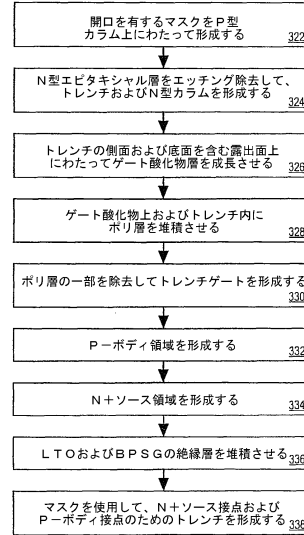
【図3A】

300



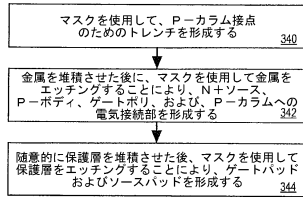
【図3B】

300

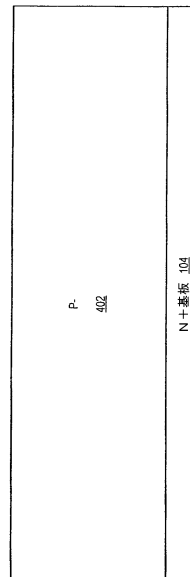


【図3C】

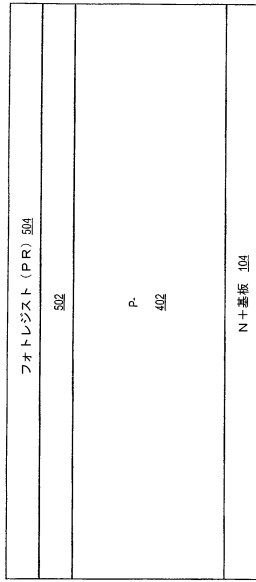
300



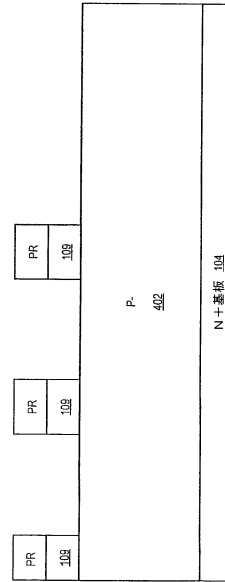
【図4】



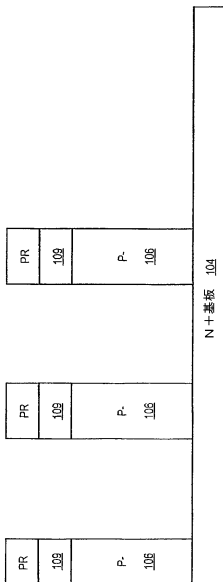
【 5 】



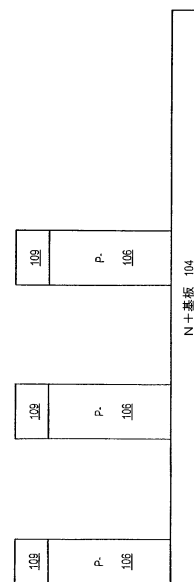
【 6 】



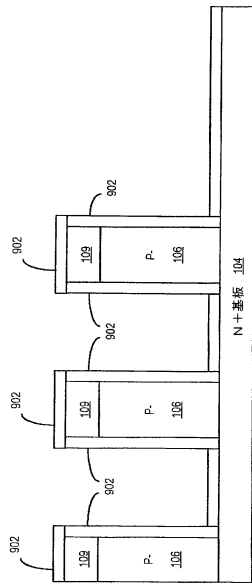
【 7 】



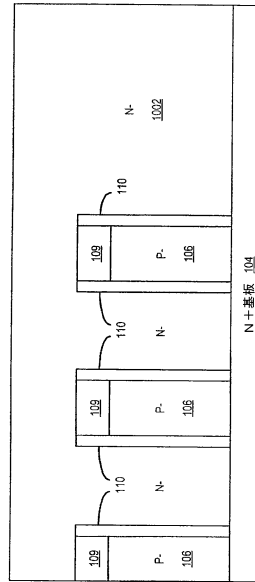
【 8 】



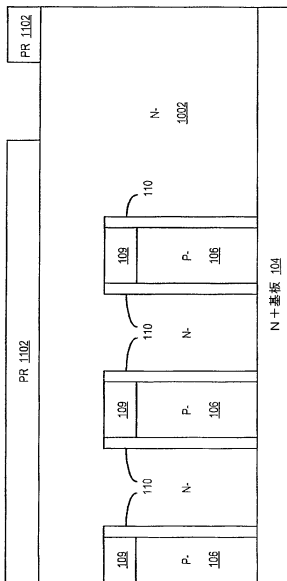
【 9 】



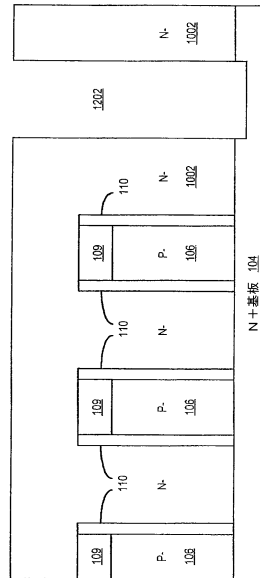
【 10 】



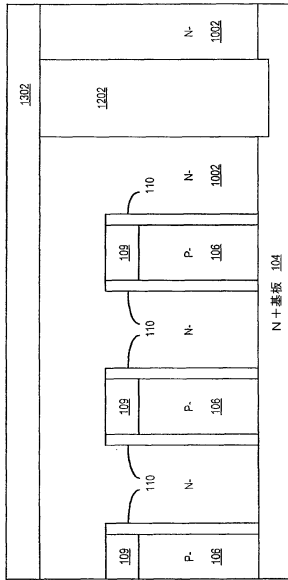
【 11 】



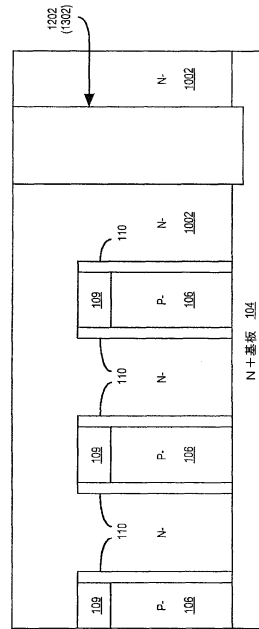
【 12 】



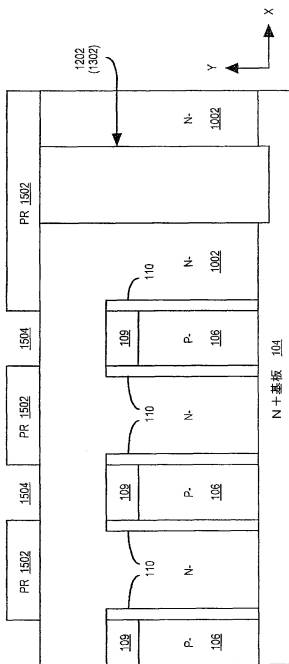
【 13 】



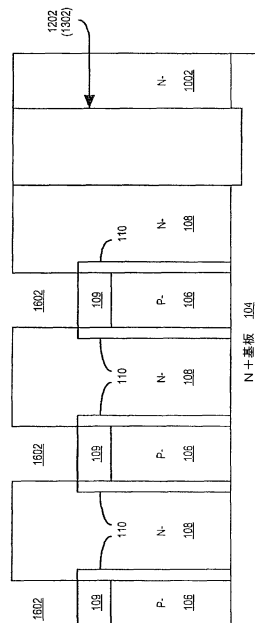
【 14 】



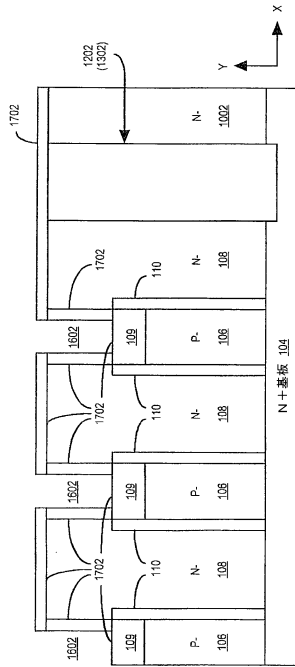
【 15 】



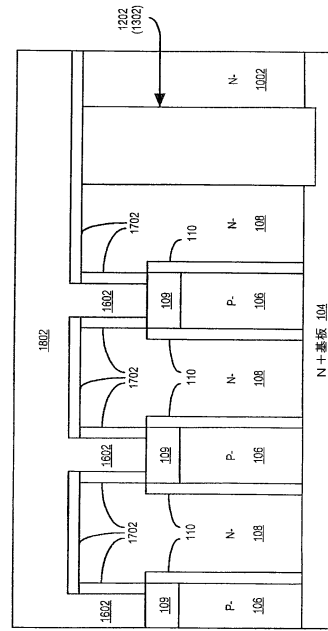
【 16 】



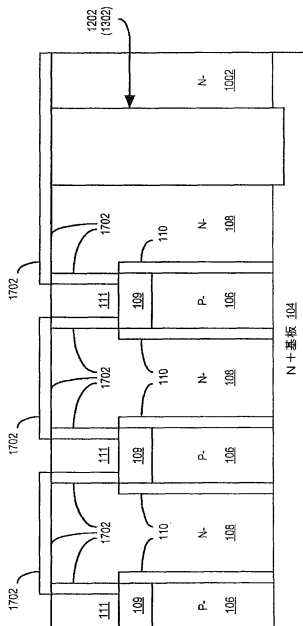
【 図 17 】



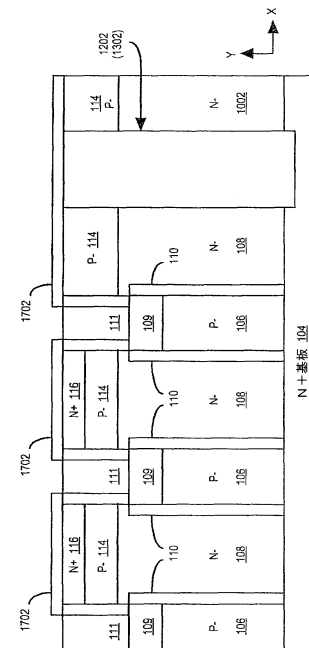
【 図 18 】



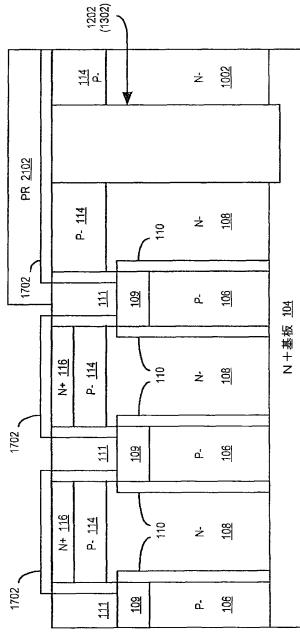
【 図 19 】



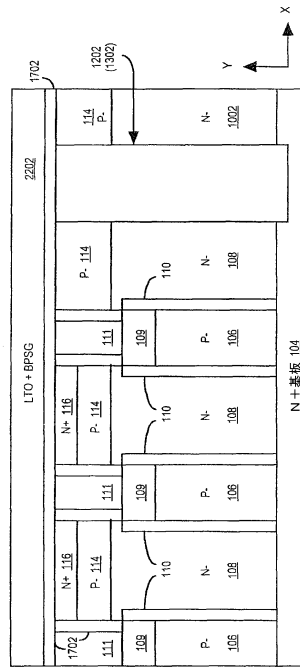
【 図 20 】



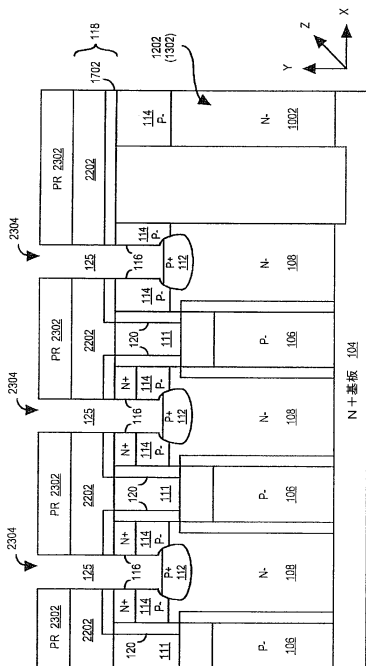
【 2 1 】



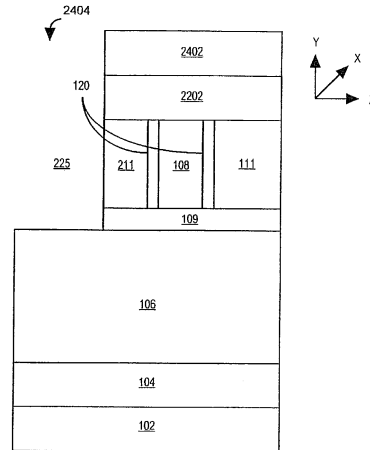
【 2 2 】



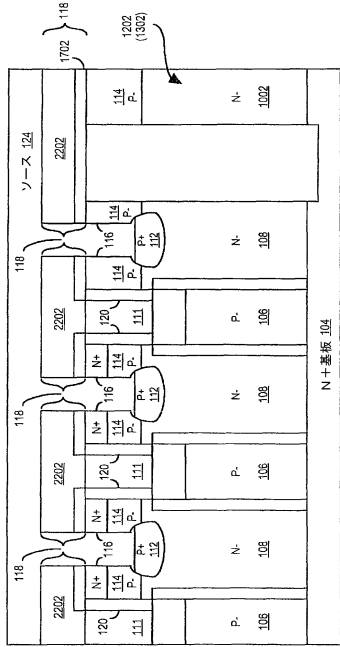
【 2 3 】



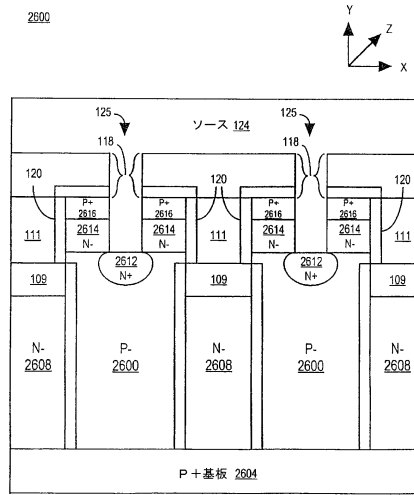
【 2 4 】



【図 25】



【図 26】



フロントページの続き

- (51)Int.Cl. F I
 H 0 1 L 29/78 6 5 2 K
 H 0 1 L 29/78 6 5 8 E
 H 0 1 L 29/78 6 5 2 N
 H 0 1 L 29/06 3 0 1 D
 H 0 1 L 29/06 3 0 1 V
- (72)発明者 パタナヤク、ディバ
 アメリカ合衆国 9 5 0 7 0 カリフォルニア州 サラトガ、ブルックヘブン ドライブ 1 9 1
 2 3
- (72)発明者 チェン、クオ - イン
 アメリカ合衆国 9 4 0 2 4 カリフォルニア州 ロス アルトス、ニューキャッスル ドライブ
 1 6 7 3
- (72)発明者 チャウ、テ - ツ
 アメリカ合衆国 カリフォルニア州 9 5 1 3 2、サン ノゼ、エル グランド ドライブ 3 6
 0 5
- (72)発明者 シ、シャロン
 アメリカ合衆国 9 5 1 2 3 カリフォルニア州 サン ノゼ、ノヨ ドライブ 1 6 7
- (72)発明者 チェン、クフエイ
 アメリカ合衆国 9 5 1 2 9 カリフォルニア州、サン ノゼ、ドイル ロード 7 9 8

審査官 溝本 安展

- (56)参考文献 特開2007 - 1 8 9 1 9 2 (J P , A)
 特開2009 - 0 4 3 9 6 6 (J P , A)
 特開2008 - 3 0 6 0 2 2 (J P , A)
 特表2008 - 5 1 1 9 8 2 (J P , A)
 特開2005 - 1 4 2 2 4 0 (J P , A)
 特開2006 - 2 0 2 9 3 1 (J P , A)
 米国特許第0 5 8 0 1 4 1 7 (U S , A)
 米国特許出願公開第2 0 0 5 / 0 1 6 7 6 9 5 (U S , A 1)

- (58)調査した分野(Int.Cl. , D B名)
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 0 6