

- 【特許請求の範囲】
- 【請求項 1】
配線層が埋設される基板と、
前記基板の主面から深さ方向へ延伸して前記配線層を貫通し、側周面で前記配線層に接続されるビアと
を有する半導体装置。
- 【請求項 2】
前記ビアは、
底部が先細り形状である
請求項 1 に記載の半導体装置。 10
- 【請求項 3】
前記ビアは、
底部が楕円形状をなす
請求項 2 に記載の半導体装置。
- 【請求項 4】
前記ビアは、
底部が円錐形状をなす
請求項 2 に記載の半導体装置。
- 【請求項 5】
前記ビアは、
底部が平面形状をなす
請求項 2 に記載の半導体装置。 20
- 【請求項 6】
前記ビアは、
積層される複数の前記配線層を貫通する
請求項 1 に記載の半導体装置。
- 【請求項 7】
前記ビアは、
積層される複数の前記配線層のうち、最浅層に設けられる金属材料によって形成された配線層に接続される
請求項 1 に記載の半導体装置。 30
- 【請求項 8】
配線層が埋設される基板と、
前記基板の主面から深さ方向へ延伸し、先細り形状をなす底部の一部で前記配線層の表面に接続されるビアと
を備える半導体装置。
- 【発明の詳細な説明】
- 【技術分野】
- 【0001】
本開示は、半導体装置に関する。 40
- 【背景技術】
- 【0002】
C S P (Chip Size Package) 化された半導体装置は、パッケージ内部の配線層と実装基板上の接続端子とを接続する T S V (Through Silicon Via) を備える (例えば、特許文献 1 参照)。
- 【0003】
T S V を形成する場合、一般的には、まず、基板の裏面からパッケージ内部の配線層にまで達する貫通孔を形成し、貫通孔をシードメタル膜によって被覆する。その後、シードメタル膜の表面に、例えば、電界メッキによって銅膜等の R D L (Re Distribution Layer) 膜を成長させて T S V を形成する。 50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-206253号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来技術では、シードメタル膜に段切れが発生することがあり、シードメタル膜の段切れ部分にRDL膜が正常に成長せずに、TSVに接続不良が発生して半導体装置の歩留まりが低下することがある。

10

【0006】

そこで、本開示では、歩留まりの低下を抑制することができる半導体装置を提案する。

【課題を解決するための手段】

【0007】

本開示によれば、半導体装置が提供される。半導体装置は、基板と、ビアとを有する。基板は、配線層が埋設される。ビアは、前記基板の主面から深さ方向へ延伸して前記配線層を貫通し、側周面で前記配線層に接続される。

【図面の簡単な説明】

【0008】

【図1】本開示の実施形態に係る半導体装置の断面を示す説明図である。

20

【図2】本開示の実施形態に係るTSVの断面を示す説明図である。

【図3A】本開示の実施形態に係るTSVの形成工程を示す説明図である。

【図3B】本開示の実施形態に係るTSVの形成工程を示す説明図である。

【図3C】本開示の実施形態に係るTSVの形成工程を示す説明図である。

【図4A】本開示の実施形態に係るTSVの形成工程を示す説明図である。

【図4B】本開示の実施形態に係るTSVの形成工程を示す説明図である。

【図4C】本開示の実施形態に係るTSVの形成工程を示す説明図である。

【図5A】本開示の実施形態の変形例1に係るTSVの断面を示す説明図である。

【図5B】本開示の実施形態の変形例2に係るTSVの断面を示す説明図である。

【図6A】本開示の実施形態の変形例3に係るTSVの断面を示す説明図である。

30

【図6B】本開示の実施形態の変形例4に係るTSVの断面を示す説明図である。

【図6C】本開示の実施形態の変形例5に係るTSVの断面を示す説明図である。

【図7A】本開示の実施形態の変形例6に係るTSVの断面を示す説明図である。

【図7B】本開示の実施形態の変形例7に係るTSVの断面を示す説明図である。

【図8A】本開示の実施形態の変形例8に係るTSVの断面を示す説明図である。

【図8B】本開示の実施形態の変形例9に係るTSVの断面を示す説明図である。

【発明を実施するための形態】

【0009】

以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

40

【0010】

[半導体装置の構造]

まず、図1を参照し、本開示に係る半導体装置1の構造について説明する。図1は、本開示の実施形態に係る半導体装置1の断面を示す説明図である。ここでは、実施形態に係る半導体装置1がCSP(Chip Size Package)化された積層型のイメージセンサである場合を例に挙げて説明するが、実施形態に係る半導体装置は、TSV(Through Silicon Via)を備える任意の半導体装置であってもよい。

【0011】

図1に示すように、半導体装置1は、実装基板100上に実装されて使用される。半導体装置1は、例えば、ロジック基板10と、ロジック基板10上に積層されるセンサ基板

50

20とを備える。

【0012】

ロジック基板10は、Si(シリコン)基板11と、Si基板11上に積層されるSiO(酸化シリコン)等によって形成される絶縁層12とを備える。絶縁層12の内部には、多層配線層13が埋設される。また、ここでは、図示を省略しているが、絶縁層12の内部には、多層配線層13以外に信号処理回路やメモリ等が設けられる。

【0013】

センサ基板20は、Si基板21と、Si基板21上に設けられるガラスカバー22と、ガラスカバー22の外周部を支持する支持部材23とを備える。Si基板21の内部には、例えば、裏面照射型のCMOS(Complementary Metal Oxide Semiconductor)イメージセンサ24が設けられる。また、CMOSイメージセンサ24が備える複数の各受光素子の受光面には、マイクロレンズ25が設けられる。

【0014】

さらに、CSP化された半導体装置1は、ロジック基板10の内部に設けられた多層配線層13と、実装基板100上に設けられた接続端子101とを接続するためのTSV14を備える。

【0015】

TSV14は、ロジック基板10の下面から多層配線層13にまで達する貫通孔の内周面からロジック基板10の下面の一部まで延在するように、例えば、銅膜等のRDL(Re Distribution Layer:再配線)膜3が成膜されて形成された貫通電極の一種である。

【0016】

そして、半導体装置1は、RDL膜3のロジック基板10における下面に延在する部分が、はんだバンプ15を介して接続端子101に接続されて実装基板100上に実装される。

【0017】

このように、CSP化された半導体装置1は、ボンディングワイヤを使用することなく、はんだバンプ15を介してTSV14のRDL膜3と実装基板100の接続端子101とが直接接続されるので、実装面積を最小限に抑えることができる。

【0018】

本実施形態では、かかるTSV14の形状を工夫することで、TSV14における接続不良の発生を抑制することにより、半導体装置1の歩留まりを向上させた。次に、図2を参照し、かかるTSV14の具体的な構造について説明する。

【0019】

[TSVの構造]

図2は、本開示の実施形態に係るTSV14の断面を示す説明図である。なお、図2には、半導体装置1の構成要素のうち、ロジック基板10におけるTSV14近傍の部分を選択的に図示しており、センサ基板20については、図示を省略している。

【0020】

また、図2には、図1に示すロジック基板10の上下を反転させた状態のロジック基板10を示している。このため、以下では、図1に示したロジック基板10における下面側を上、図1に示したロジック基板10における上面側を下と称して説明する。

【0021】

図2に示すように、TSV14は、ロジック基板10の上面から深さ方向へ延伸して多層配線層13における第1配線層M1、第2配線層M2、および第3配線層M3のうち最上層の第1配線層M1を貫通し、側周面で第1配線層M1に接続される。

【0022】

かかるTSV14は、Si基板11の上面から第1配線層M1を貫通する深さにまで達する貫通孔30の表面にシードメタル膜31と、RDL膜を順次成膜することによって形成される。

【0023】

10

20

30

40

50

なお、S i 基板 1 1 とシードメタル膜 3 1 との間には、絶縁のため予め S i O 膜 3 2 が設けられる。かかる T S V 1 4 の具体的な形成工程については、図 3 A ~ 図 4 C を参照して後述する。

【 0 0 2 4 】

ここで、シードメタル膜 3 1 および R D L 膜 3 を成膜する前に、ロジック基板 1 0 の上面から第 1 配線層 M 1 を貫通する深さにまで達する貫通孔 3 0 を形成する工程では、絶縁層 1 2 および第 1 配線層 M 1 をエッチングする必要がある。

【 0 0 2 5 】

このため、貫通孔 3 0 を形成する工程では、絶縁層 1 2 のエッチングに適したエッチングガスと、第 1 配線層 M 1 のエッチングに適したエッチングガスとを混合したエッチングガスを使用した R I E (Reactive Ion Etching) によって貫通孔 3 0 を形成する。

10

【 0 0 2 6 】

かかる R I E では、エッチングはロジック基板 1 0 の深さ方向へ進行するが、絶縁層 1 2 の面方向へは進行しない。したがって、絶縁層 1 2 における貫通孔 3 0 の径が S i 基板 1 1 における貫通孔 3 0 の径よりも大きくなることにならない。

【 0 0 2 7 】

これにより、貫通孔 3 0 の形成後に成膜されるシードメタル膜 3 1 に段切れが発生することを抑制することで、段切れのないシードメタル膜 3 1 の表面全体に R D L 膜 3 を成膜することができる。

【 0 0 2 8 】

これに対して、一般的な T S V は、S i 基板 1 1 の上面から第 1 配線層 M 1 の上面に達する深さまでしかなく、底面で第 1 配線層 M 1 の上面に接続される。かかる一般的な T S V を形成する場合には、第 1 配線層 M 1 がエッチングストップパとして使用され、S i 基板 1 1 の上面から第 1 配線層 M 1 の上面に達する深さの貫通孔が R I E によって形成される。

20

【 0 0 2 9 】

このときの R I E では、絶縁層 1 2 のエッチングに適したエッチングガスが使用されるが、第 1 配線層 M 1 のエッチングに適したエッチングガスは使用されない。このため、第 1 配線層 M 1 の上面を完全に露出させるようにオーバーエッチングを行うと、深さ方向へのエッチングは、第 1 配線層 M 1 の上面で進行が停止するが、絶縁層 1 2 における面方向へのエッチングは、進行が継続する。

30

【 0 0 3 0 】

その結果、絶縁層 1 2 における貫通孔 3 0 の径が S i 基板 1 1 における貫通孔 3 0 の径よりも大きくなり、貫通孔 3 0 の底部にノッチ（切り込みや切欠き）ができる。かかる貫通孔 3 0 の表面にシードメタル膜 3 1 を成膜した場合、貫通孔 3 0 底部のノッチ部分でシードメタル膜 3 1 に段切れが発生し、貫通孔 3 0 の全体を被覆する R D L 膜 3 を形成することができず、結果として T S V に接続不良が発生して半導体装置の歩留まりが低下する。

【 0 0 3 1 】

一方、実施形態に係る T S V 1 4 は、上記したように、段切れのないシードメタル膜 3 1 の表面全体に R D L 膜 3 が成膜されるので、T S V 1 4 における接続不良の発生を抑制することにより、半導体装置 1 の歩留まりを向上させることができる。

40

【 0 0 3 2 】

また、図 2 に示すように、実施形態に係る T S V 1 4 は、底部が貫通孔 3 0 の縦孔部分から滑らかに連続する先細り形状、具体的には、楕形状となっている。これにより、本実施形態によれば、より確実にシードメタル膜 3 1 の段切れを防止することができるので、T S V 1 4 における接続不良の発生を抑制して、半導体装置 1 の歩留まりを向上させることができる。

【 0 0 3 3 】

また、実施形態に係る T S V 1 4 は、底部が楕形状となっているため、第 1 配線層 M 1

50

との接合面が傾斜面となる。これにより、TSV14は、例えば、底部が水平で第1配線層M1を完全に貫通し、第1配線層M1との接合面が垂直となるような形状に比べて、第1配線層M1との接続面積を大きくとることができるので、接続抵抗を低減することが可能となる。

【0034】

[TSVの形成工程]

次に、図3A～図4Cを参照し、実施形態に係るTSV14の形成工程について説明する。TSV14を形成する場合には、まず、図3Aに示すように、Si基板11の上面にレジスト40を塗布した後、フォトリソグラフィによってレジスト40をパターニングし、TSV14を形成する部分のレジスト40を選択的に除去する。

10

【0035】

このとき、例えば、直径が50 μ m程度の平面視略円形の穴をレジスト40に形成する。続いて、図3Bに示すように、レジスト40をマスクとして使用し、例えば、RIE等のドライエッチングを行うことにより、Si基板11に貫通孔30を形成する。

【0036】

このときのエッチングでは、Si(シリコン)のエッチングに適した塩素系やフッ素系のエッチングガスを使用する。これにより、Si基板11におけるレジスト40によってマスクされていない部分が深さ方向へ、例えば、100 μ m程度エッチングされて絶縁層12の上面が露出する。

20

【0037】

その後、図3Cに示すように、Si基板11の上面からレジスト40を除去する。続いて、図4Aに示すように、Si基板11と後に形成するRDL膜3とを絶縁するため、Si基板11の上面と、貫通孔30の底面および側周面とに、例えば、CVD(Chemical Vapor Deposition)によってSiO膜32を成膜する。

【0038】

このとき、Si基板11の上面には、厚さが5 μ m程度のSiO膜32が形成され、貫通孔30の底面および側周面には、厚さが0.5 μ m程度のSiO膜32が形成される。その後、SiO膜32の全面に対して、例えば、RIE等のドライエッチングを行う。

【0039】

このときのエッチングでは、絶縁膜のエッチングに適したフッ素系のエッチングガスと、金属系のエッチングに適した塩素系のエッチングガスとを使用する。さらに、ここでは、横方向へのエッチングの進行を抑制するためのデポガスとして機能する炭化フッ素系又は炭化水素系のガスをエッチングガスに混合してエッチングを行う。

30

【0040】

これにより、図4Bに示すように、貫通孔30の底部に形成されているSiO膜32、絶縁層12、および第1配線層M1が順次エッチングされ、貫通孔30が第1配線層M1を貫通する深さにまで達する。

【0041】

このとき、エッチングの終盤では、徐々にエッチングガスの量を低減すると共に、デポガスの量を増大させる。これにより、図4Bに白抜き矢印で示すような横方向へエッチングを進行させずに、貫通孔30の底部を椀形状にすることができる。このように、本実施形態に係る貫通孔30は、底部にノッチが形成されることがなく、底部の形状が縦孔部分から滑らかに連続する椀形状となる。

40

【0042】

その後、貫通孔30の表面に付着しているデポ膜を有機薬液によって除去する。続いて、貫通孔30の底面、貫通孔30の側面、およびSiO膜32の上面の全体に、スパッタリングによって、膜厚が200nm～400nmのTi(チタン)、Cu(銅)、またはTi(チタン)及びCu(銅)の薄膜を成膜することでシードメタル膜31を形成する。

【0043】

最後に、シードメタル膜31の表面に、電界メッキによって膜厚が5 μ m程度のCu(

50

銅)膜を成長させてRDL膜3を形成することにより、図2に示すTSV14を形成する。なお、RDL膜3を形成する工程では、電界メッキを行う前に、RDL膜3の形成位置以外の部分をレジストによってマスクする。

【0044】

そして、RDL膜3の形成後に、レジストを除去する。このとき、貫通孔30の底部にノッチがある場合、ノッチ内にレジストの残さが残り、RDL膜3に亀裂が生じる原因となるが、上述したように、本実施形態では、貫通孔30の底部にノッチが形成されない。これにより、実施形態に係るTSV14は、RDL膜3に亀裂が生じることを抑制することができるので、接触不良の発生を未然に防止することができる。

【0045】

なお、図2に示したTSV14の形状は、実施形態に係るTSVの一例である。実施形態に係るTSVは、図2に示す形状以外に種々の変形が可能である。以下、図5A~図8Bを参照し、実施形態の変形例に係るTSVの形状について説明する。

【0046】

図5Aは、実施形態の変形例1に係るTSVの断面を示す説明図である。図5Bは、実施形態の変形例2に係るTSVの断面を示す説明図である。図6Aは、実施形態の変形例3に係るTSVの断面を示す説明図である。図6Bは、実施形態の変形例4に係るTSVの断面を示す説明図である。図6Cは、実施形態の変形例5に係るTSVの断面を示す説明図である。

【0047】

また、図7Aは、実施形態の変形例6に係るTSVの断面を示す説明図である。図7Bは、実施形態の変形例7に係るTSVの断面を示す説明図である。図8Aは、実施形態の変形例8に係るTSVの断面を示す説明図である。図8Bは、実施形態の変形例9に係るTSVの断面を示す説明図である。

【0048】

図5Aに示すように、変形例1に係るTSVは、底部の形状だけが図2に示すTSV14とは異なり、底部が深い位置になるほど先細りとなる円錐形状をしている。かかる円錐形状の底部は、貫通孔30を形成するエッチングの終盤で、エッチングガスの量およびデポガスの量の比率調整を行うことで形成することができる。

【0049】

変形例1に係るTSVは、図2に示すTSV14と同様に、第1配線層M1を貫通する深さまで達しており、側周面で第1配線層M1に接続されている。かかるTSVは、第1配線層M1をエッチングストッパとして使用せずに形成される。

【0050】

このため、変形例1に係るTSVは、底部にノッチが形成されないので、RDL膜3に接続不良が発生することを抑制することにより、半導体装置の歩留まりを向上させることができる。

【0051】

また、変形例1に係るTSVは、第1配線層M1との接続面が傾斜面となっているため、図2に示すTSV14と同様に、第1配線層M1との接続面積を大きくとることができるので、接続抵抗を低減することが可能である。

【0052】

また、図5Bに示すように、変形例2に係るTSVは、底部の形状だけが図2に示すTSV14とは異なり、底部が水平面形状をしている。かかる水平面形状の底部は、貫通孔30を形成するエッチングの終盤でエッチングガスの量およびデポガスの量を変更せずにエッチングを終了することで形成することができる。

【0053】

変形例2に係るTSVは、図2に示すTSV14と同様に、第1配線層M1を貫通する深さまで達しており、側周面で第1配線層M1に接続されている。かかるTSVは、第1配線層M1をエッチングストッパとして使用せずに形成される。

10

20

30

40

50

【 0 0 5 4 】

このため、変形例 2 に係る T S V は、底部にノッチが形成されないので、R D L 膜 3 に接続不良が発生することを抑制することにより、半導体装置の歩留まりを向上させることができる。

【 0 0 5 5 】

また、図 6 A に示すように、変形例 3 に係る T S V は、ロジック基板 1 0 における深さが図 2 に示す T S V 1 4 よりも深く、第 3 配線層 M 3 を貫通する深さにまで達している点だけが図 2 に示す T S V 1 4 とは異なる。

【 0 0 5 6 】

また、図 6 B に示すように、変形例 4 に係る T S V は、ロジック基板 1 0 における深さが図 5 A に示す変形例 1 の T S V よりも深く、第 3 配線層 M 3 を貫通する深さにまで達している点だけが図 5 A に示す変形例 1 の T S V とは異なる。

10

【 0 0 5 7 】

また、図 6 C に示すように、変形例 5 に係る T S V は、ロジック基板 1 0 における深さが図 5 B に示す変形例 2 の T S V よりも深く、第 3 配線層 M 3 を貫通する深さにまで達している点だけが図 5 B に示す変形例 2 の T S V とは異なる。

【 0 0 5 8 】

これら変形例 3 ~ 5 の T S V によれば、第 1 ~ 第 3 配線層 M 1 , M 2 , M 3 を一度に接続することができ、図 2 に示す T S V 1 4 と同様に、R D L 膜 3 に接続不良が発生することを抑制することにより、半導体装置の歩留まりを向上させることができる。

20

【 0 0 5 9 】

なお、変形例 3 ~ 5 の T S V は、第 2 配線層 M 2 を貫通する深さであってもよい。つまり、実施形態に係る T S V は、配線層を貫通する深さがあれば、貫通する配線層の数に制限はない。

【 0 0 6 0 】

また、実施形態に係る T S V は、底部が先細りとなる形状であれば、必ずしも配線層を貫通している必要はない。例えば、図 7 A に示すように、変形例 6 に係る T S V は、第 1 配線層 M 1 を貫通することなく、底面で第 1 配線層 M 1 の上面に接続される。なお、変形例 6 の底面形状は、図 2 に示す T S V 1 4 と同様の楕形状である。

【 0 0 6 1 】

かかる T S V を形成する場合には、第 1 配線層 M 1 をエッチングストッパとして使用して貫通孔 3 0 を形成する。ただし、貫通孔 3 0 を形成するエッチングの終盤では、エッチングガスの量およびデポガスの量の比率調整を行うことで貫通孔 3 0 の底部を楕形状にする。これにより、貫通孔 3 0 の底部にノッチが形成されることを防止することができる。

30

【 0 0 6 2 】

したがって、変形例 6 の T S V は、図 2 に示す T S V 1 4 と同様に、R D L 膜 3 に接続不良が発生することを抑制することにより、半導体装置の歩留まりを向上させることができる。

【 0 0 6 3 】

また、図 7 B に示すように、変形例 7 に係る T S V は、第 1 配線層 M 1 を貫通することなく、円錐形状の底部における先端部分で第 1 配線層 M 1 の上面に接続される。かかる T S V によっても、図 7 A に示す T S V と同様に、R D L 膜 3 に接続不良が発生することを抑制することにより、半導体装置の歩留まりを向上させることができる。

40

【 0 0 6 4 】

また、実施形態に係る T S V は、例えば、ロジック基板 1 0 の絶縁層 1 2 における第 1 配線層 M 1 よりも浅い位置に、例えば、タングステン等の金属材料によって形成される配線層が設けられた半導体装置にも適用することが可能である。

【 0 0 6 5 】

例えば、図 8 A に示すように、変形例 8 に係る T S V は、絶縁層 1 2 における最浅層に設けられるタングステン等の金属によって形成された L I C (Local Inter Connect)

50

等の金属配線層 M0 を貫通し、側周面で金属配線層 M0 に接続される。なお、変形例 8 の TSV における底部は、椀形状をなしている。

【0066】

また、図 8 B に示すように、変形例 9 に係る TSV は、金属配線層 M0 を貫通し、側周面で金属配線層 M0 に接続される。なお、変形例 9 の TSV における底部は、円錐形状をなしている。このように、変形例 8, 9 に係る TSV は、LIC を備える半導体装置に適用することで、LIC を備える半導体装置の歩留まりを向上させることができる。

【0067】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

10

【0068】

なお、本技術は以下のような構成も取ることができる。

(1)

配線層が埋設される基板と、

前記基板の主面から深さ方向へ延伸して前記配線層を貫通し、側周面で前記配線層に接続されるビアと

を有する半導体装置。

(2)

前記ビアは、

底部が先細り形状である、(1)に記載の半導体装置。

20

(3)

前記ビアは、

底部が椀形状をなす、(2)に記載の半導体装置。

(4)

前記ビアは、

底部が円錐形状をなす、(2)に記載の半導体装置。

(5)

前記ビアは、

底部が平面形状をなす、(2)に記載の半導体装置。

(6)

前記ビアは、

積層される複数の前記配線層を貫通する、(1)~(5)のいずれかに記載の半導体装置。

30

(7)

前記ビアは、

積層される複数の前記配線層のうち、最浅層に設けられる金属材料によって形成された配線層に接続される、(1)~(5)のいずれかに記載の半導体装置。

(8)

配線層が埋設される基板と、

前記基板の主面から深さ方向へ延伸し、先細り形状をなす底部の一部で前記配線層の表面に接続されるビアと

を備える半導体装置。

40

【符号の説明】

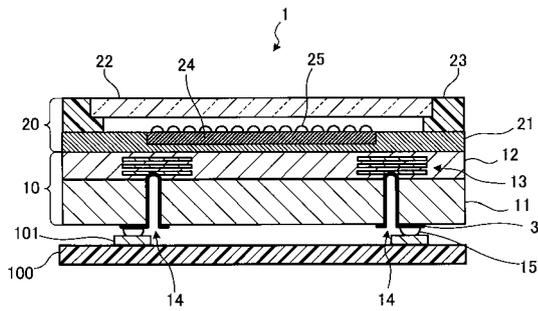
【0069】

- 1 半導体装置
- 10 ロジック基板
- 11 Si 基板
- 12 絶縁層
- 13 多層配線層
- 14 TSV

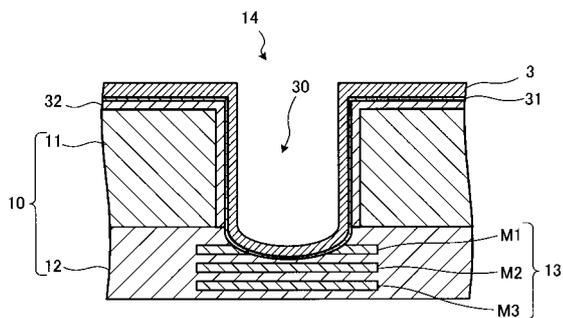
50

- 15 はんだバンプ
- 20 センサ基板
- 21 Si基板
- 22 ガラスカバー
- 23 支持部材
- 24 CMOSイメージセンサ
- 25 マイクロレンズ
- 3 RDL膜
- 31 シードメタル膜
- 32 SiO膜
- M0 金属配線層
- M1 第1配線層
- M2 第2配線層
- M3 第3配線層
- 100 実装基板
- 101 接続端子

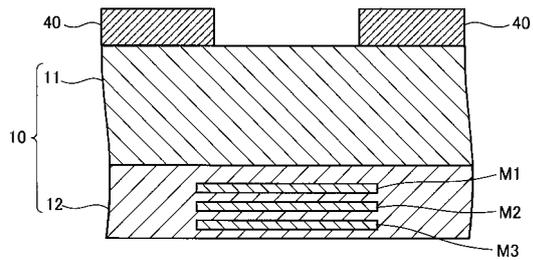
【図1】



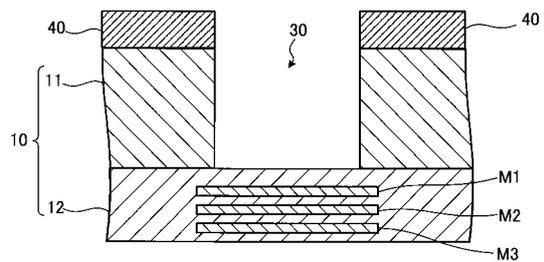
【図2】



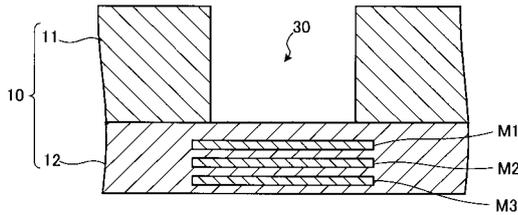
【図3A】



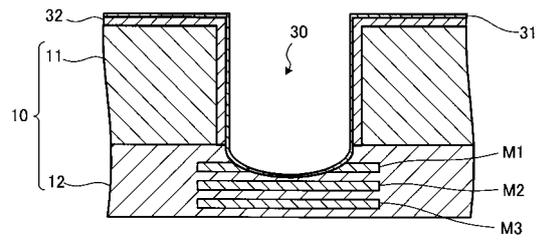
【図3B】



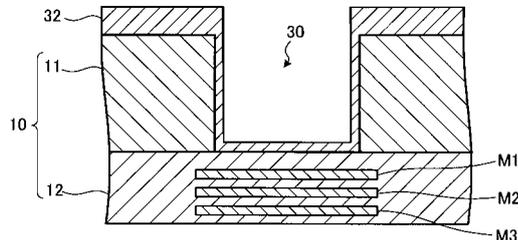
【図 3 C】



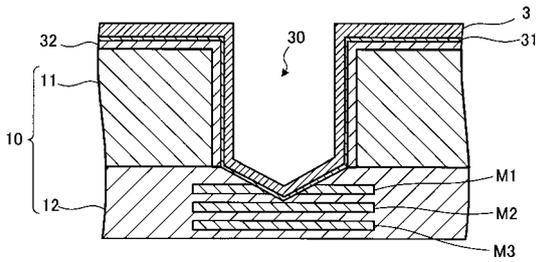
【図 4 C】



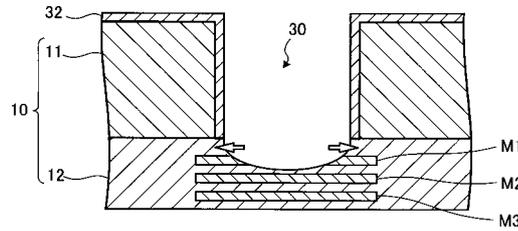
【図 4 A】



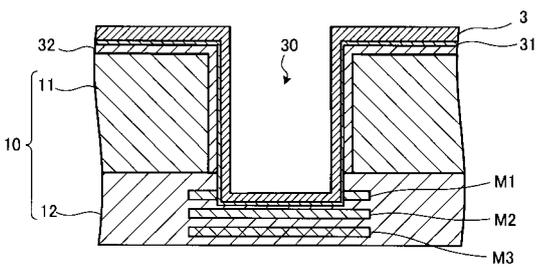
【図 5 A】



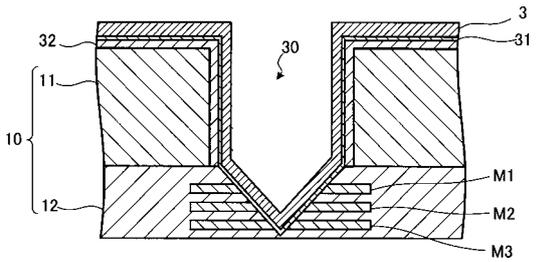
【図 4 B】



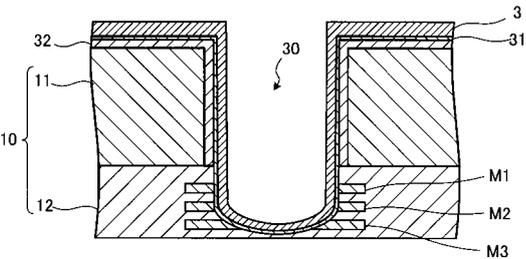
【図 5 B】



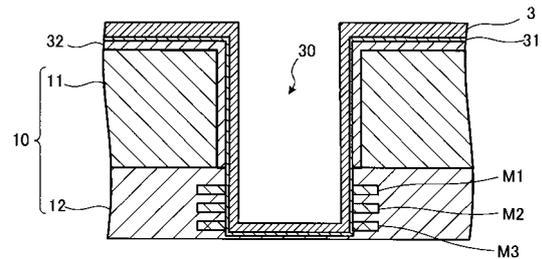
【図 6 B】



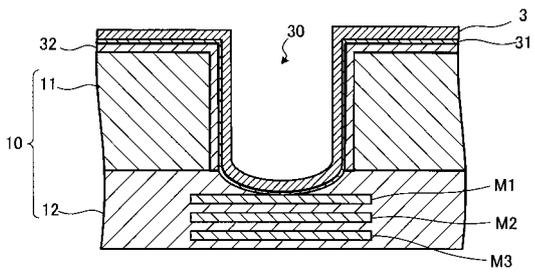
【図 6 A】



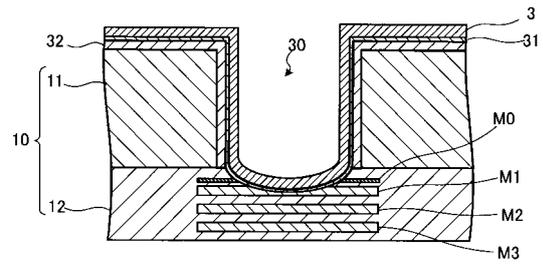
【図 6 C】



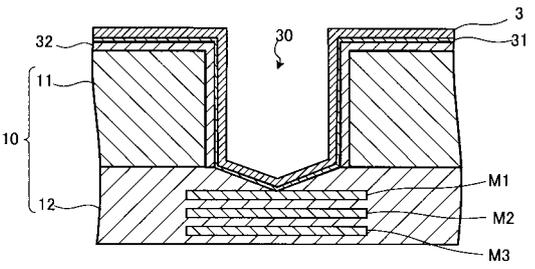
【図 7 A】



【図 8 A】



【図 7 B】



【図 8 B】

