



(12) 发明专利申请

(10) 申请公布号 CN 102163465 A

(43) 申请公布日 2011.08.24

(21) 申请号 201110041553.8

(22) 申请日 2011.02.21

(30) 优先权数据

15310/10 2010.02.19 KR

61/354,748 2010.06.15 US

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金杜坤

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

(51) Int. Cl.

G11C 29/44 (2006.01)

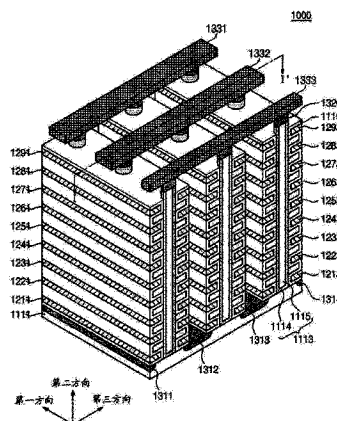
权利要求书 2 页 说明书 17 页 附图 21 页

(54) 发明名称

非易失性存储器件以及对损坏的存储单元执行修复操作的系统

(57) 摘要

公开了非易失性存储器件和存储系统。非易失性存储器件包括：主存储单元阵列、冗余存储单元阵列和控制器。主存储单元阵列包括多个位线，每个位线连接到垂直于衬底布置的多个串。冗余存储单元阵列包括多个冗余位线，每个冗余位线连接到垂直于衬底布置的多个冗余串。控制器被配置为控制冗余位线之一，以修复主存储单元阵列中的串。



1. 一种非易失性存储器件,包括:  
主存储单元阵列,其包括多个位线,每个位线连接到垂直于衬底布置的多个串;  
冗余存储单元阵列,其包括多个冗余位线,每个冗余位线连接到垂直于衬底布置的多个冗余串;以及  
控制器,其被配置为控制冗余位线之一,以执行对于所述主存储单元阵列中的串的修复操作。
2. 如权利要求 1 所述的非易失性存储器件,其中,所述控制器包括列选择器,该列选择器被配置为基于从外部设备接收的串选择地址和列层地址选择所述位线之一。
3. 如权利要求 1 所述的非易失性存储器件,其中,所述控制器包括冗余列选择器,该冗余列选择器被配置为基于从外部设备接收的串选择地址和列层地址选择所述冗余位线之一。
4. 如权利要求 3 所述的非易失性存储器件,其中,所述冗余列选择器存储具有损坏的单元的串的串选择地址和列层地址。
5. 如权利要求 4 所述的非易失性存储器件,其中,所述具有损坏的单元的串的串选择地址和列层地址被存储在熔丝盒中。
6. 如权利要求 1 所述的非易失性存储器件,其中,所述控制器包括:  
列选择器,其被配置为基于从外部设备接收的串选择地址和列层地址选择所述位线之一;  
冗余列选择器,其被配置为基于从外部设备接收的串选择地址和列层地址选择所述冗余位线之一;  
输入/输出选择器,其被配置为响应于替换信号选择所述列选择器或所述冗余列选择器;以及  
替换信号生成器,其被配置为响应于从所述外部设备接收的串选择地址和列层地址产生所述替换信号。
7. 如权利要求 6 所述的非易失性存储器件,其中,所述替换信号生成器存储串的串选择地址和列层地址,其中所述串包括损坏的单元。
8. 如权利要求 7 所述的非易失性存储器件,其中,所述包括损坏的单元的串的串选择地址和列层地址被存储在熔丝盒中。
9. 如权利要求 1 所述的非易失性存储器件,还包括备用块,该备用块包括多个存储单元,并存储具有损坏的单元的串的串选择地址和列层地址。
10. 如权利要求 9 所述的非易失性存储器件,其中,所述控制器包括存储电路,该存储电路被配置为响应于上电检测信号,接收存储在所述备用块中的、包括损坏的单元的串的串选择地址和列层地址。
11. 如权利要求 10 所述的非易失性存储器件,其中,所述控制器还包括电源检测器,该电源检测器被配置为,在检测到向所述非易失性存储器件供电时产生所述上电检测信号。
12. 如权利要求 9 所述的非易失性存储器件,其中,所述控制器还包括:  
电源检测器,其被配置为当检测到向所述非易失性存储器件供电时产生上电检测信号;  
存储电路,其被配置为响应于所述上电检测信号接收具有损坏的单元的串的串选择地

址和列层地址 ;以及

修复控制单元,其被配置为通过将所述包括损坏的单元的 NAND 串的串选择地址和列层地址与从外部设备接收的串选择地址和列层地址进行比较,来选择所述主存储单元阵列或所述冗余存储单元阵列。

13. 如权利要求 12 所述的非易失性存储器件,其中,所述控制器还包括列选择器,该列选择器被配置为基于从所述外部设备接收的列层地址选择所述位线之一。

14. 如权利要求 13 所述的非易失性存储器件,其中,所述控制器还包括冗余列选择器,该冗余列选择器被配置为基于从所述外部设备接收的列层地址选择所述冗余位线之一。

15. 如权利要求 1 所述的非易失性存储器件,其中,所述存储单元阵列中的串和所述冗余存储单元阵列中的冗余串共用相同的字线。

16. 如权利要求 1 所述的非易失性存储器件,其中,以平行于衬底的方向布置所述位线和所述冗余位线。

17. 一种存储系统,包括:

非易失性存储器件 ;以及

控制器,其被配置为控制所述非易失性存储器件,

其中,所述非易失性存储器件包括:

第一区域,其包括多个位线,每个位线连接到垂直于衬底布置的多个串;

第二区域,其包括多个冗余位线,每个冗余位线连接到垂直于衬底布置的多个冗余串;

以及

第三区域,其被配置为存储与第一区域中的具有损坏的单元的串相对应的串选择地址和列层地址 ;以及

控制器,其被配置为基于存储在第三区域中的串选择地址和列层地址,控制共用相同的冗余位线的冗余串,以修复第一区域中的串。

18. 如权利要求 17 所述的存储系统,其中,以垂直于衬底的方向布置第一区域的串和第二区域的冗余串。

19. 如权利要求 18 所述的存储系统,其中,第一区域的串和第二区域的冗余串共用公共字线。

20. 如权利要求 19 所述的存储系统,其中,所述非易失性存储器件和所述控制器形成固态驱动的组件。

## 非易失性存储器件以及对损坏的存储单元执行修复操作的系统

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2010 年 2 月 19 日提交的韩国专利申请第 10-2010-0015310 号以及于 2010 年 6 月 15 日提交的美国临时申请第 61/354,748 号的优先权,它们各自的公开内容通过引用全部合并于此。

### 技术领域

[0003] 本发明构思的实施例一般涉及半导体存储器技术。更具体地,本发明构思的实施例涉及非易失性存储器件以及能够对损坏的 (defective) 存储单元执行修复操作的系统。

### 背景技术

[0004] 根据半导体存储器件在断开电源时是否保持所存储的数据,可以将半导体存储器件大致分成两类。这些类别包括易失性存储器件和非易失性存储器件,易失性存储器件在断开电源时丢失存储的数据,而非易失性存储器件在断开电源时保持存储的数据。

[0005] 易失性存储器件的例子包括静态随机存取存储器 (SRAM) 器件、动态随机存取存储器 (DRAM) 器件和同步动态随机存取存储器 (SDRAM) 器件。非易失性存储器件的例子包括只读存储器 (ROM) 器件、可编程只读存储器 (PROM) 器件、电可编程只读存储器 (EPROM) 器件、电可擦除和可编程只读存储器 (EEPROM) 器件、闪存器件、相变随机存取存储器 (PRAM) 器件、磁性随机存取存储器 (MRAM) 器件、电阻随机存取存储器 (RRAM) 器件和铁电随机存取存储器 (FRAM) 器件。闪存器件可以进一步分成两类,包括 NOR( 异或 ) 型闪存器件和 NAND( 与非 ) 型闪存器件。

[0006] 在过去几年中,研究人员已经开发了许多用于改进各种类型的存储器件的大小、容量和性能的技术。这些技术之一是利用以三维阵列结构布置的存储单元来形成存储器件。这样的阵列结构能够潜在地提高在有限的芯片面积内所能够存储的数据量。

### 发明内容

[0007] 根据本发明构思的一个实施例,非易失性存储器件包括:主存储单元阵列,其包括多个位线,每个位线连接到垂直于衬底布置的 (arranged) 多个串;冗余存储单元阵列,其包括多个冗余位线,每个冗余位线连接到垂直于衬底布置的多个冗余串;以及控制器,其被配置为控制所述冗余位线之一,以执行对所述主存储单元阵列中的所述串的修复操作。

[0008] 在一定实施例中,所述控制器包括列选择器,其被配置为基于从外部设备接收的串选择地址和列层地址选择所述位线之一。

[0009] 在一定实施例中,所述控制器包括冗余列选择器,其被配置为基于从外部设备接收的串选择地址和列层地址选择所述冗余位线之一。

[0010] 在一定实施例中,所述冗余列选择器存储具有损坏的单元的串的串选择地址和列层地址。

[0011] 在一定实施例中,所述具有损坏的单元的串的串选择地址和列层地址被存储在熔丝盒中。

[0012] 在一定实施例中,所述控制器包括:列选择器,其被配置为基于从外部设备接收的串选择地址和列层地址选择所述位线之一;冗余列选择器,其被配置为基于从所述外部设备接收的所述串选择地址和列层地址选择所述冗余位线之一;输入/输出选择器,其被配置为响应于替换信号选择所述列选择器或所述冗余列选择器;以及替换信号生成器,其被配置为响应于从外部设备接收的串选择地址和列层地址产生替换信号。

[0013] 在一定实施例中,所述替换信号生成器存储串的串选择地址和列层地址,其中所述串包括损坏的单元。

[0014] 在一定实施例中,所述包括损坏的单元的串的串选择地址和列层地址被存储在熔丝盒中。

[0015] 在一定实施例中,所述非易失性存储器件还包括备用块,其包括多个存储单元,并存储具有损坏的单元的串的串选择地址和列层地址。

[0016] 在一定实施例中,所述控制器包括存储电路,其被配置为响应于上电检测信号,接收存储在所述备用块中的、包括损坏的单元的串的串选择地址和列层地址。

[0017] 在一定实施例中,所述控制器还包括电源检测器,其被配置为,在检测到向所述非易失性存储器件供电时产生所述上电检测信号。

[0018] 在一定实施例中,所述控制器还包括:电源检测器,其被配置为在检测到向非易失性存储器件供电时产生上电检测信号;存储电路,其被配置为响应于该上电检测信号接收具有损坏的单元的串的串选择地址和列层地址;以及修复控制单元,其被配置为通过将包括损坏的单元的 NAND 串的串选择地址和列层地址与从外部设备接收的串选择地址和列层地址进行比较,来选择主存储单元阵列或冗余存储单元阵列。

[0019] 在一定实施例中,所述控制器还包括列选择器,其被配置为基于从外部设备接收的列层地址选择所述位线之一。

[0020] 在一定实施例中,所述控制器还包括冗余列选择器,其被配置为基于从所述外部设备接收的列层地址选择所述冗余位线之一。

[0021] 在一定实施例中,所述存储单元阵列中的串和所述冗余存储单元阵列中的冗余串共用相同的字线。

[0022] 在一定实施例中,在平行于衬底的方向上布置所述位线和所述冗余位线。

[0023] 根据本发明构思的另一个实施例,存储系统包括非易失性存储器件和控制器,该控制器被配置为控制该非易失性存储器件。所述非易失性存储器件包括:第一区域,其包括多个位线,每个位线连接到垂直于衬底布置的多个串;第二区域,其包括多个冗余位线,每个冗余位线连接到垂直于衬底布置的多个冗余串;第三区域,其被配置为存储与第一区域中的具有损坏的单元的串相对应的串选择地址和列层地址;以及控制器,其被配置为基于存储在第三区域中的串选择地址和列层地址,控制共用相同的冗余位线的冗余串,以修复第一区域中的串。

[0024] 在一定实施例中,以垂直于衬底的方向布置第一区域的串和第二区域的冗余串。

[0025] 在一定实施例中,第一区域的串和第二区域的冗余串共用公共字线。

[0026] 在一定实施例中,所述非易失性存储器件和所述控制器形成固态驱动(solid

state drive) 的组件。

### 附图说明

- [0027] 图 1 是根据发明构思的实施例的三维存储单元阵列的透视图。
- [0028] 图 2 是沿图 1 的 I-I' 线截取的三维存储单元阵列的截面图。
- [0029] 图 3 是示出图 2 的晶体管结构的截面图。
- [0030] 图 4 是图 1 到图 3 的三维存储单元阵列的等效电路图。
- [0031] 图 5 是图 1 到图 3 的三维存储单元阵列的另一个等效电路图。
- [0032] 图 6 是根据发明构思的实施例的三维存储单元阵列的透视图。
- [0033] 图 7 是沿图 6 的 II-II' 线截取的三维存储单元阵列的截面图。
- [0034] 图 8 是根据发明构思的实施例的三维存储单元阵列的透视图。
- [0035] 图 9 是根据发明构思的实施例的三维存储单元阵列的透视图。
- [0036] 图 10 是沿图 9 的 III-III' 线截取的三维存储单元阵列的截面图。
- [0037] 图 11 是根据发明构思的实施例的非易失性存储器件的框图。
- [0038] 图 12 是示出根据发明构思的实施例的、图 11 的非易失性存储器件的修复操作的示图。
- [0039] 图 13 是示出根据发明构思的实施例的、图 11 的非易失性存储器件的修复操作的示图。
- [0040] 图 14 是图 13 中示出的熔丝盒的电路图。
- [0041] 图 15 是根据发明构思的实施例的非易失性存储器件的框图。
- [0042] 图 16 是示出根据发明构思的实施例的、图 15 的非易失性存储器件的修复操作的流程图。
- [0043] 图 17 是根据发明构思的实施例的包括非易失性存储器件的固态驱动 (SSD) 系统的框图。
- [0044] 图 18 是在图 17 中示出的 SSD 控制器的框图。
- [0045] 图 19 是根据发明构思的实施例的、包括非易失性存储器件的数据存储设备的框图。
- [0046] 图 20 是示出根据发明构思的实施例的、包括非易失性存储器件的存储卡的外部形状的示图。
- [0047] 图 21 是示出包括诸如图 20 中示出的存储卡的存储卡系统的框图。
- [0048] 图 22 是根据发明构思的实施例的、包括非易失性存储器件的电子设备的框图。

### 具体实施方式

[0049] 以下参照附图描述本发明构思的实施例。这些实施例作为教导范例提供, 而不应被解释为限制本发明构思的范围。

[0050] 图 1 是根据发明构思的实施例的三维存储单元阵列 1000 的透视图。

[0051] 参照图 1, 三维存储单元阵列 1000 包括衬底 1111、半导体柱 (pillars) 1113、数据存储层 1116、字线 1211 ~ 1293、共源线 1311 ~ 1314、漏极 1320 和位线 1331 ~ 1333。

[0052] 半导体柱 1113 和数据存储层 1116 被设置在衬底 1111 上。典型地, 衬底 1111 包

括半导体材料,例如掺杂有P型杂质的硅。衬底1111还可以包括P型阱或者袋型阱,该袋型阱包括P型阱和围绕该P型阱的N型阱。

[0053] 共源线1311~1314被设置在衬底1111上,它们在第一方向上延伸,并且在第三方向上重复。典型地,共源线1311~1314包括掺杂有与衬底1111不同的杂质的半导体材料。例如,当衬底1111包括掺杂有P型杂质的半导体材料时,共源线1311~1314可以包括掺杂有N型杂质的半导体材料。

[0054] 半导体柱1113被设置在衬底1111上。它们在第二方向上延伸,并且被设置在衬底1111和漏极1320之间。半导体柱1113的一端连接到衬底1111,并且半导体柱1113的另一端连接到漏极1320。典型地,半导体柱1113包括掺杂有与衬底1111相同的杂质的半导体材料。例如,当衬底1111包括掺杂有P型杂质的半导体材料时,半导体柱1113可以包括掺杂有P型杂质的半导体材料。

[0055] 在一些实施例中,半导体柱1113的内部包括诸如硅氧化物、硅氮化物或硅碳化物的电介质材料,并且半导体柱1113的外部可以包括诸如硅的半导体材料。在这种情况下,半导体柱1113的外部可以掺杂有与衬底1111相同的杂质。例如,当衬底1111包括掺杂有P型杂质的半导体材料时,半导体柱1113的外部可以包括掺杂有P型杂质的半导体材料。

[0056] 漏极1320被设置在半导体柱1113与位线1331~1333之间。典型地,漏极1320包括掺杂有与衬底1111不同的杂质的、诸如硅的半导体材料。例如,当衬底1111包括掺杂有P型杂质的半导体材料时,漏极1320可以包括掺杂有N型杂质的半导体材料。尽管在图1中未示出,但是可以在漏极1320与位线1331~1333之间能够形成接触插塞(contact plug),以降低这些部件之间的接触电阻。

[0057] 字线1211~1293堆叠(stack)在衬底1111与位线1331~1333之间。字线1211~1293在第一方向上延伸,并且在第二方向上堆叠。典型地,字线1211~1293包括导电材料,诸如掺杂硅、钨、金属氮化物或金属硅化物。

[0058] 字线1211~1293分成多个字线组WLG。字线组WLG包括共用相同半导体柱的字线。例如,可以将字线1211~1293分成字线1211~1291的第一字线组、字线1212~1292的第二字线组以及字线1213~1293的第三字线组。第一到第三字线组在第一方向上延伸,并且在第三方向上重复。

[0059] 位线1311~1333被设置为与字线1211~1293交叉。例如,在图1中,字线1211~1293在第一方向上延伸并且在第三方向上重复,同时位线1311~1333在第三方向上延伸并且在第一方向上重复。典型地,位线1311~1333包括导电材料,诸如掺杂硅、钨、金属氮化物或金属硅化物。

[0060] 图2是沿图1的I-I'线截取的三维存储单元阵列1000的截面图。

[0061] 参照图2,在衬底1111与位线1332之间设置半导体柱1113、数据存储层1116、字线1211~1293和电介质层1112。

[0062] 半导体柱1113中的每一个被设置在衬底1111与漏极1320之间。半导体柱1113中的每一个包括第一主体1114和第二主体1115。典型地,第一主体1114包括掺杂有与衬底1111相同的杂质的、诸如硅的半导体材料。例如,当衬底1111包括掺杂有P型杂质的半导体材料时,第一主体1114可以包括掺杂有P型杂质的半导体材料。典型地,第二主体1115包括电介质材料,诸如硅氧化物、硅氮化物或硅碳化物。

[0063] 电介质层 1112 连接到半导体柱 1113, 并且被设置在字线 1211 ~ 1293 之间。电介质层 1112 在第一方向上延伸, 并且在第二方向上被设置在字线 1211 ~ 1293 之间。因此, 电介质层 1112 电隔离字线 1211 ~ 1293。典型地, 电介质层 1112 包括电介质材料, 诸如硅氧化物、硅氮化物或硅碳化物。

[0064] 数据存储层 1116 被设置在字线 1211 ~ 1293 与半导体柱 1113 之间。而且, 数据存储层 1116 被设置为围绕半导体柱 1113 和电介质层 1112。将参照图 3 更详细地描述数据存储层 1116。

[0065] 漏极 1320 被设置在位线 1331 ~ 1333 与半导体柱 1113 之间。典型地, 漏极 1320 包括掺杂有与衬底 1111 和第一主体 1114 不同的杂质的、诸如硅的半导体材料。例如, 当衬底 1111 和第一主体 1114 包括掺杂有 P 型杂质的半导体材料时, 漏极 1320 可以包括掺杂有 N 型杂质的半导体材料。

[0066] 半导体柱 1113 中的每一个与相应的电介质层、数据存储层和字线一起, 形成 NAND 串结构。例如, 每个在第二方向上延伸的半导体柱 1113, 与相应的一个电介质层 1112、相应的一个数据存储层 1116 和字线 1213 ~ 1293 一起, 构成 NAND 串 NS。

[0067] 每个 NAND 串 NS 包括多个晶体管结构 TS。例如, 在图 2 中, 每个 NAND 串 NS 包括 9 个晶体管结构 TS。晶体管结构 TS 能够被用作存储单元, 以用于存储单个比特或多个比特。并且, 晶体管结构 TS 能够用作开关, 以用于选择 NAND 串 NS。将参照图 3 更详细地描述晶体管结构 TS。

[0068] 图 3 是示出图 2 的晶体管结构 TS 的截面图。

[0069] 参照图 3, 晶体管结构 TS 包括字线 1233、数据存储层 1116、第一主体 1114 和第二主体 1115。

[0070] 数据存储层 1116 包括至少三个电介质层。例如, 在图 3 中, 数据存储层 1116 包括隧道绝缘层 1117、电荷存储层 1118 和阻挡绝缘层 1119。

[0071] 典型地, 隧道绝缘层 1117 包括热氧化物层, 如硅氧化物层。而且, 隧道绝缘层 1117 能够以单层结构或多层结构形成。

[0072] 典型地, 电荷存储层 1118 包括电介质层, 该电介质层具有能够存储电荷的深能级陷阱 (deep-level traps)。例如, 电荷存储层 1118 可以包括硅氧化物层。电荷存储层 1118 还可以包括氮化物层和 / 或金属氧化物层, 如铝氧化物层和 / 或钪氧化物层。

[0073] 典型地, 阻挡绝缘层 1119 包括硅氧化物层。可替换地, 阻挡绝缘层 1119 能够包括硅氧化物层和高电介质层中的至少一个, 所述高电介质层具有比隧道绝缘层高的介电常数, 例如铝氧化物层和 / 或钪氧化物层。

[0074] 第一主体 1114 通过数据存储层 1116 电连接到字线 1233。典型地, 第一主体 1114 包括掺杂有 P 型杂质的、诸如硅的半导体材料。当向字线 1233 施加电压时, 在第一主体 1114 中产生反转区 (inversion region)。因此, 当执行编程操作或读操作时, 在第一主体 1114 中形成沟道。从而, 字线 1233、数据存储层 1116、第一主体 1114 和第二主体 1115 用作金属氧化物半导体 (MOS) 晶体管。

[0075] 电荷存储层 1118 能够用作电荷俘获层 (charge capturing layer)。例如, 当向字线 1233 施加高电压时, 能够通过电荷存储层 1118 俘获电荷。因此, 字线 1233、数据存储层 1116、第一主体 1114 和第二主体 1115 能够用作闪存 (flash memory)。



[0076] 图 4 是图 1 到图 3 的三维存储单元阵列 1000 的等效电路图。

[0077] 参照图 4, NAND 串 NS11 ~ NS31 电连接在第一位线 BL1 与共源线 CSL 之间。类似地, NAND 串 NS12 ~ NS32 电连接在第二位线 BL2 与共源线 CSL 之间, 并且 NAND 串 NS13 ~ NS33 电连接在第三位线 BL3 与共源线 CSL 之间。

[0078] 第一到第三位线 BL1 ~ BL3 在第三方向上延伸。图 4 的第一位线 BL1 对应于图 1 的位线 1331。图 4 的第二位线 BL2 和第三位线 BL3 对应于图 1 的相应位线 1332 和 1333。

[0079] 第一到第三位线 BL1 ~ BL3 分别电连接到多个 NAND 串 NS。例如, 第一位线 BL1 电连接到 NAND 串 NS11 ~ NS31。类似地, 第二位线 BL2 电连接到 NAND 串 NS12 ~ NS32, 并且第三位线 BL3 电连接到 NAND 串 NS13 ~ NS33。

[0080] NAND 串 NS 中的每一个包括串选择晶体管 SST、存储单元 MC 和地选择晶体管 GST。例如, NAND 串 NS11 包括串选择晶体管 SST、第一到第七存储单元 MC1 ~ MC7 和地选择晶体管 GST。

[0081] 连接到相同位线 BL 的 NAND 串 NS 形成一个列层 CL。例如, 连接到第一位线 BL1 的 NAND 串 NS11 ~ NS31 形成第一列层 CL1。类似地, 连接到第二位线 BL2 的 NAND 串 NS12 ~ NS32 形成第二列层 CL2, 并且连接到第三位线 BL3 的 NAND 串 NS13 ~ NS33 形成第三列层 CL3。

[0082] 相同层中的串选择晶体管 SST 的栅极电连接到在第一方向上延伸的串选择线 SSL。在这个例子中, 相同层是指具有从共源线 CSL 起的相同深度的串选择晶体管 SST。例如, NAND 串 NS11 ~ NS13 的串选择晶体管 SST 的栅极电连接到在第一方向上延伸的第一串选择线 SSL1。类似地, NAND 串 NS21 ~ NS23 的串选择晶体管 SST 电连接到第二串选择线 SSL2, 并且 NAND 串 NS31 ~ NS33 的串选择晶体管 SST 电连接到第三串选择线 SSL3。

[0083] 在图 4 的例子中, 第一串选择线 SSL1 对应于图 1 的字线 1291, 并且第二串选择线 SSL2 和第三串选择线 SSL3 对应于图 1 的相应字线 1292 和 1293。

[0084] 串选择线 SSL1 ~ SSL3 相互电绝缘。因此, 能够通过选择相应的位线和相应的串选择线来选择 NAND 串 NS。例如, 通过选择第一位线 BL1 和第一串选择线 SSL1 能够选择 NAND 串 NS11。

[0085] 相同层中的存储单元的栅极电连接到在第一方向上延伸的字线。相同层中的存储单元的栅极通过相同的字线电连接。例如, 相同层中的第一存储单元 MC1 的栅极电连接到第一字线 WL1。类似地, 相同层中的第二到第七存储单元 MC2 ~ MC7 分别电连接到第二到第七字线 WL2 ~ WL7。

[0086] 在图 4 的例子中, 第一字线 WL1 对应于图 1 的字线 1221 ~ 1223。类似地, 图 4 的第二到第七字线 WL2 ~ WL7 分别对应于图 1 的字线 1231 ~ 1233 到字线 1291 ~ 1293。

[0087] 相同层中的地选择晶体管 GST 的栅极电连接到在第一方向上延伸的地选择线 GSL。例如, NAND 串 NS11 ~ NS13 的地选择晶体管 GST 的栅极电连接到在第一方向上延伸的地选择线 GSL。类似地, NAND 串 NS21 ~ NS23 的地选择晶体管 GST 的栅极电连接到地选择线 GSL, 并且 NAND 串 NS31 ~ NS33 的地选择晶体管 GST 的栅极电连接到地选择线 GSL。因此, 地选择线 GSL 对应于图 1 的字线 1211 ~ 1213。

[0088] 共源线 CSL 电连接到 NAND 串 NS11 ~ NS33, 并且对应于图 1 的共源线 CSL 1311 ~ 1314。

[0089] 在各种替代实施例中,可以改变每个 NAND 串中的串选择晶体管的形式和数量,并且可以改变每个 NAND 串中的晶体管结构 TS 的形式和数量。也可以例如通过电隔离与地选择线 GSL 相对应的字线 1211 ~ 1213 的一端来改变地选择线 GSL 的配置。还可以通过变更连接到每个位线 BL 的 NAND 串的数量或修改连接到每个字线 WL 的 NAND 串的数量来做出改变。还可以通过变更半导体柱使其具有圆形之外的形状,如四边形,来做出改变。

[0090] 图 5 是图 1 到图 3 的三维存储单元阵列 1000 的另一个等效电路图。

[0091] 图 5 的等效电路图类似于图 4 的等效电路图。因此,以下描述将集中在与图 4 的等效电路图的差异。

[0092] 图 5 示出了横向 (lateral) 晶体管 LTR。横向晶体管 LTR 的栅极电连接到相应的地选择晶体管 GST。地选择线 GSL 电连接到地选择晶体管 GST 的栅极和横向晶体管 LTR 的栅极。当地选择线 GSL 被激活时,横向晶体管 LTR 和地选择晶体管 GST 将 NAND 串电连接到共源线 CSL。横向晶体管 LTR 能够由图 2 的共源线 1311 ~ 1313 和字线 1211 ~ 1213 形成,并且衬底 1111 和数据存储层 1116 位于其间。

[0093] 当未向字线 1211 ~ 1213 施加电压时,横向晶体管 LTR 和地选择晶体管 GST 截止。从而,第一主体 1114 和共源线 1311 ~ 1313 通过衬底 1111 和数据存储层 1116 而相互绝缘。

[0094] 当向字线 1211 ~ 1213 施加电压时,能够在第一主体 1114 中产生反转区。例如,当第一主体 1114 被掺杂有 P 型杂质时,在第一主体 1114 中产生反转区。并且,当向字线 1211 ~ 1213 施加电压时,能够在衬底 1111 中产生反转区。例如,当衬底 1111 被掺杂有 P 型杂质时,在邻近字线 1211 ~ 1213 的衬底 1111 的部分中产生反转区。结果,第一主体 1114 和衬底 1111 的反转区与共源线 1311 ~ 1313 连接。

[0095] 在第一主体 1114 中产生反转区可以看作是用于导通地选择晶体管 GST 的操作,该地选择晶体管 GST 还可以被称为纵向 (vertical) 晶体管。在衬底 1111 中产生反转区可以看作是用于导通横向晶体管的操作,该横向晶体管还可以被称为水平晶体管。与图 2 的字线 1211 ~ 1213 相对应的图 5 的地选择线 GSL 可以被看作是导通纵向晶体管和水平晶体管。

[0096] 图 6 是根据发明构思的实施例的三维存储单元阵列 2000 的透视图。

[0097] 图 6 的三维存储单元阵列 2000 类似于图 1 的三维存储单元阵列 1000,因此,图 6 的描述将集中在与图 1 不同的方面。

[0098] 参照图 6,共源线 2315 被设置在衬底 2111 上。共源线 2315 被形成为在第一方向和第三方向上的平面形状。相反,图 1 的共源线 1311 ~ 1314 在第一方向上延伸并且在第三方向上平行。换句话说,图 6 的共源线 2315 形成平面结构,而图 1 的共源线 1311 ~ 1314 形成线形结构。

[0099] 图 7 是沿图 6 的 II-II' 线截取的三维存储单元阵列 2000 的截面图。

[0100] 参照图 7,在衬底 2111 上形成平面形状的共源线 2315,并且半导体柱 2113 连接到共源线 2315。

[0101] 图 8 是根据发明构思的实施例的三维存储单元阵列 3000 的透视图。

[0102] 图 8 的三维存储单元阵列 3000 类似于图 1 的三维存储单元阵列 1000,因此,图 8 的描述将集中在与图 1 不同的方面。

[0103] 参照图 8,半导体柱 3113 被形成为四角形状,并且在半导体柱 3113 之间设置电介质材料 3120。典型地,电介质材料 3120 包括硅氧化物、硅氮化物或硅碳化物。

[0104] 三维存储单元阵列 3000 被配置为两个 NAND 串结构与一个半导体柱相对应。在半导体柱 3113 之间设置电介质材料 3120, 以便共用同一半导体柱的字线相互电绝缘。例如, 通过电介质材料 3120 将字线 3211a ~ 3291a 与字线 3211b ~ 3291b 电绝缘。字线 3211a ~ 3291a 和相应的半导体柱 3113 形成第一 NAND 串结构。类似地, 字线 3211b ~ 3291b 和相应的半导体柱 3113 形成第二 NAND 串结构。从而, 图 8 的三维存储单元阵列 3000 被配置为两个 NAND 串结构与一个半导体柱相对应。

[0105] 相反, 图 1 的三维存储单元阵列 1000 被配置为一个 NAND 串结构与一个半导体柱相对应。例如, 字线 1211 ~ 1291 和一个相应的半导体柱形成一个 NAND 串结构。

[0106] 图 9 是根据发明构思的实施例的三维存储单元阵列 4000 的透视图。

[0107] 图 9 的三维存储单元阵列 4000 类似于图 1 的三维存储单元阵列 1000, 因此图 9 的描述将集中在与图 1 不同的方面。

[0108] 参照图 9, 三维存储单元阵列 4000 包括衬底 4111、共源线 4315、半导体柱 4113、位线 4331 ~ 4333、串选择线 4291 ~ 4293 和字线 4211 ~ 4281。

[0109] 类似于图 1 的字线 1291 ~ 1293, 串选择线 4291 ~ 4293 在第一方向上延伸, 并且在第三方向上重复。然而, 字线 4211 ~ 4281 以平面形状在第一方向和第三方向上延伸。相反, 图 1 的字线 1211 ~ 1293 在第一方向上延伸, 并且在第三方向上重复。换句话说, 图 1 的字线 1211 ~ 1293 是线形形状, 并且被分成包括字线 1211 ~ 1291 的第一字线组、包括字线 1212 ~ 1292 的第二字线组以及包括字线 1213 ~ 1293 的第三字线组。

[0110] 图 9 的共源线 4315 在第一方向和第三方向上延伸, 并且在衬底 4111 上形成。然而, 图 1 的共源线 1311 ~ 1314 在第一方向上延伸, 并且被形成为在第三方向上平行。

[0111] 图 10 是沿图 9 的 III-III' 线截取的三维存储单元阵列 4000 的截面图。

[0112] 参照图 10, 图 9 的字线 4211 ~ 4281 被设置在半导体柱 4113 之间, 并且一个字线被设置为在一层中的线形形状。并且, 共源线 4315 被形成为平面形状, 并且半导体柱 4113 连接到共源线 4315。图 10 的数据存储层 4116 在第二方向上延伸, 并且在半导体柱 4113 上形成。

[0113] 如前面指出的, 可以以三维结构来形成存储单元阵列, 以便在小芯片面积内创造大容量的存储器件。然而, 与具有二维结构的存储单元阵列相比, 具有三维结构的存储单元阵列可能更易受错误影响 (susceptible to errors)。而且, 具有三维结构的存储单元阵列可能需要不同的修复操作来修复损坏的单元。

[0114] 图 11 是根据发明构思的实施例的非易失性存储器件 100 的框图。

[0115] 参照图 11, 非易失性存储器件 100 包括主存储单元阵列 110、冗余存储单元阵列 120、页缓冲 (page buffer) 块 130、输入/输出 (I/O) 接口 140、地址译码器 150、熔丝盒 160 和控制逻辑 170。

[0116] 主存储单元阵列 110 包括多个存储单元。主存储单元阵列 110 通过字线 WL 连接到地址译码器 150。主存储单元阵列 110 经由位线 BL 连接到页缓冲块 130。主存储单元阵列 110 包括三维存储单元阵列, 诸如图 1 到图 10 中示出的三维存储单元阵列。

[0117] 主存储单元阵列 110 的每个存储单元存储一比特 (one-bit) 数据或多比特数据。能够存储一比特数据的存储单元被称为单层单元 (single-level cell, SLC) 或单比特单元, 而能够存储多比特数据的存储单元被称为多层单元 (multi-level cell, MLC) 或多比特

单元。

[0118] 冗余存储单元阵列 120 包括多个存储单元。冗余存储单元阵列 120 通过字线 WL 连接到主存储单元阵列 110。冗余存储单元阵列 120 通过冗余位线 RBL 连接到页缓冲块 130。冗余存储单元阵列 120 包括三维存储单元阵列, 诸如图 1 到图 10 中示出的三维存储单元阵列。

[0119] 当在主存储单元阵列 110 中存在损坏的单元时, 冗余存储单元阵列 120 的存储单元替换损坏的单元。在一些实施例中, 冗余存储单元阵列 120 以列层 (column layer, CL) 为基础替换损坏的单元, 如以下将参照图 12 描述的。在一些实施例中, 冗余存储单元阵列 120 以 NAND 串 (NAND string, NS) 为基础替换损坏的单元, 如以下将参照图 13 描述的。

[0120] 页缓冲块 130 经由位线 BL 连接到主存储单元阵列 110, 并且通过冗余位线 RBL 连接到冗余存储单元阵列 120。页缓冲块 130 包括多个页缓冲单元 PB1 ~ PBm 和多个冗余页缓冲单元 RPB1 ~ RPBn。

[0121] 在编程操作中, 页缓冲块 130 从 I/O 接口 140 接收数据 (DATA)。由页缓冲块 130 接收的数据被选择性地存储在主存储单元阵列 110 中或冗余存储单元阵列 120 中。例如, 当请求对与主存储单元阵列 110 的损坏的单元相对应的地址进行编程操作时, 将存储在页缓冲块 130 中的数据通过冗余位线 RBL 存储在冗余存储单元阵列 120 中。另一方面, 当请求对与主存储单元阵列 110 的正常单元相对应的地址进行编程操作时, 将存储在页缓冲块 130 中的数据通过位线 BL 存储在主存储单元阵列 110 中。

[0122] 在读操作中, 页缓冲块 130 接收存储在主存储单元阵列 110 和冗余存储单元阵列 120 中的数据。将页缓冲块 130 接收的数据通过 I/O 接口 140 传送到外部设备。例如, 当请求对主存储单元阵列 110 的损坏的单元进行读操作时, 将存储在冗余页缓冲单元 RPB1 ~ RPBn 中的数据通过 I/O 接口 140 传送到外部设备。另一方面, 当请求对主存储单元阵列 110 的正常单元进行读操作时, 将存储在页缓冲单元 PB1 ~ PBm 中的数据通过 I/O 接口 140 传送到外部设备。

[0123] 在编程操作中, I/O 接口 140 将从外部设备接收的数据传送到页缓冲块 130。在读操作中, I/O 接口 140 将存储在页缓冲块 130 中的数据传送到外部设备。I/O 接口 140 包括列选择器 141、冗余列选择器 142 和 I/O 复用器 (MUX) 143。

[0124] I/O 复用器 143 从外部设备接收数据 (DATA)。I/O 复用器 143 从熔丝盒 160 接收替换信号 REP。响应于替换信号 REP, I/O 复用器 143 选择列选择器 141 或冗余列选择器 142。例如, 当替换信号 REP 被激活时, I/O 复用器 143 选择冗余列选择器 142。另一方面, 当替换信号 REP 被去激活时, I/O 复用器 143 选择冗余列选择器 141。

[0125] 列选择器 141 连接到 I/O 复用器 143 和页缓冲单元 PB1 ~ PBm。当替换信号 REP 被去激活时, 列选择器 141 电连接到页缓冲单元 PB1 ~ PBm 和 I/O 复用器 143。例如, 当在编程操作中替换信号 REP 被去激活时, 由 I/O 复用器 143 接收的数据经由列选择器 141 传送到页缓冲单元 PB1 ~ PBm。另一方面, 当在读操作中替换信号 REP 被去激活时, 存储在页缓冲单元 PB1 ~ PBm 中的数据经由列选择器 141 传送到外部设备。

[0126] 冗余列选择器 142 连接到 I/O 复用器 143 和冗余页缓冲单元 RPB1 ~ RPBn。当替换信号 REP 被激活时, 冗余列选择器 142 电连接到冗余页缓冲单元 RPB1 ~ RPBn 和 I/O 复用器 143。例如, 当在编程操作中替换信号 REP 被激活时, 由 I/O 复用器 143 接收的数据经

由冗余列选择器 142 传送到冗余页缓冲单元 RPB1 ~ RPBn。另一方面,当在读操作中替换信号 REP 被激活时,存储在冗余页缓冲单元 RPB1 ~ RPBn 中的数据经由冗余列选择器 142 传送到外部设备。

[0127] 参照图 11,地址译码器 150 从外部设备接收地址 ADDR 并在控制逻辑 170 的控制下译码地址 ADDR。

[0128] 地址 ADDR 包括列层地址 CL\_ADDR、串选择地址 SS\_ADDR 和行地址 Row\_ADDR。列层地址 CL\_ADDR 被用于选择列层 CL。串选择地址 SS\_ADDR 被用于选择 NAND 串 NS 的串选择晶体管 SST。行地址 Row\_ADDR 被用于选择字线 WL。

[0129] 熔丝盒 160 从地址译码器 150 接收地址 ADDR,并将接收的地址 ADDR 与损坏的单元的地址相比较,以确定是否执行修复操作。例如,当接收的地址 ADDR 等于损坏的单元的地址时,熔丝盒 160 向 I/O 接口 140 传送用于修复操作的熔丝数据 FD。

[0130] 在一定实施例中,以列层为基础执行修复操作。在这样的实施例中,熔丝盒 160 能够将接收的地址 ADDR 与损坏的单元的地址进行比较,以确定是否执行修复操作,如将参照图 12 描述的那样。

[0131] 在一定实施例中,以 NAND 串为基础执行修复操作。在这样的实施例中,熔丝盒 160 能够将接收的地址译码器 150 接收的串选择地址 SS\_ADDR 和列层地址 CL\_ADDR 与损坏的单元的串选择地址和列层地址进行比较,以确定是否执行修复操作,如将参照图 13 描述的那样。

[0132] 控制逻辑 170 控制非易失性存储器件 100 的总体操作。例如,控制逻辑 170 能够根据从外部设备接收的控制信号 CTRL 控制编程、读取和擦除操作。

[0133] 图 12 是示出根据发明构思的实施例的、对图 11 的非易失性存储器件 100 的修复操作的示图。以列层为基础执行图 12 的修复操作。在描述图 12 时,假定在第一列层 CL1 中存在损坏的单元。

[0134] 参照图 12,熔丝盒 160 包括多个熔丝盒 FB\_1 ~ FB\_n。熔丝盒 FB\_1 ~ FB\_n 中的每一个存储损坏的单元的地址信息。例如,当以列层为基础执行修复操作时,熔丝盒 FB\_1 ~ FB\_n 存储损坏的单元的列层地址 CL\_ADDR。具体来说,当在第一列层 CL 中存在损坏的单元时,熔丝盒 FB\_1 可以存储该第一列层的列层地址。

[0135] 熔丝盒 160 从外部设备接收列层地址 CL\_ADDR,并将接收的列层地址 CL\_ADDR 与存储在熔丝盒 FB\_1 ~ FB\_n 中的损坏的单元的列层地址进行比较,以确定是否执行修复操作。例如,当接收的列层地址 CL\_ADDR 等于存储在熔丝盒 FB\_1 中的损坏的单元的列层地址时,熔丝盒 160 控制 I/O 复用器 143 和冗余列选择器 142 以选择第一冗余页缓冲 RPB1。

[0136] 在图 12 的例子中,假定包括损坏的单元的第一列层 CL1 的地址存储在熔丝盒 FB\_1 中。还假定接收的列层地址 CL\_ADDR 等于第一列层 CL1 的地址。

[0137] 熔丝盒 160 将激活的替换信号 REP 传送到 I/O 复用器 143。I/O 复用器 143 响应于激活的替换信号 REP 选择冗余列选择器 142。此外,熔丝盒 FB\_1 产生用于修复操作的熔丝数据 FD。例如,熔丝数据 FD<1> 包括用于替换第一列层 CL1 的第一冗余列层 RCL1 的地址信息。

[0138] 冗余列选择器 142 响应于熔丝数据 FD 选择冗余页缓冲 RPB1 ~ RPBn。例如,冗余列选择器 142 响应于熔丝数据 FD<0> 选择第一冗余页缓冲 RPB1。因此,在编程操作中,数据 DATA 通过 I/O 复用器 143、冗余列选择器 142 和第一冗余页缓冲 RPB1 存储在第一冗余列层

RCL1 中。并且,在读操作中,数据 DATA 通过第一冗余页缓冲 RPB1、冗余列选择器 142 和 I/O 复用器 143 传送到外部设备。从而,第一列层 CL1 被替换为第一冗余列层 RCL1。

[0139] 另一方面,当接收的列层地址 CL\_ADDR 不等于存储在熔丝盒 FB\_1 中的损坏的单元的列层地址时,熔丝盒 160 控制 I/O 复用器 143 和列选择器 141,以选择与主存储单元阵列 110 相对应的页缓冲 PB1 ~ PBm。

[0140] 如上所述,三维存储单元阵列 100 能够以列层为基础执行修复操作。执行以列层为基础执行的修复操作而不考虑串选择地址 SS\_ADDR。

[0141] 图 13 是示出根据发明构思的实施例的、对图 11 的非易失性存储器件 100 的修复操作的示图。以 NAND 串为基础执行图 13 的修复操作。在图 13 的例子中,假定在 NAND 串 NS11 和 NS2m 中的每一个中存在损坏的单元。

[0142] 参照图 13,熔丝盒 160 包括多个熔丝盒 FB\_11 ~ FB\_n3。熔丝盒 FB\_11 ~ FB\_n3 中的每一个存储损坏的单元的地址信息。当以 NAND 串为基础执行修复操作时,熔丝盒 FB\_11 ~ FB\_n3 中的每一个存储包括损坏的单元的 NAND 串的串选择地址和列层地址。

[0143] 具体地说,列层地址 CL\_ADDR 和串选择地址 SS\_ADDR 是选择一个 NAND 串 NS 所必需的。例如,参照图 1 到图 10,通过选择一个位线 BL 和一个串选择线 SSL 来选择一个 NAND 串 NS。因此,当以 NAND 串为基础执行修复操作时,熔丝盒 FB\_11 ~ FB\_n3 中的每一个存储损坏的单元的串选择地址 SS\_ADDR 和列层地址 CL\_ADDR。

[0144] 参照图 13,熔丝盒 160 从外部设备接收列层地址 CL\_ADDR 和串选择地址 SS\_ADDR。熔丝盒 160 将接收的地址与存储在熔丝盒 FB\_11 ~ FB\_n3 中的损坏的单元的地址进行比较,以确定是否执行修复操作。

[0145] 在一个例子中,NAND 串 NS11 的串选择地址和列层地址存储在熔丝盒 FB\_11 中,并且从外部设备接收的串选择地址 SS\_ADDR 和列层地址 CL\_ADDR 等于存储在熔丝盒 FB\_11 中的串选择地址和列层地址。

[0146] 在这个例子中,熔丝盒 160 控制冗余列选择器 142 和 I/O 复用器 143,以选择第一冗余页缓冲 RPB1。熔丝盒 160 将激活的替换信号 REP 传送到 I/O 复用器 143,并且 I/O 复用器 143 响应于该激活的替换信号 REP 选择冗余列选择器 142。

[0147] 熔丝盒 FB\_11 产生用于修复操作的熔丝数据 FD<11>。例如,熔丝数据 FD<11>能够包括用于替换 NAND 串 NS11 的冗余 NAND 串 RNS11 的串选择地址和列层地址。因此,当执行编程操作和读操作时,具有损坏的单元的 NAND 串 NS11 被替换为冗余 NAND 串 RNS11。

[0148] 在另一例子中,NAND 串 NS2m 的串选择地址和列层地址存储在熔丝盒 FB\_12 中,并且从外部设备接收的串选择地址 SS\_ADDR 和列层地址 CL\_ADDR 等于存储在熔丝盒 FB\_12 中的串选择地址和列层地址。

[0149] 在这个例子中,熔丝盒 160 将激活的替换信号 REP 传送到 I/O 复用器 143,并且 I/O 复用器 143 响应于激活的替换信号 REP 选择冗余列选择器 142。

[0150] 熔丝盒 FB\_12 产生用于修复操作的熔丝数据 FD<12>。例如,熔丝数据 FD<12>能够包括用于替换 NAND 串 NS2m 的冗余 NAND 串 RNS21 的串选择地址和列层地址。因此,当执行编程操作和读操作时,具有损坏的单元的 NAND 串 NS2m 被替换为冗余 NAND 串 RNS21。

[0151] 如上所述,各自具有损坏的单元的 NAND 串 NS11 和 NS21 分别由冗余 NAND 串 RNS11 和 RNS21 替换。冗余 NAND 串 RNS11 和 RNS21 位于相同的冗余列层中。因此,当以 NAND 串

为基础执行修复操作时,在不同列层中产生的损坏的单元能够由相同冗余列层来替换。

[0152] 在图 11 到图 13 的实施例中,假定每个位线 BL 连接到三个 NAND 串。然而,在其他实施例中,每个位线 BL 能够连接到至少两个 NAND 串。而且,图 12 的熔丝盒 FB 的数量能够与连接到每个位线 BL 的 NAND 串 NS 的数量成比例地增加。

[0153] 在图 11 和图 12 的实施例中,假定每个 NAND 串 NS 包括两个存储单元。然而,在其他实施例中,每个 NAND 串 NS 能够包括至少一个存储单元。为了简化图示,在图 11 和图 12 中未示出串选择线 SSL 和字线 WL。

[0154] 在图 10 到图 12 的实施例中,假定主存储单元阵列 110 和冗余存储单元阵列 120 共用相同的字线。也就是说,假定主存储单元阵列 110 和冗余存储单元阵列 120 形成一个存储块。然而,在其他实施例中,主存储单元阵列 110 和冗余存储单元阵列 120 能够在不同的存储块中形成。

[0155] 在图 10 到图 12 的实施例中,假定熔丝盒 160 包括多个熔丝盒。然而,在其他实施例中,熔丝盒能够通过应用强电流或激光来存储数据。可替换地,熔丝盒能够被替换为以电气方式存储数据的电熔丝 (e-fuse),或者被替换为非易失性存储器。

[0156] 图 14 是图 13 中示出的熔丝盒 FB<sub>11</sub> 的电路图。

[0157] 参照图 14,熔丝盒 FB<sub>11</sub> 包括用于存储损坏的单元的列层地址的熔丝单元 161 和用于存储损坏的单元的串选择地址的熔丝单元 162。当熔丝盒 FB<sub>11</sub> 中的熔丝 F10 ~ F21 中的每一个的编程状态 (或切断状态) 等于输入地址时,熔丝数据 FD<11> 被激活,以选择图 11 的冗余存储单元阵列 120。

[0158] 例如,当以列层为基础执行修复操作时,列层地址 CL\_ADDR 被施加到存储损坏的单元的列层地址的熔丝单元 161。当列层地址 CL\_ADDR 等于损坏的单元的列层地址时,熔丝数据 FD<11> 被激活以选择冗余列阵列。

[0159] 作为另一个例子,当以 NAND 串为基础执行修复操作时,列层地址 CL\_ADDR 和串选择地址 SS\_ADDR 分别被施加到存储损坏的单元的列层地址的熔丝单元 161 和存储损坏的单元的串选择地址的保险丝盒 162。当列层地址 CL\_ADDR 等于损坏的单元的列层地址,并且当串选择地址 SS\_ADDR 等于损坏的单元的串选择地址时,熔丝数据 FD<11> 被激活以选择冗余 NAND 串。

[0160] 在图 14 的实施例中,串选择地址 SS\_ADDR 对应于 3 位地址比特 A27 ~ A29。然而,在其他实施例中,串选择地址 SS\_ADDR 能够根据连接到每个位线的 NAND 串 NS 的数量而改变。

[0161] 图 15 是根据发明构思的实施例的非易失性存储器件 200 的框图。

[0162] 图 15 的非易失性存储器件 200 的修复操作类似于图 11 的非易失性存储器件 100 的修复操作。图 15 的非易失性存储器件 200 与图 11 的非易失性存储器件 100 的不同之处在于,其在非易失性存储器中存储损坏的单元的地址信息。因而,以下对图 15 的描述将集中在非易失性存储器件 200 与非易失性存储器件 100 之间的差异。

[0163] 参照图 15,非易失性存储器件 200 包括主存储单元阵列 211、冗余存储单元阵列 212、备用块 213、页缓冲块 220、I/O 接口 230、修复地址存储电路 240、地址译码器 250、修复控制单元 260、控制逻辑 270 和上电检测器 280。

[0164] 主存储单元阵列 211 包括用于存储数据的多个存储单元。假定主存储单元阵列

211 包括图 1 到图 10 的三维存储单元阵列之一。

[0165] 冗余存储单元阵列 212 包括用于替换主存储单元阵列 211 的损坏的单元的多个存储单元。假定冗余存储单元阵列 212 包括图 1 到图 10 的三维存储单元阵列之一。

[0166] 备用块 213 存储主存储单元阵列 211 的损坏的单元的地址信息。当通过上电检测器 280 检测到上电操作时,存储在备用块 213 中的损坏的单元的地址信息通过页缓冲块 220 和 I/O 接口 230 传送到修复地址存储电路 240。

[0167] 在一些实施例中,当以列层为基础执行修复操作时,备用块 213 存储损坏的单元的列层地址。在其他实施例中,当以 NAND 串为基础执行修复操作时,备用块 213 存储损坏的单元的串选择地址和列层地址。

[0168] 不同于图 11 的熔丝盒 160,备用块 213 包括非易失性存储器。因此,损坏的单元的地址信息存储在备用块 213 的非易失性存储器中。在一些实施例中,备用块 213 与主存储单元阵列 211 组合形成一个块。因此,三维存储单元阵列的一部分被分配用于主存储单元阵列 211,另一部分被分配用于备用块 213。例如,在图 6 的实施例中,与第一和第二字线 WL1 和 WL2 相对应的存储单元可以被分配为用于备用块 213,并且与第三到第五字线 WL3 ~ WL5 相对应的存储单元可以被分配为用于主存储单元阵列 211。

[0169] 在一些实施例中,备用块 213 能够形成与主存储单元阵列 211 不同的块。在这样的实施例中,备用块 213 能够采取图 1 到图 10 的三维存储单元阵列之一的形式。通常,备用块 213 能够使用若干种类型的非易失性存储器中的任何一种来实现,如 PRAM、RRAM、FRAM 和闪存。

[0170] 在图 15 的实施例中,页缓冲块 220 连接到备用块 213。并且,页缓冲块 220 连接到主存储单元阵列 211 和冗余存储单元阵列 212。页缓冲块 220 类似于图 11 的页缓冲块 130,因此将省略对其的详细描述以避免重复。

[0171] I/O 接口 230 连接到页缓冲块 220 和修复地址存储电路 240。I/O 接口 230 响应于修复控制单元 260 的控制选择主存储单元阵列 211 或冗余存储单元阵列 212。I/O 接口 230 类似于图 11 的 I/O 接口 140,因此将省略对其的详细描述以避免重复。

[0172] 修复地址存储电路 240 连接到 I/O 接口 230。当通过上电检测器 280 检测到上电操作时,存储在备用块 213 中的损坏的单元的地址信息通过页缓冲块 220 和 I/O 接口 230 传送到修复地址存储电路 240。修复地址存储电路 240 存储所接收的损坏的单元的地址。并且,当接收到对于读 / 写操作的请求时,修复地址存储电路 240 将所存储的损坏的单元的地址信息提供给修复控制电路 260。

[0173] 地址译码器 250 经由字线 WL 连接到主存储单元阵列 211。地址译码器 250 从外部设备接收地址 ADDR,并将列层地址 CL\_ADDR 和串选择地址 SS\_ADDR 传送到修复控制单元 260。地址译码器 250 类似于图 11 的地址译码器 150,因此将省略对其的详细描述以避免重复。

[0174] 修复控制单元 260 从修复地址存储电路 240 接收损坏的单元的地址信息。修复控制单元 260 从地址译码器 250 接收列层地址 CL\_ADDR 和串选择地址 SS\_ADDR。基于接收到的地址,修复控制单元 260 确定是否执行修复操作。

[0175] 在一定实施例中,当以列层为基础执行修复操作时,修复控制单元 260 从地址译码器 250 接收列层地址 CL\_ADDR。修复控制单元 260 将列层地址 CL\_ADDR 与从修复地址存



储电路 240 接收的损坏的单元的列层地址进行比较。

[0176] 当从地址译码器 250 接收的列层地址 CL\_ADDR 等于损坏的单元的列层地址时,修复控制单元 260 控制 I/O 接口 230 以选择冗余存储单元阵列 212。这个操作类似于参照图 10 和图 11 描述的操作,因此将省略对其的详细描述以避免重复。

[0177] 在一定实施例中,当以 NAND 串为基础执行修复操作时,修复控制单元 260 从地址译码器 250 接收串选择地址 SS\_ADDR 和列层地址 CL\_ADDR。修复控制单元 260 将串选择地址 SS\_ADDR 和列层地址 CL\_ADDR 与损坏的单元的串选择地址和列层地址进行比较。

[0178] 当从地址译码器 250 接收的串选择地址 SS\_ADDR 和列层地址 CL\_ADDR 等于损坏的单元的串选择地址和列层地址时,修复控制单元 260 控制 I/O 接口 230 以选择冗余存储单元阵列 212。这个操作类似于参照图 12 和图 13 描述的操作,因此将省略对其的详细描述以避免重复。

[0179] 上电检测器 280 检测非易失性存储器件 200 的上电操作。换句话说,当非易失性存储器件 200 上电时,上电检测器 280 向控制逻辑 270 传送上电检测信号 PUSN。

[0180] 控制逻辑 270 从外部设备接收控制信号 CTRL,并从上电检测器 280 接收上电检测信号 PUSN。控制逻辑 270 控制非易失性存储器件 200 的总体操作。当从上电检测器 280 接收到上电检测信号 PUSN 时,控制逻辑 270 控制修复地址存储电路 240 以存储包含在备用块 213 中的数据。

[0181] 图 16 是示出根据发明构思的实施例的、对图 15 的非易失性存储器件 200 的修复操作的流程图。在随后的描述中,将通过括号指示示例方法步骤。

[0182] 参照图 16,图 15 的上电检测器 280 检测到上电 (S110)。例如,当上电电压被施加到非易失性存储器件 200 时,上电检测器 280 检测该上电电压并将上电检测信号 PUSN 传送到控制逻辑 270。

[0183] 接下来,从备用块 213 读取损坏的单元的地址信息 (S120)。例如,当通过上电检测器 280 检测到上电操作时,存储在备用块 213 中的损坏的单元的地址信息通过页缓冲块 220 和 I/O 接口 230 传送到修复地址存储电路 240。当以列层为基础执行修复操作时,备用块 213 存储损坏的单元的列层地址。因此,存储在备用块 213 中的损坏的单元的列层地址被传送到修复地址存储电路 240。可替换地,当以 NAND 串为基础执行修复操作时,备用块 213 存储损坏的单元的串选择地址和列层地址。因此,存储在备用块 213 中的损坏的单元的串选择地址和列层地址被传送到修复地址存储电路 240。

[0184] 接下来,修复控制单元 260 将从修复地址存储电路 240 接收的损坏的单元的地址与从地址译码器 250 接收的地址进行比较 (S130)。当以列层为基础执行修复操作时,修复控制单元 260 将损坏的单元的列层地址与从地址译码器 250 接收的列层地址 CL\_ADDR 进行比较。可替换地,当以 NAND 串为基础执行修复操作时,修复控制单元 260 将损坏的单元的串选择地址和列层地址与从地址译码器 250 接收的串选择地址 SS\_ADDR 和列层地址 CL\_ADDR 进行比较。

[0185] 接下来,确定损坏的单元的地址是否等于从地址译码器 250 接收的地址 (S140)。当损坏的单元的地址等于从地址译码器 250 接收的地址时 (S140 = 是),执行修复操作 (S150)。否则 (S140 = 否),方法结束。

[0186] 当以列层为基础执行修复操作时,修复控制单元 260 控制 I/O 接口 230,以使损坏

的单元的列层被替换为冗余存储单元阵列 212 的列层。可替换地,当以 NAND 串为基础执行修复操作时,修复控制单元 260 控制 I/O 接口 230,以使损坏的单元的 NAND 串被替换为冗余存储单元阵列 212 的 NAND 串。

[0187] 图 17 是根据发明构思的实施例的、包括非易失性存储器件的 SSD 系统 10 的框图。

[0188] 参照图 17,SSD 系统 10 包括主机 11 和 SSD 12。SSD 12 通过信号连接器 12q 与主机 11 通信,并且通过功率连接器 (power connector) 12r 接收功率。SSD 12 包括多个非易失性存储器 (NVM) 器件 12a ~ 12n、SSD 控制器 12o 和辅助电源单元 12p。

[0189] NVM 器件 12a ~ 12n 被用作 SSD 12 的存储介质。NVM 12a ~ 12n 可以使用具有大存储容量的闪存器件来实现。SSD 12 通常使用闪存,并且也可以使用其他的非易失性存储器件,诸如 PRAM、MRAM、ReRAM 和 FRAM。

[0190] 在图 17 中,NVM 器件 12a ~ 12n 中的至少一个包括图 11 或图 15 的非易失性存储器件 100 或 200。因此,非易失性存储器件可以包括如上所述的三维存储单元阵列。

[0191] NVM 器件 12a ~ 12n 通过多个通道 CH1 ~ CHn 连接到 SSD 控制器 12o。一个或多个存储器件连接到每个通道。连接到一个通道的存储器件连接到相同的数据总线。

[0192] SSD 控制器 12o 通过信号连接器 12q 与主机 11 交换信号 SGL。典型地,信号 SGL 包括命令、地址和数据。响应于来自主机 11 的命令,SSD 控制器 12o 在 NVM 器件 12a ~ 12n 中写入和读取数据。SSD 控制器 12o 的内部结构参照图 18 进行描述。

[0193] 辅助电源单元 12p 通过功率连接器 12r 连接到主机 11。辅助电源单元 12p 通过从主机 11 接收功率 PWR 来充电。辅助电源单元 12p 可以位于 SSD 12 内部或外部。例如,辅助电源单元 12p 可以位于主板 (main board) 上,以便向 SSD 12p 供应辅助功率。

[0194] 图 18 是 SSD 控制器 20 的框图。图 18 的 SSD 控制器 20 能用作图 17 的 SSD 控制器 12o。

[0195] 参照图 18,SSD 控制器 20 包括中央处理单元 (CPU) 21、主机接口 (I/F) 22、易失性存储器 (VM) 器件 23 和 NVM 接口 (I/F) 24。

[0196] CPU 21 分析和处理从主机 11 接收的信号 SGL。CPU 21 通过主机接口 22 或 NVM 接口 24 控制主机 11 或 NVM 器件 12a ~ 12n。CPU 21 根据用于驱动 SSD 12 的固件控制 NVM 器件 12a ~ 12n 的操作。

[0197] 主机接口 22 根据主机 11 的协议提供主机 11 与 SSD 12 之间的接口。例如,主机接口 22 可以使用诸如通用串行总线 (USB)、小型计算机系统接口 (SCSI)、快速外围组件互连 (PCI)、先进技术附件 (ATA)、并行 ATA (PATA)、串行 ATA (SATA) 或串行连接 SCSI (SAS) 的协议来与主机 11 通信。并且,主机接口 22 能够执行盘仿真 (disc emulation) 功能,以便主机 11 作为硬盘驱动 (HDD) 与 SSD 12 接口。

[0198] VM 器件 23 临时存储从主机 11 接收的写入数据或从 NVM 器件 12a ~ 12n 取回的读取数据。此外,VM 器件 23 存储将要存储在 NVM 器件 12a ~ 12n 中的高速缓存数据或元数据。在突然的断电操作中,存储在 VM 器件 23 中的高速缓存数据或元数据被存储到 NVM 器件 12a ~ 12n 中。VM 器件 23 能够例如通过 DRAM 或 SRAM 来实现。

[0199] NVM 接口 24 在通道 CH1 ~ CHn 上分配从 VM 器件 23 接收的数据。NVM 接口 24 还将从 NVM 器件 12a ~ 12n 读取的数据传送到 VM 器件 23。在一定实施例中,NVM 接口 24 使用 NAND 闪存接口方案,并且 SSD 控制器 20 根据 NAND 闪存接口方案执行编程、读取和擦除

操作。

[0200] 图 19 是根据发明构思的实施例的、包括非易失性存储器件的数据存储设备 30 的框图。

[0201] 参照图 19, 数据存储设备 30 包括存储控制器 31 和闪存器件 32。数据存储设备 30 的示例形式包括便携式移动存储设备和存储卡。

[0202] 存储控制器 31 包括 CPU 31a、主机接口 31b、RAM 31c、闪存接口 31d 和辅助电源单元 31e。辅助电源单元 31e 可以位于存储控制器 31 内部或外部。

[0203] 数据存储设备 30 在使用过程中连接到主机。数据存储设备 30 通过主机接口 31b 与主机通信, 并通过闪存接口 31d 向闪存器件 32 提供数据。数据存储设备 30 从主机接收功率以执行内部操作。

[0204] 闪存器件 32 能够采取图 11 或图 15 中示出的闪存器件 100 或 200 的形式。因此, 闪存器件 32 能够包括如上所述的三维存储单元阵列。

[0205] 图 20 是示出根据发明构思的实施例的、包括非易失性存储器件的存储卡的外部形状的示图。具体来说, 图 20 示出了 SD 卡的外部形状。

[0206] 参照图 20, SD 卡包括九个管脚, 其中包括四个数据管脚 1、7、8 和 9, 一个命令管脚 2、一个时钟管脚 5 和三个功率管脚 3、4 和 6。命令信号和响应信号通过命令管脚 2 在 SD 卡和主机之间传送。

[0207] 图 21 是示出包括诸如图 20 中示出的存储卡的存储卡系统 40 的框图。

[0208] 参照图 21, 存储卡系统 40 包括主机 41 和存储卡 42。主机 41 包括主机控制器 41a 和主机连接单元 41b。存储卡 42 包括卡连接单元 42a、卡控制器 42b 和存储器 42c。

[0209] 主机连接单元 41b 和卡连接单元 42a 各自包括多个管脚, 诸如命令管脚、数据管脚、时钟管脚和功率管脚。管脚的数量取决于存储卡 42 的类型。例如, SD 卡具有 9 个管脚。

[0210] 主机 41 在存储卡 42 中写入和读取数据。主机控制器 41a 将命令 CMD、时钟信号 CLK 和数据 DAT 通过主机连接单元 41b 传送到存储卡 42。

[0211] 卡控制器 42b 响应于通过卡连接单元 42a 接收的写入命令、与卡控制器 42b 中的时钟发生器所产生的时钟信号同步地将数据存储存储在存储器 42c 中。存储器 42c 存储从主机 41 接收的数据。例如, 当主机 41 是数码相机时, 存储器 42c 存储图像数据。

[0212] 存储器 42c 能够采取图 11 或图 15 中示出的非易失性存储器件 100 或 200 的形式。因此, 存储器 42c 能够包括如上所述的三维存储单元阵列。

[0213] 图 22 是根据发明构思的实施例的、包括非易失性存储器件的电子设备 50 的框图。电子设备 50 的示例形式包括个人计算机 (PC) 和便携式电子设备, 如笔记本电脑、移动电话、个人数字助理 (PDA) 和照相机。

[0214] 参照图 22, 电子设备 50 包括半导体存储器件 51、电源单元 53、辅助电源单元 52、CPU 54、RAM 55 和用户接口 56。半导体存储器件 51 包括闪存器件 51a 和存储控制器 51b。电子设备 50 的部件 (features) 通过总线相互连接。

[0215] 闪存器件 51a 能够采取图 11 或图 15 中示出的非易失性存储器件 100 或 200 的形式。因此, 闪存器件 51a 能够包括如上所述的三维存储单元阵列。

[0216] 以上是对实施例的举例说明, 不应被解释为对实施例的限制。尽管已经描述了几个实施例, 但是本领域技术人员将容易地理解到, 在不实质上脱离本发明构思的新颖的教

导和优点的情况下,可以对实施例做出许多修改。因此,所有这些修改都包括在权利要求所限定的本发明构思的范围之内。

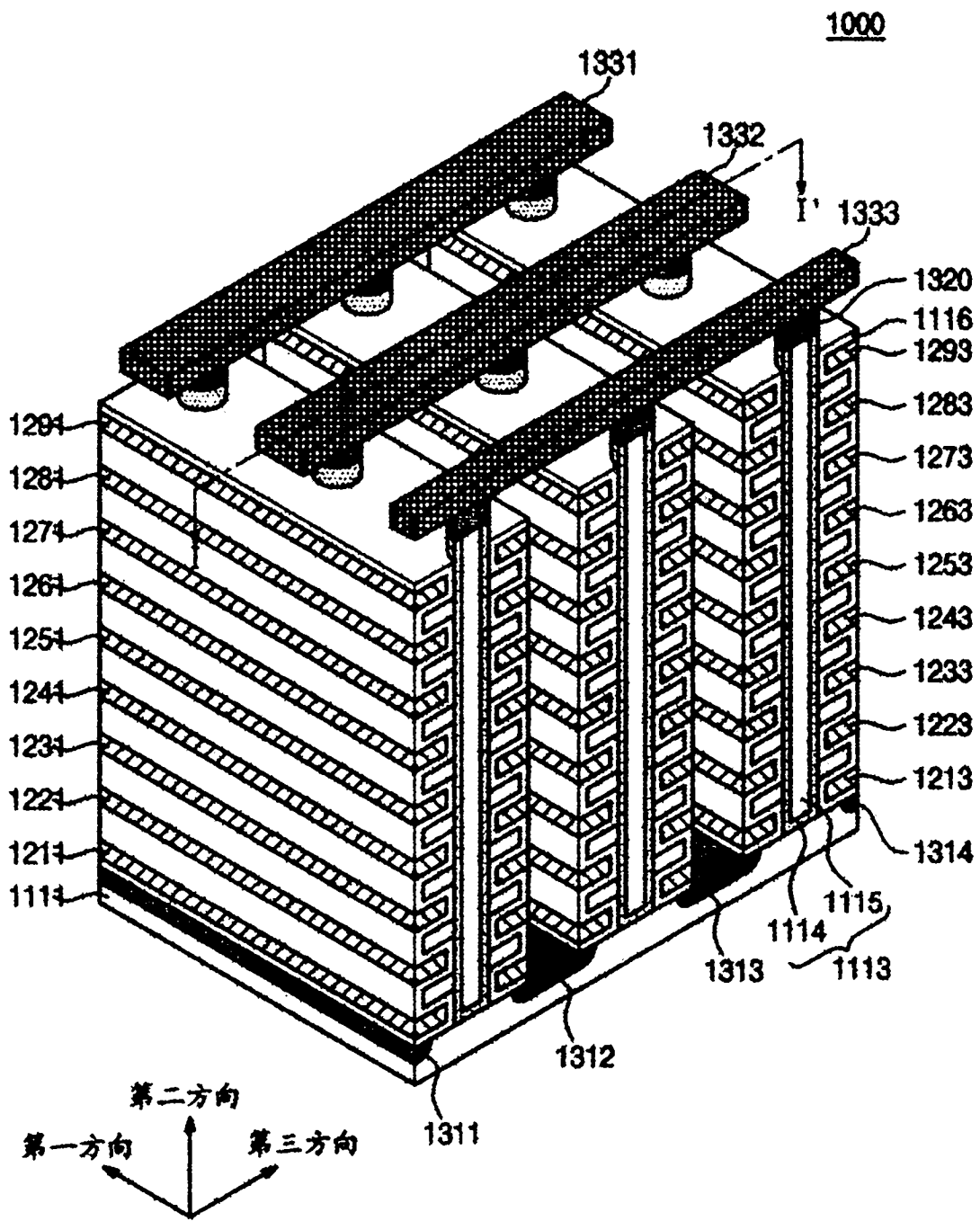


图 1

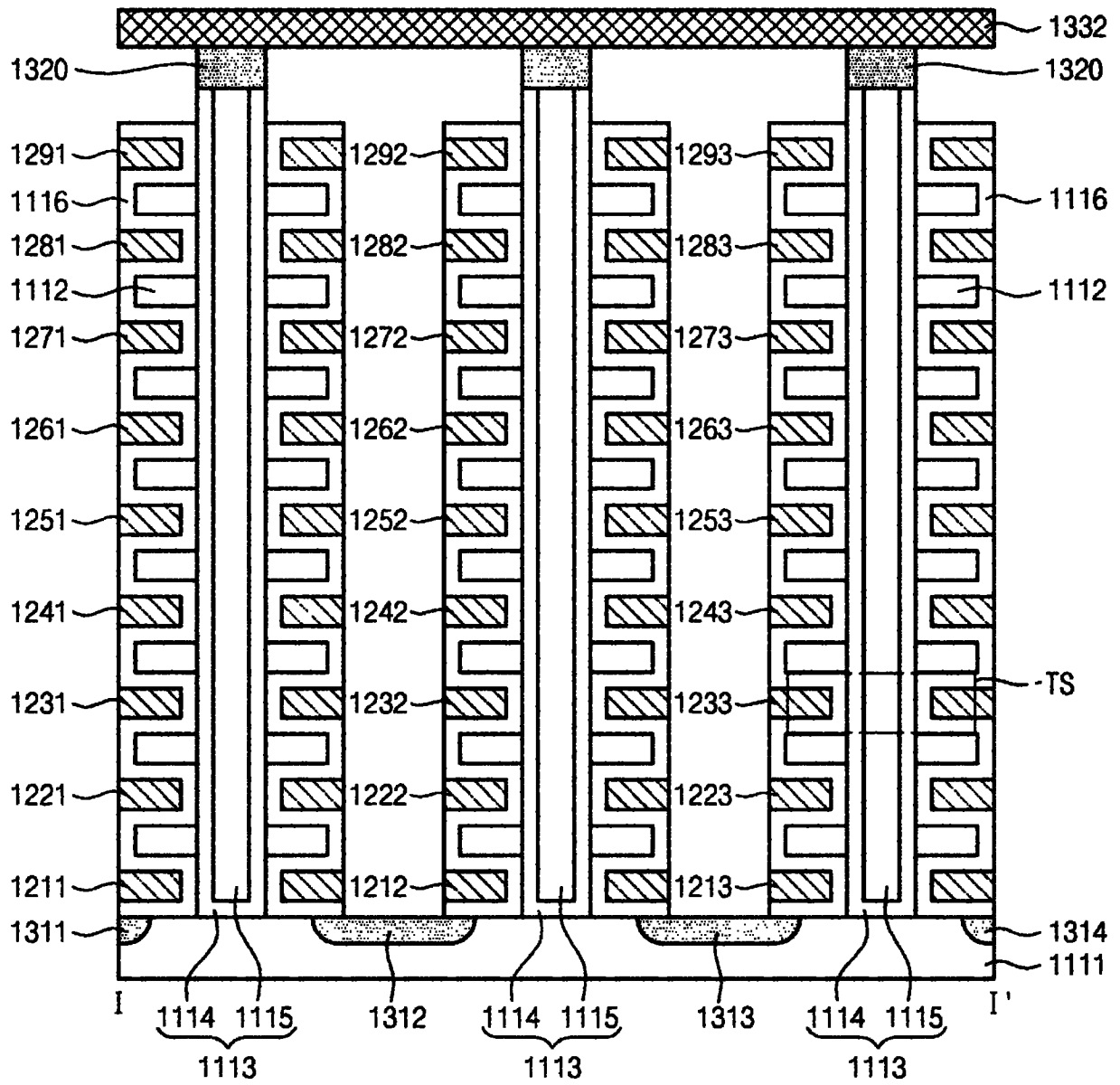


图 2

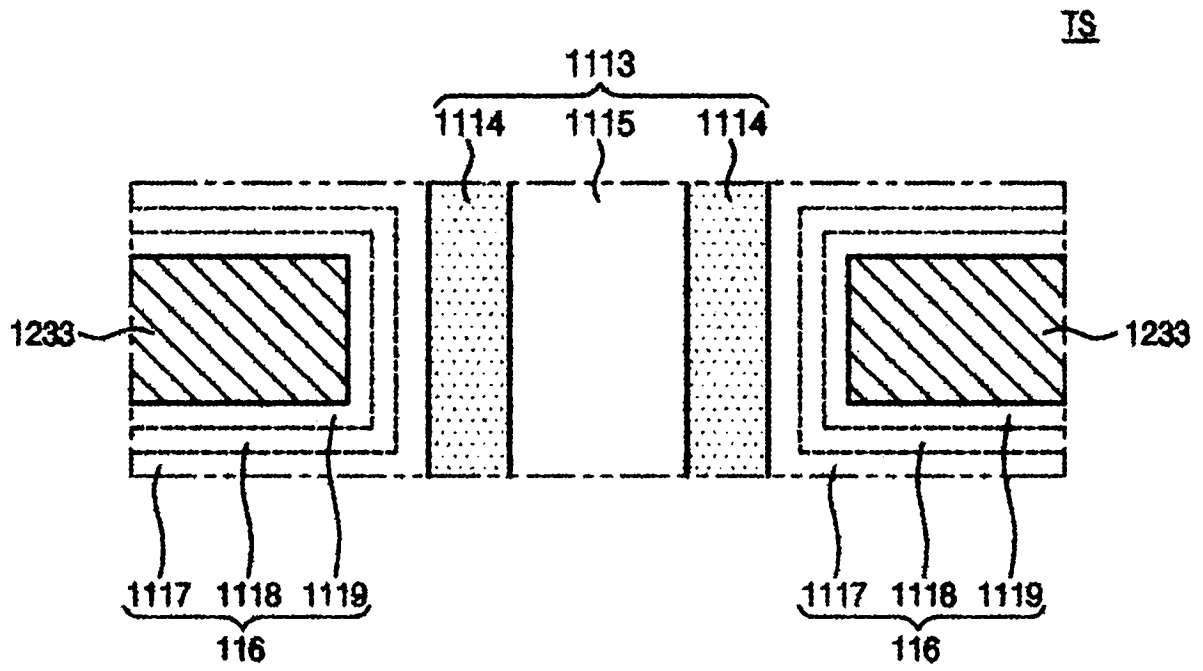


图 3

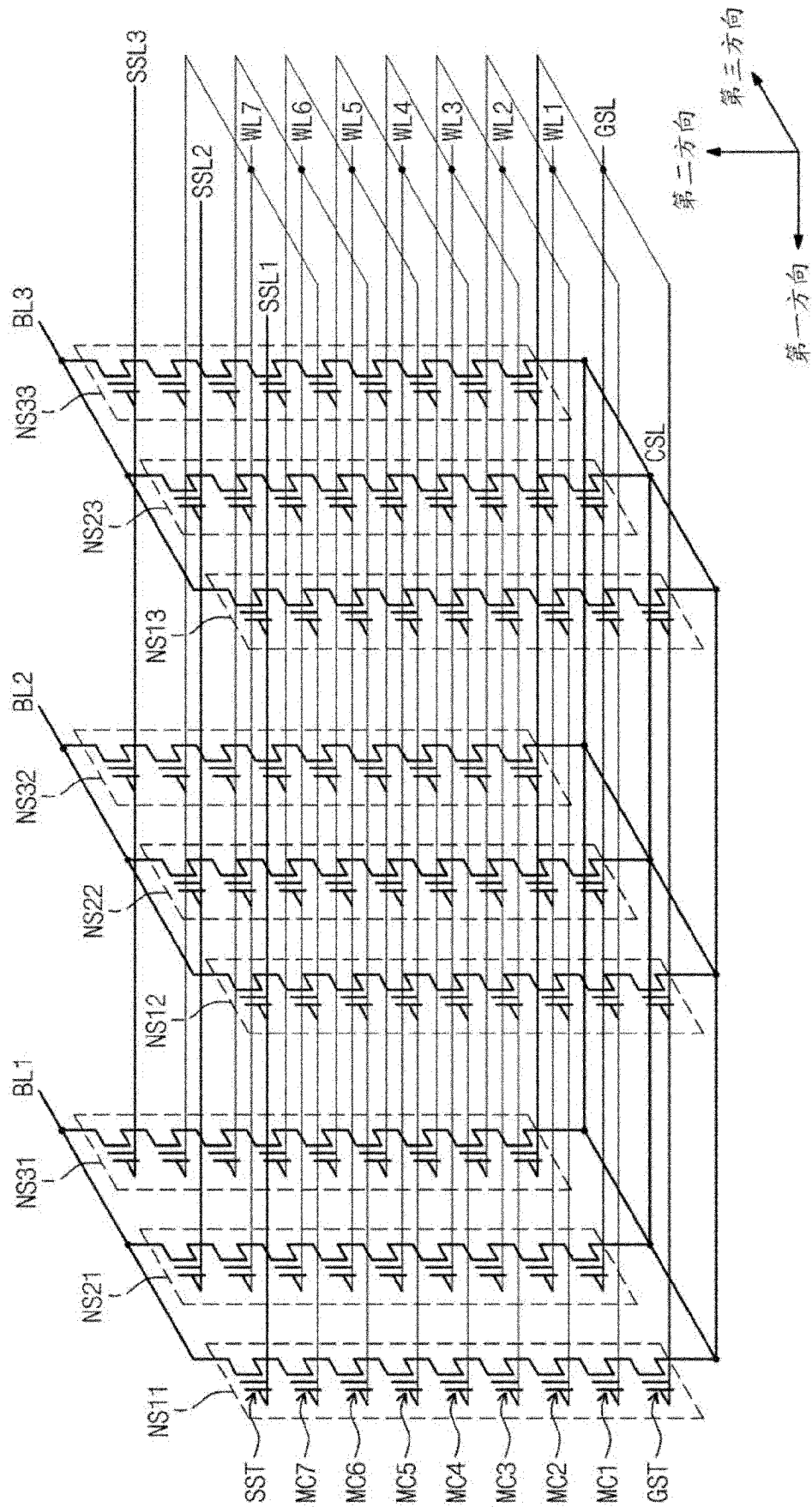


图 4



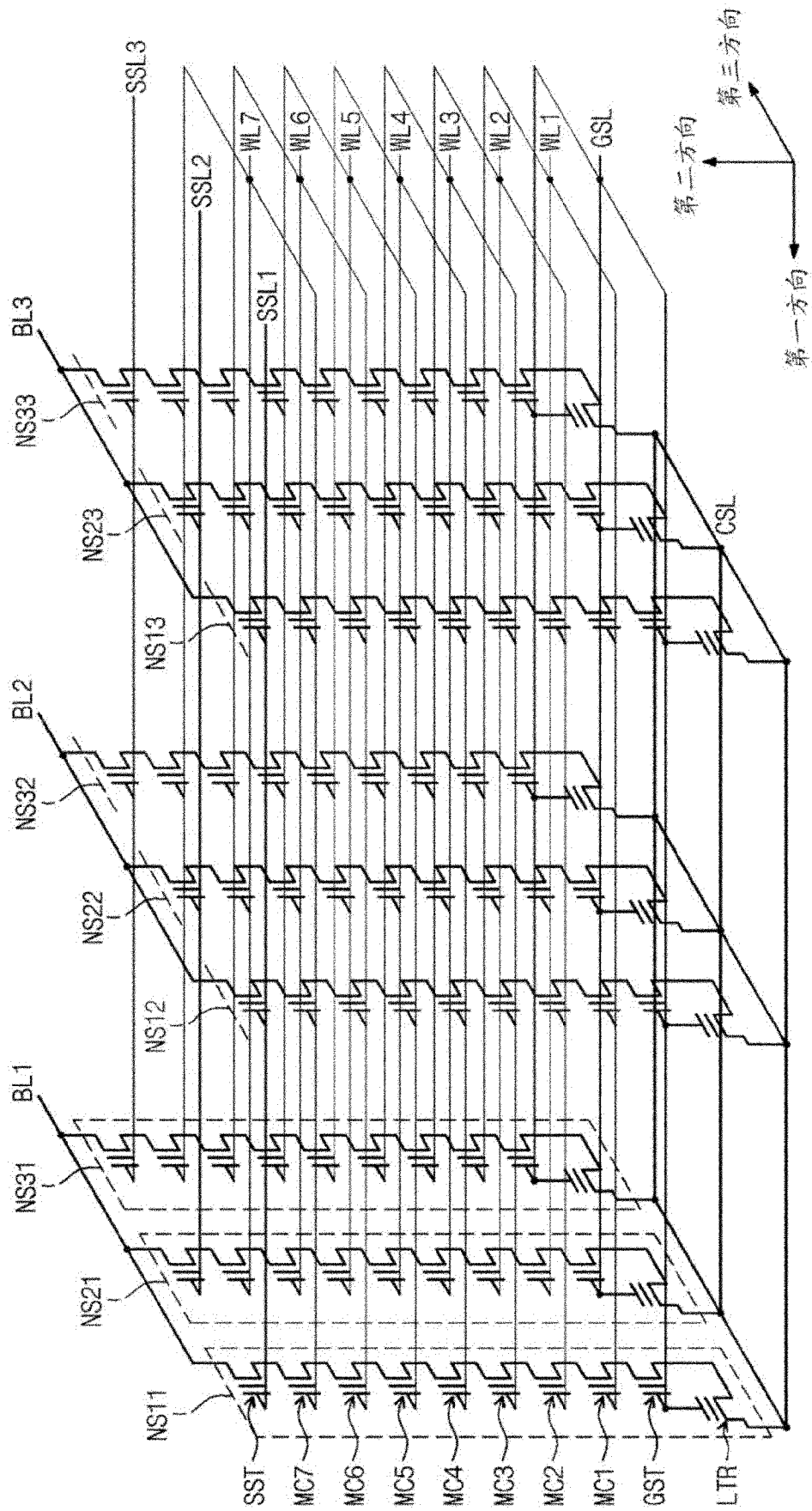


图 5

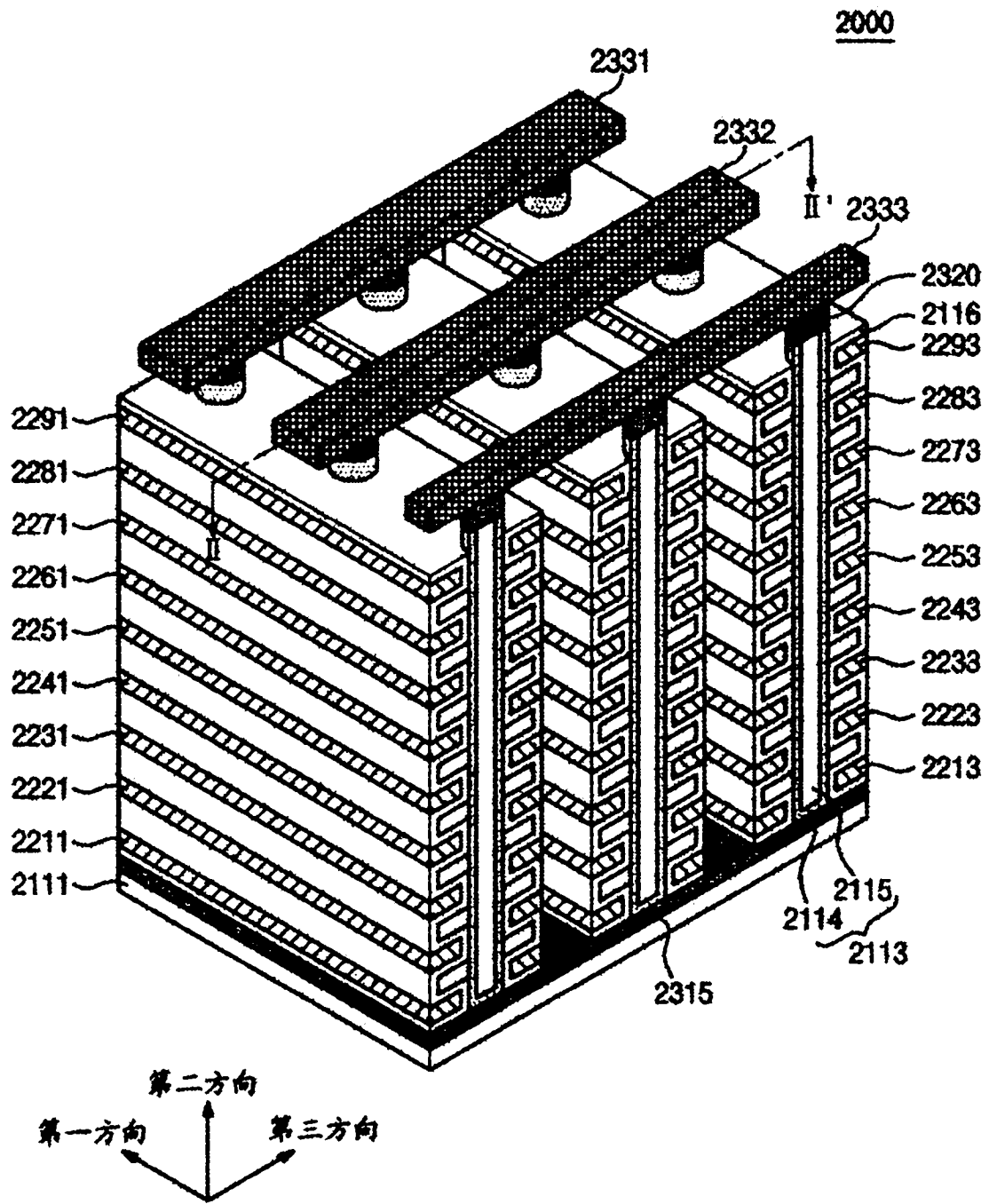


图 6

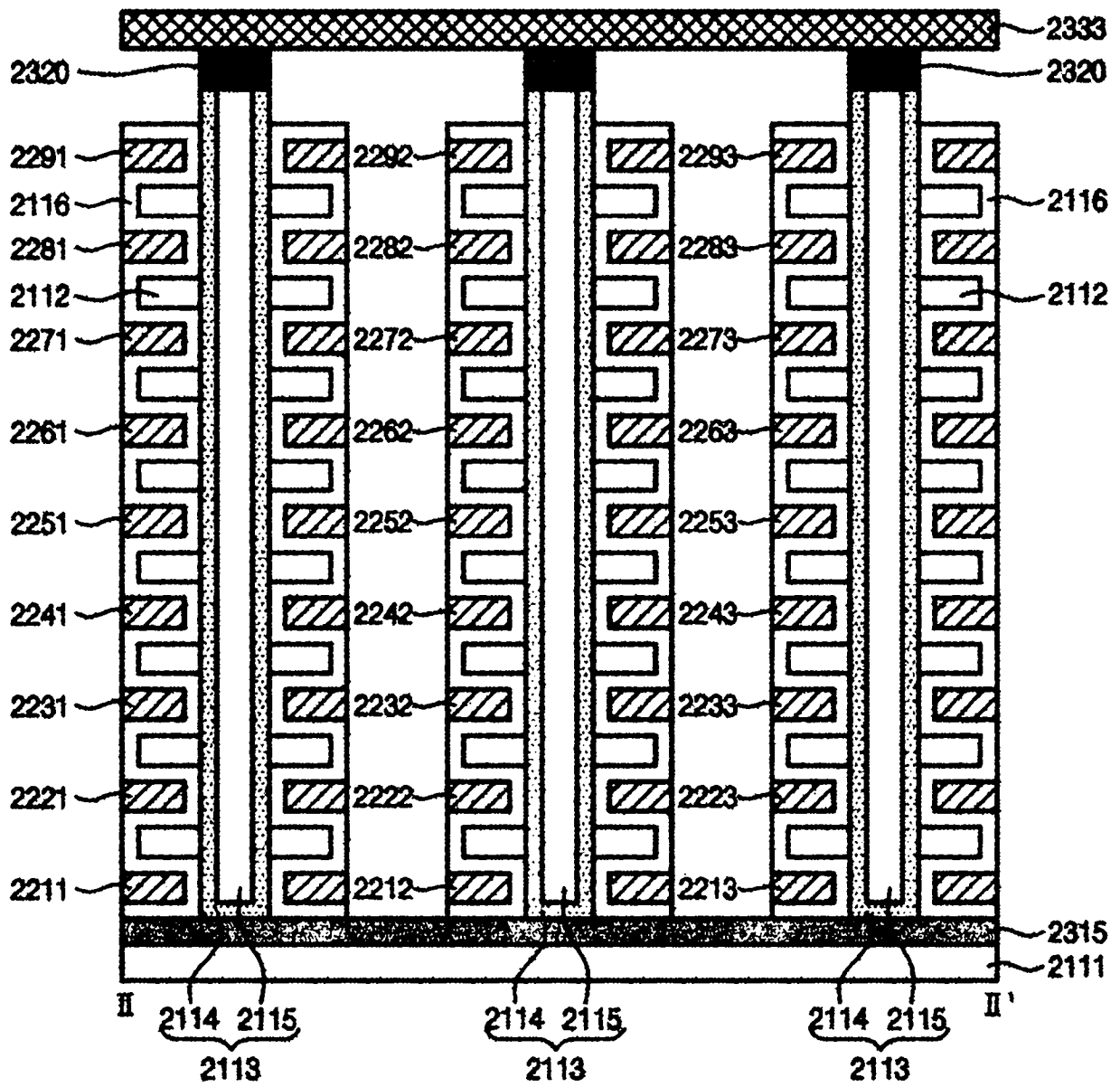


图 7

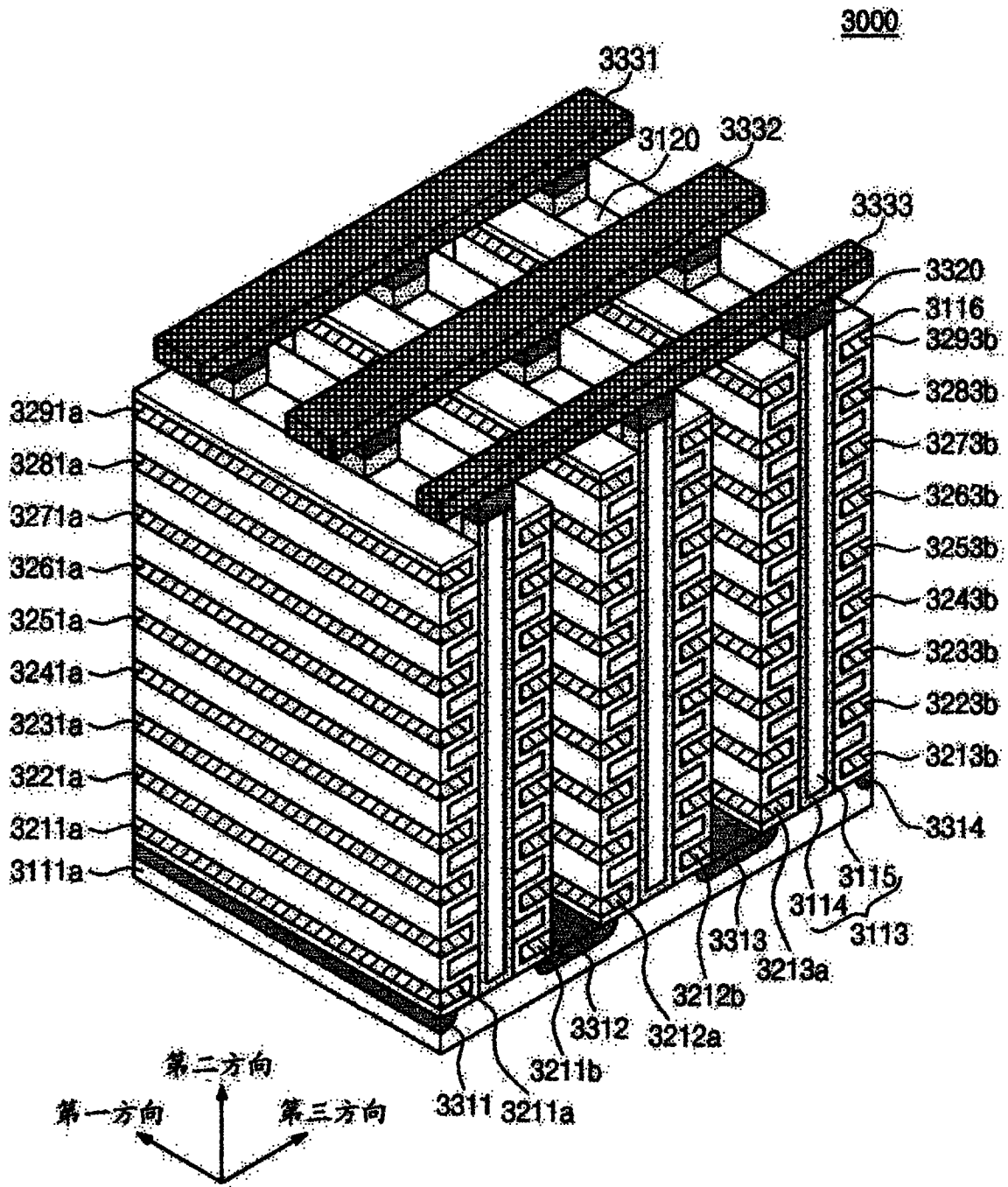


图 8

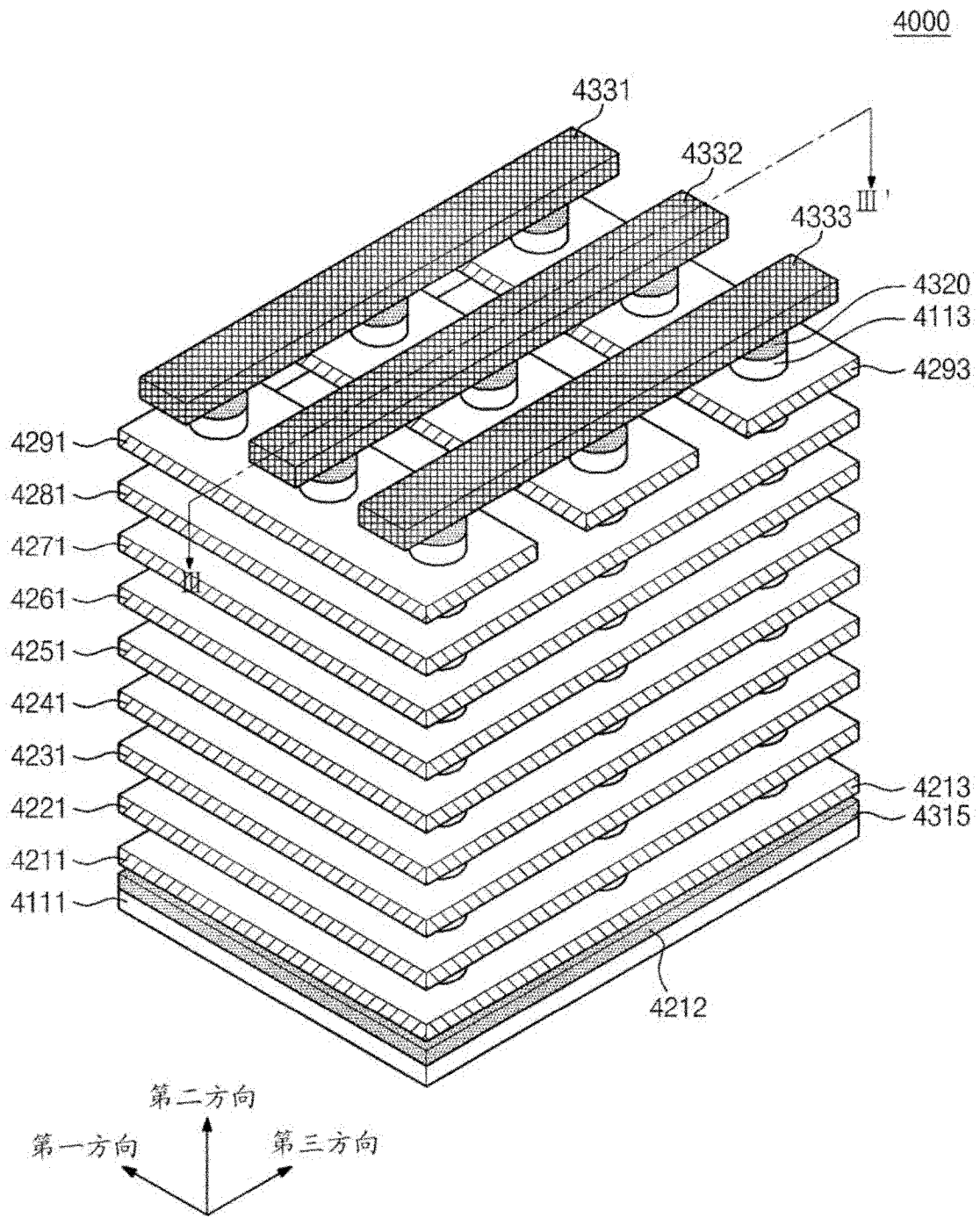


图 9

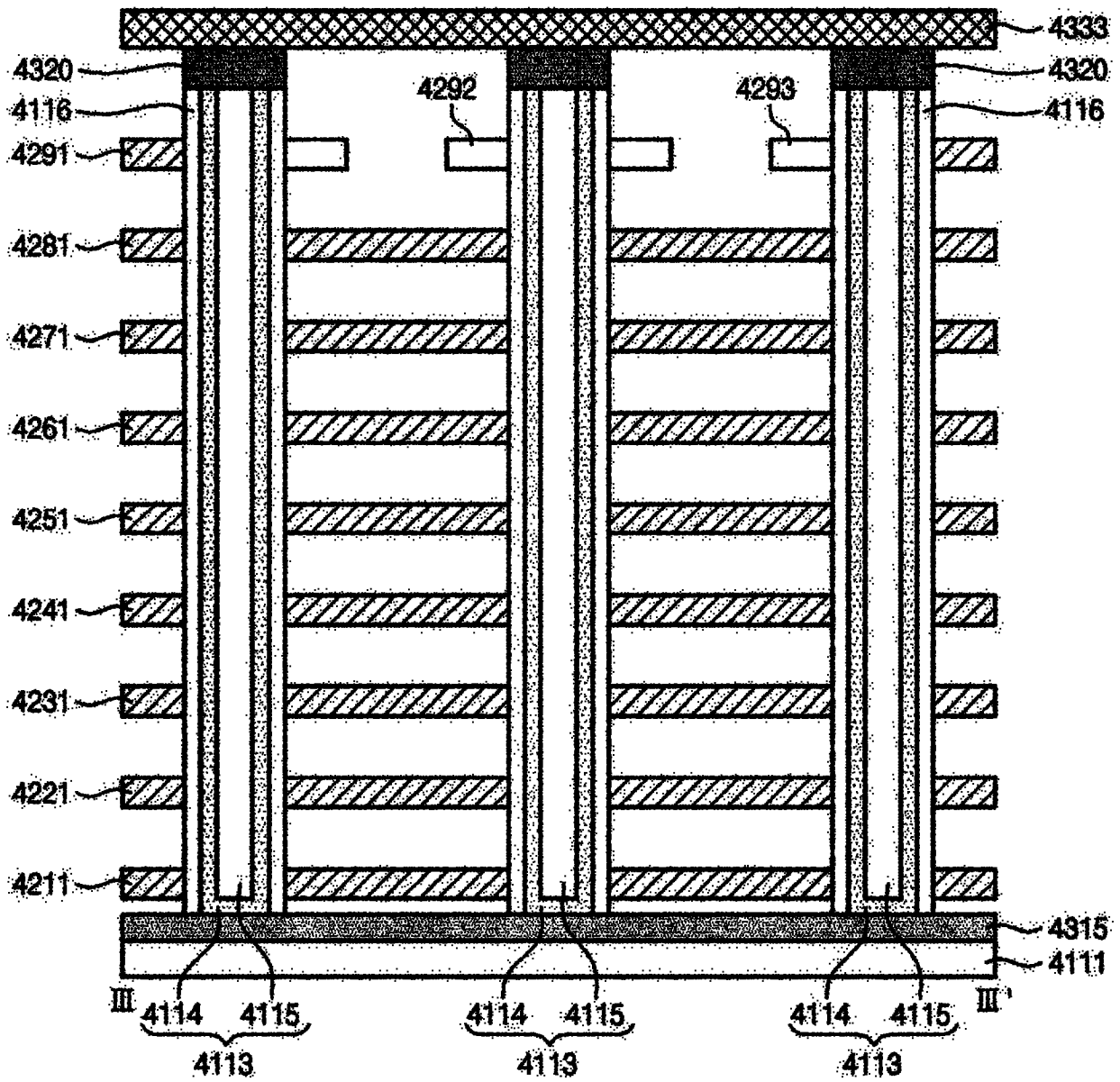


图 10

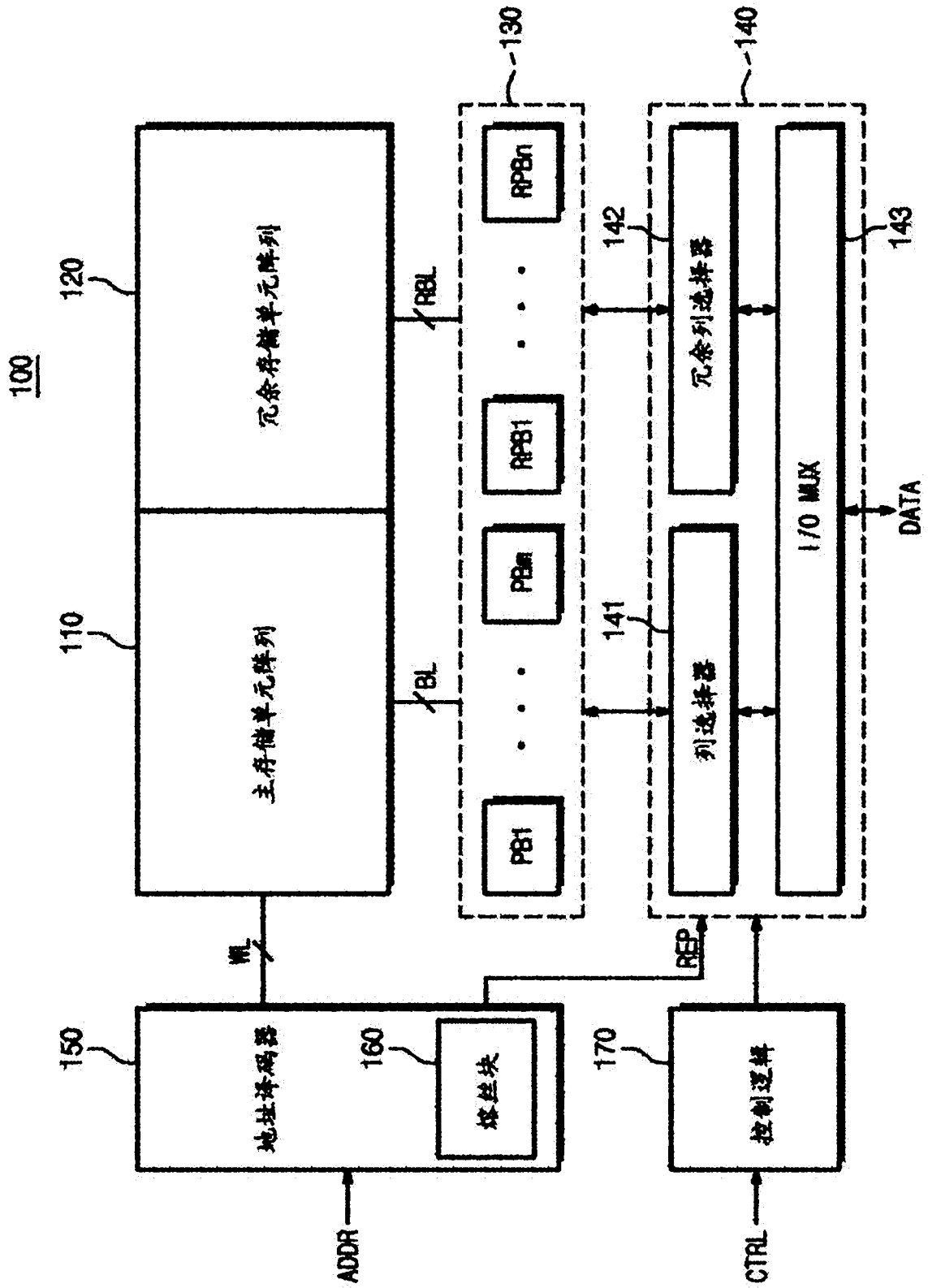


图 11

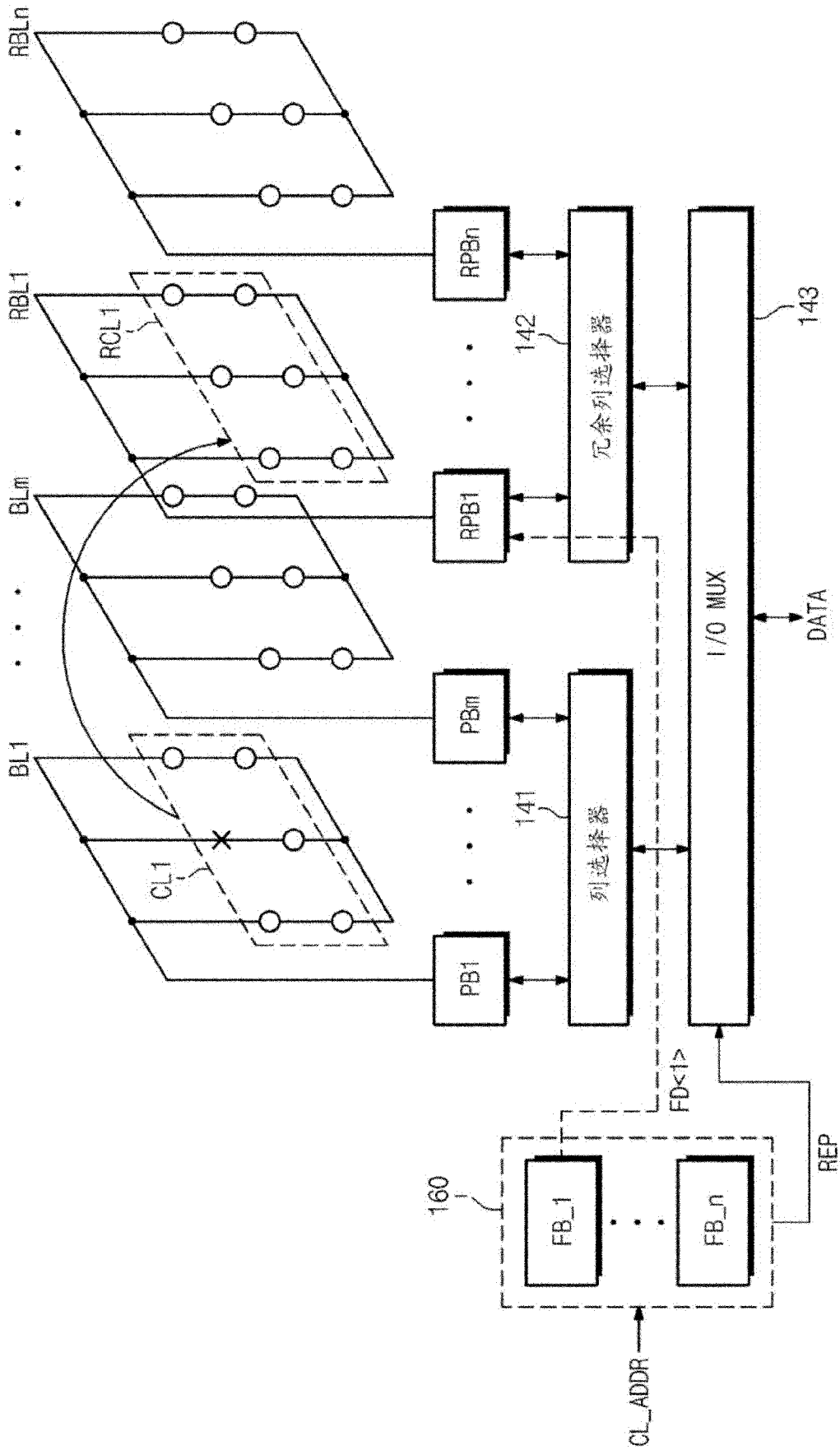


图 12



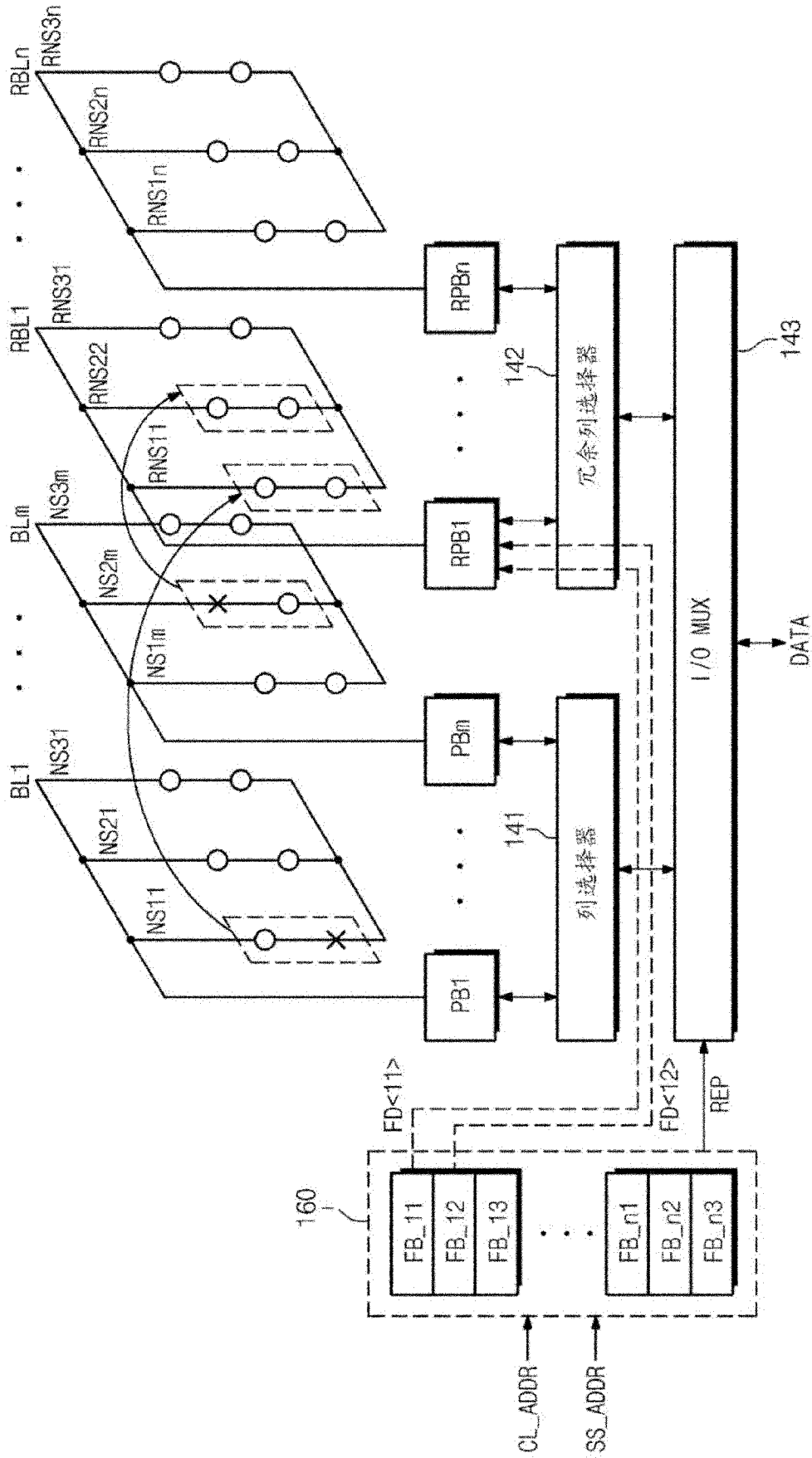


图 13

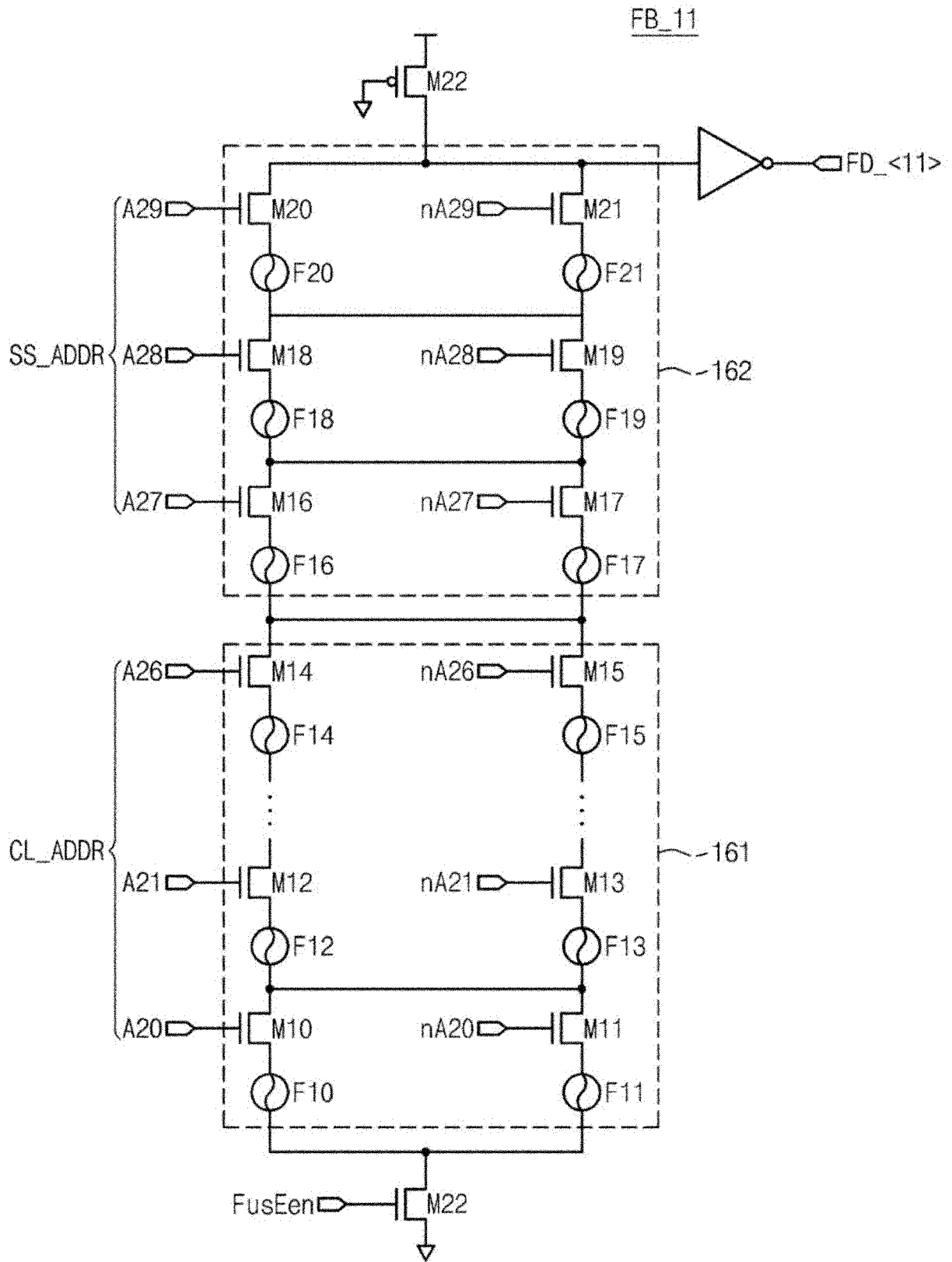


图 14

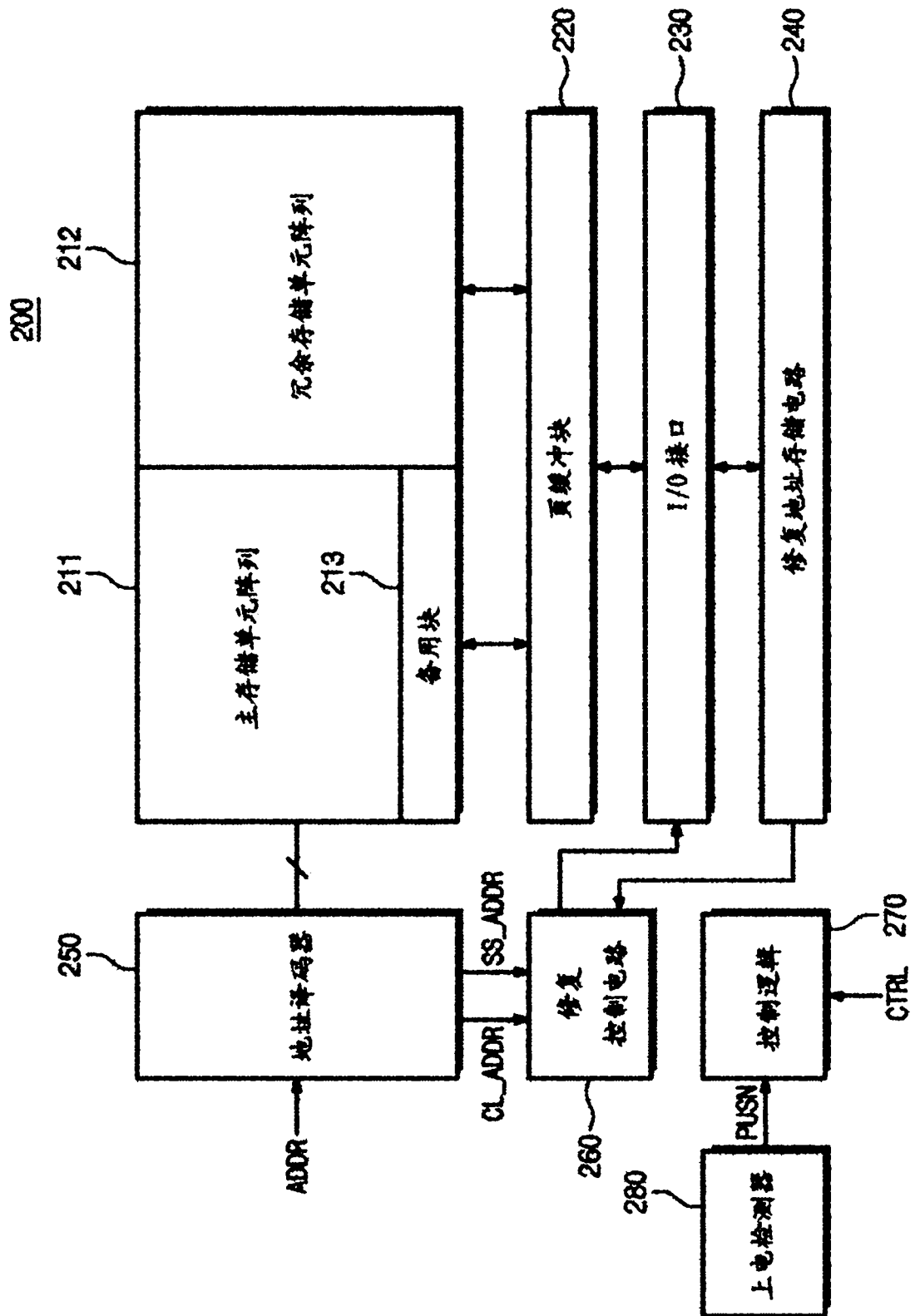


图 15

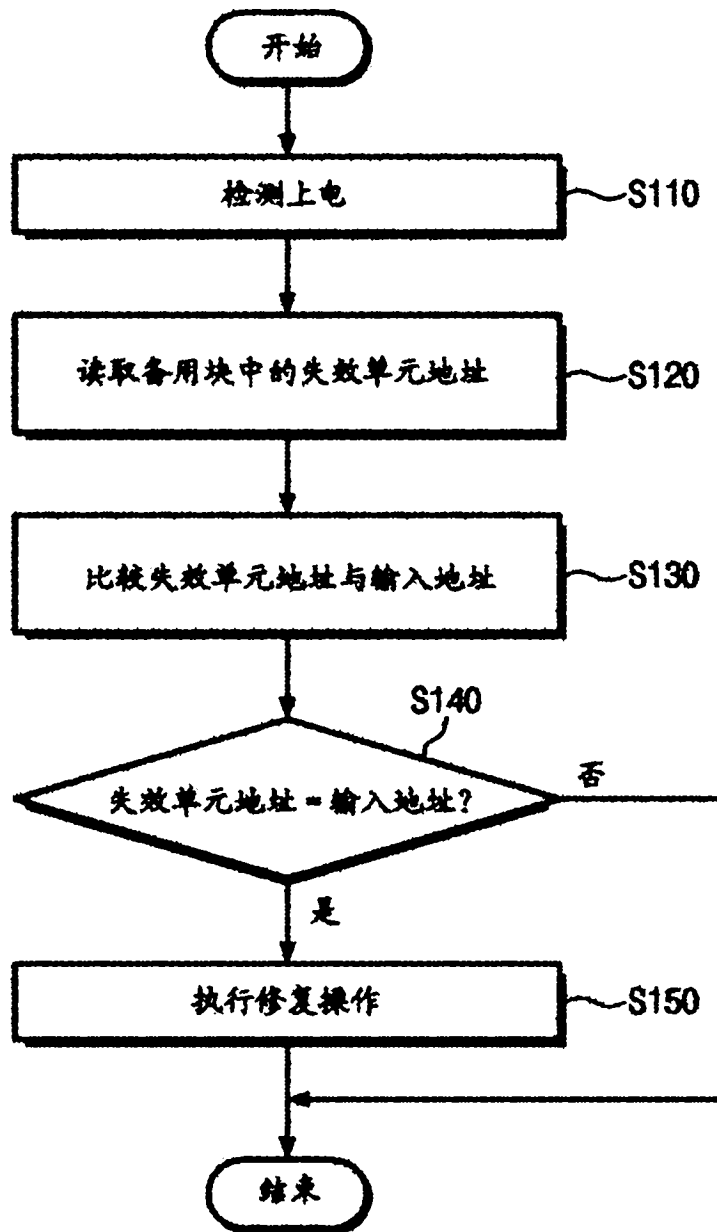


图 16

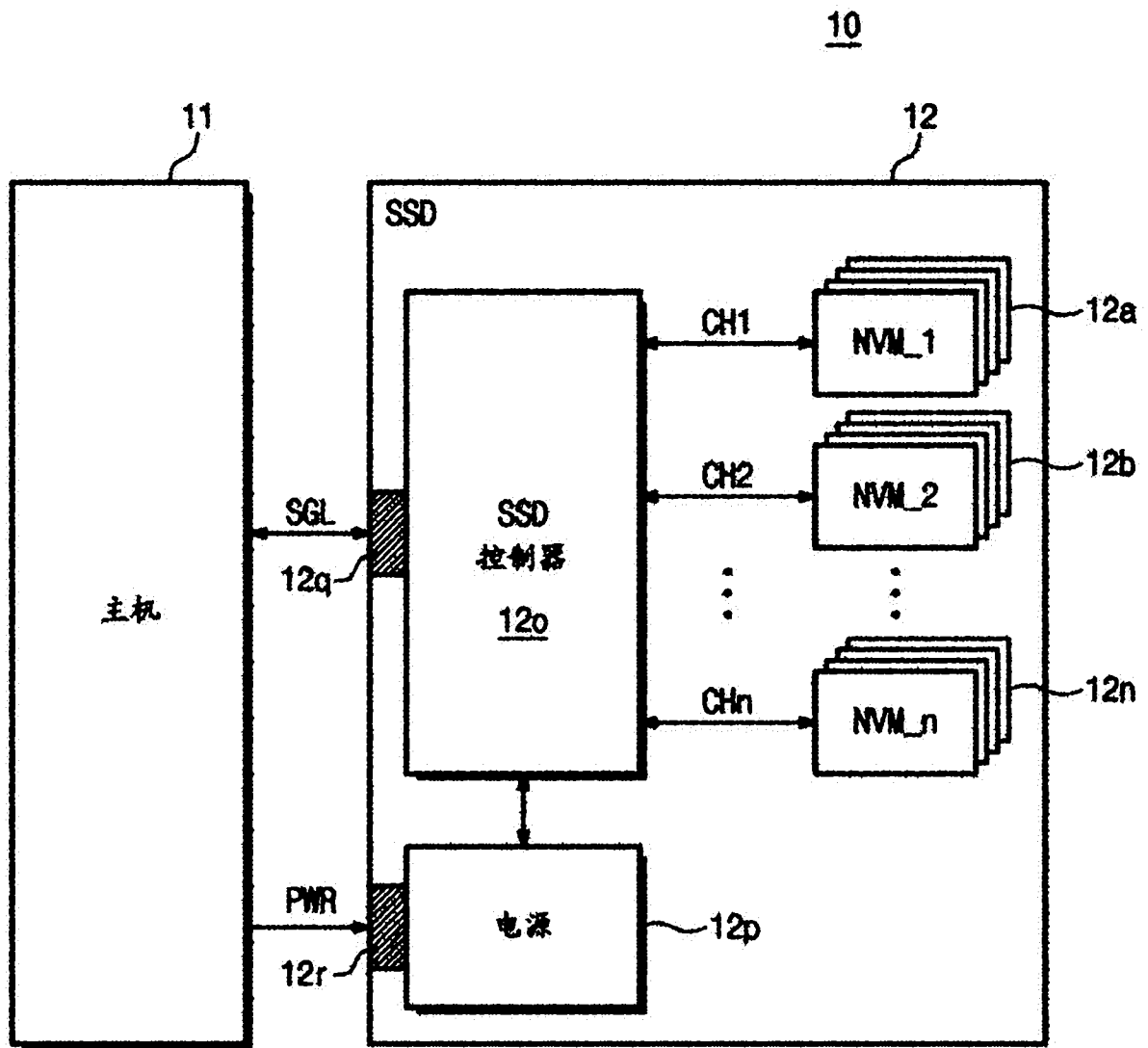


图 17

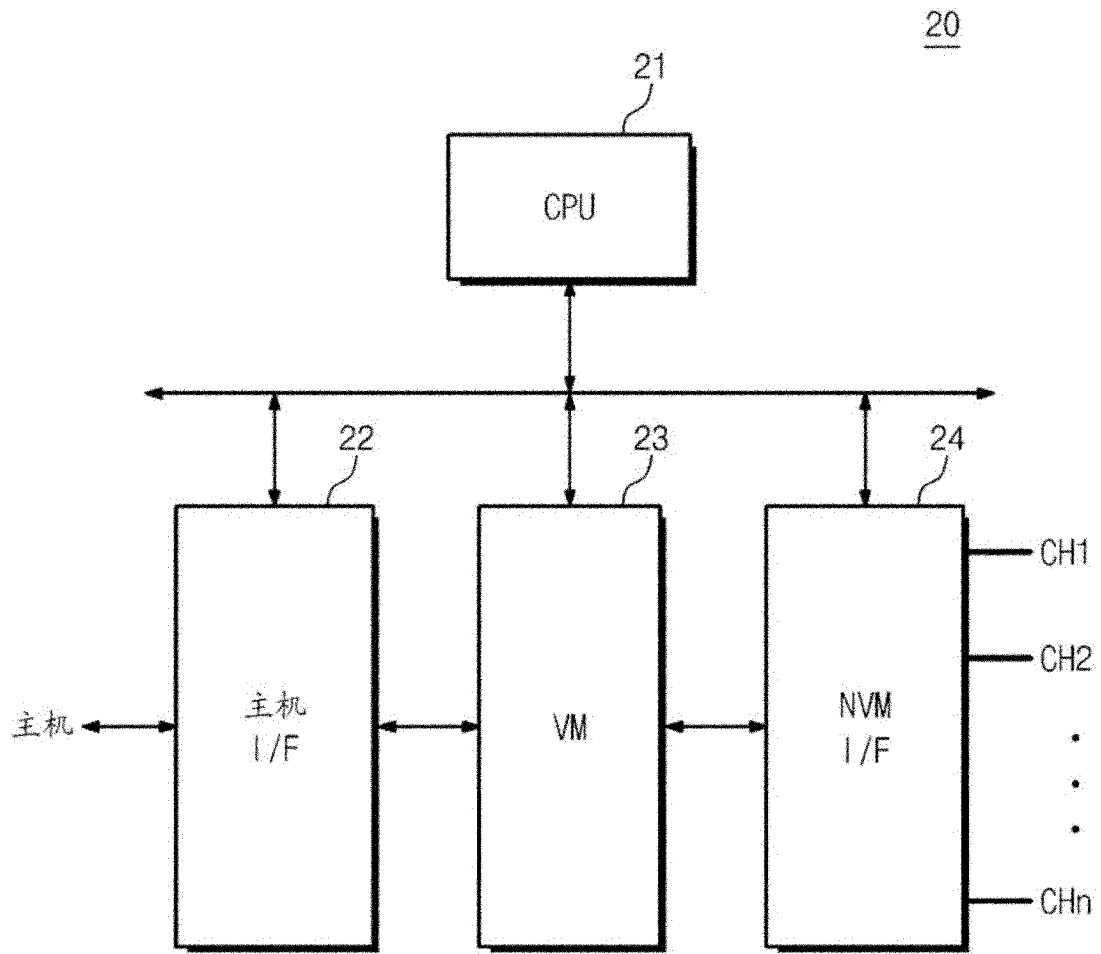


图 18

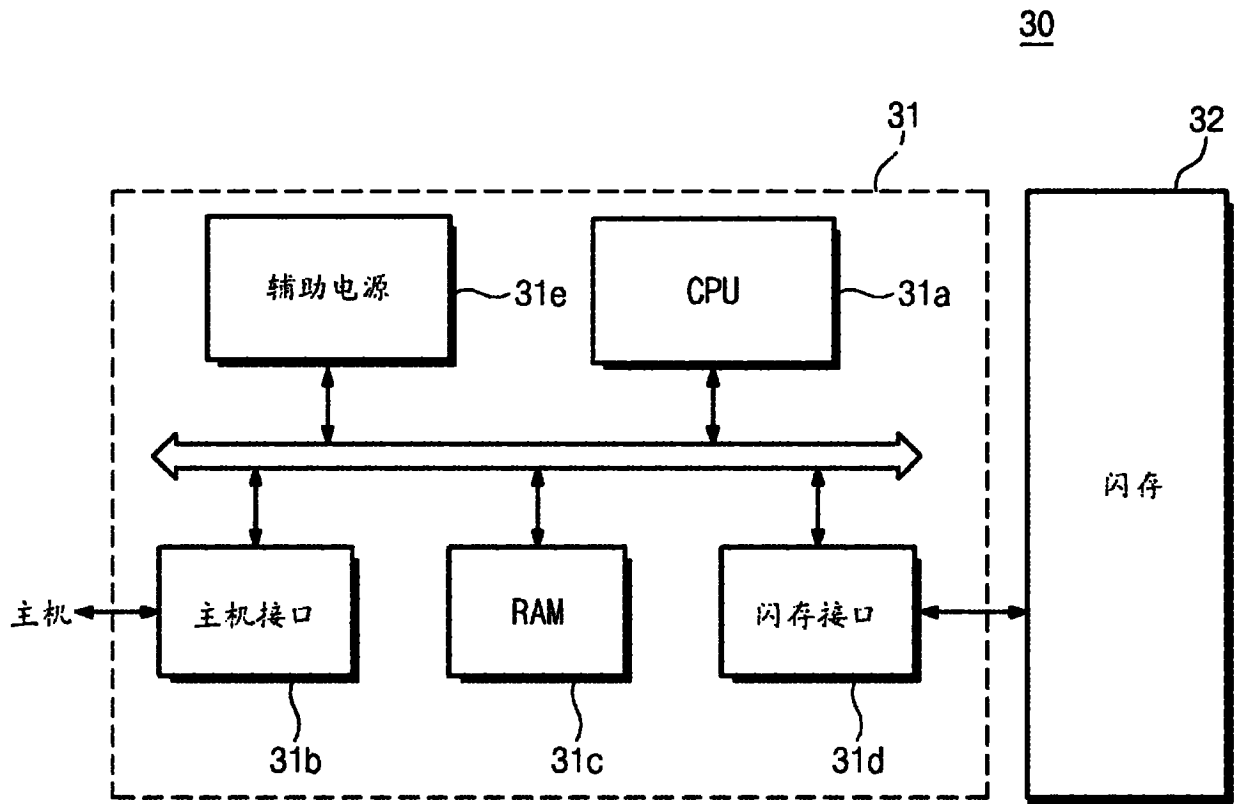


图 19

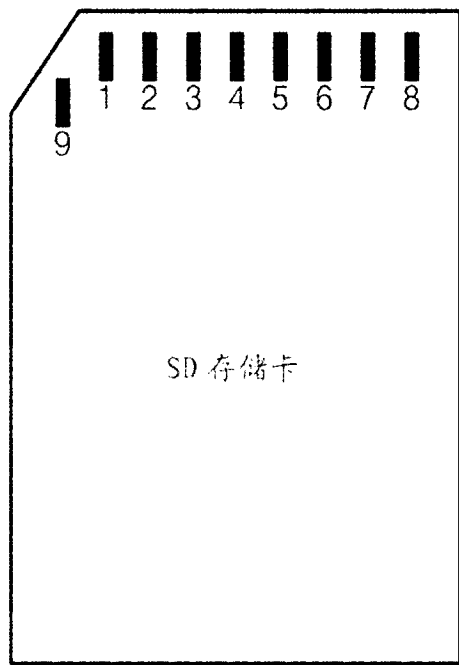


图 20

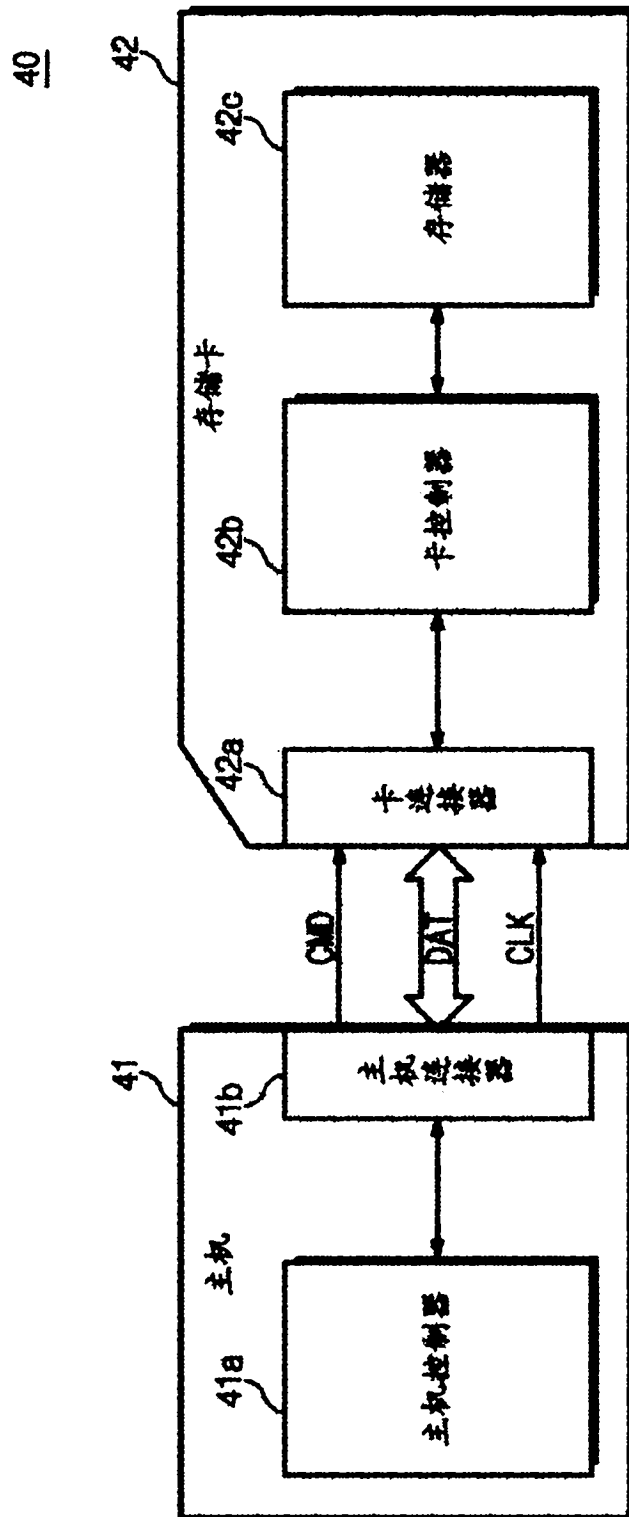


图 21



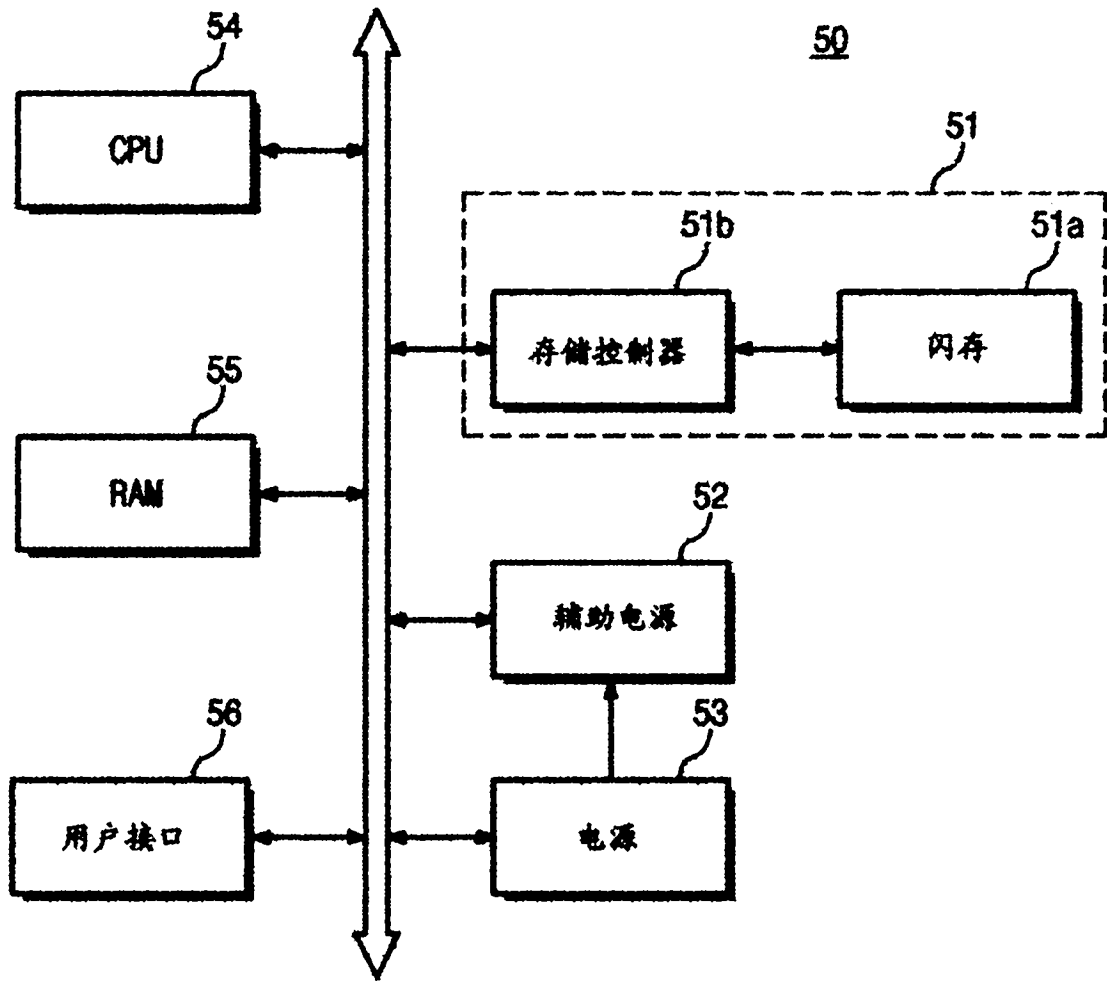


图 22