

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

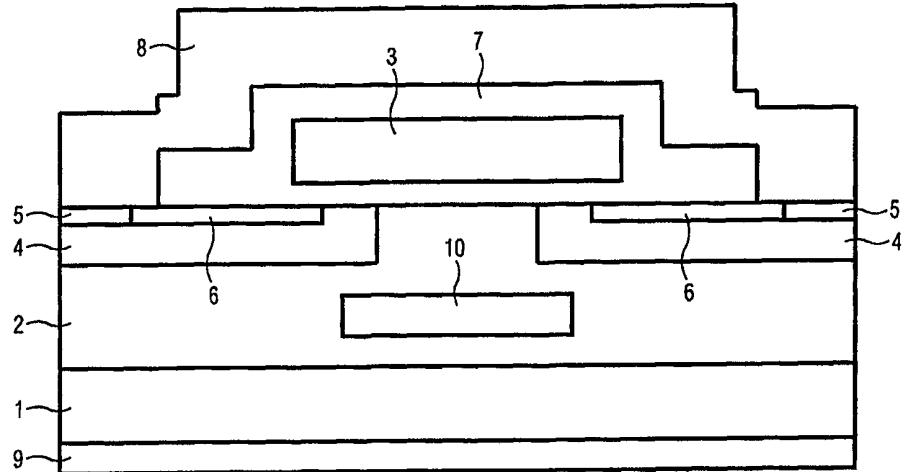
<p>(51) Internationale Patentklassifikation <sup>6</sup> : H01L 29/78, 29/739, 21/331, 29/10</p>	<p>A1</p>	<p>(11) Internationale Veröffentlichungsnummer: <b>WO 99/39388</b></p> <p>(43) Internationales Veröffentlichungsdatum: 5. August 1999 (05.08.99)</p>
<p>(21) Internationales Aktenzeichen: PCT/DE99/00118</p> <p>(22) Internationales Anmeldedatum: 19. Januar 1999 (19.01.99)</p> <p>(30) Prioritätsdaten: 198 03 424.5      29. Januar 1998 (29.01.98)      DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): MITLEHNER, Heinz [DE/DE]; Danziger Strasse 1 a, D-91080 Uttenreuth (DE). PETERS, Dethard [DE/DE]; Troppauer Strasse 31, D-91315 Höchstadt (DE). SCHÖRNER, Reinhold [DE/DE]; Wiesenstrasse 27, D-91091 Großenseebach (DE). WEINERT, Ulrich [DE/DE]; Gladiolenstrasse 10, D-91074 Herzogenaurach (DE).</p> <p>(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p>	<p>(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p><b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>	

(54) Title: SEMICONDUCTOR INSULATING STRUCTURE WITH REDUCED SURFACE FIELD STRENGTH AND METHOD FOR THE PRODUCTION OF THE SAID STRUCTURE

(54) Bezeichnung: HALBLEITER-ISOLATOR-STRUKTUR MIT REDUZIERTER FELDSTÄRKE AN DER OBERFLÄCHE UND VERFAHREN ZUR HERSTELLUNG DERSELBEN

(57) Abstract

The invention has the aim of providing a component in which maximum field strength in the semiconductor substrate can be used without causing degradation of the electrical properties of the insulating layer and a method for producing such a component. The inventive vertical field effect semiconductor insulating structure is characterized in that an island area having a second type of conduction is arranged in the drift area. The vertical semiconductor insulating structure is produced by growing a first epitaxial layer of a first type of conduction on the semiconductor substrate, by arranging the island areas of a second type of conduction in or on the first epitaxial layer and by growing a second epitaxial layer of the first type of conduction on the first epitaxial layer with the island areas.



the semiconductor substrate, by arranging the island areas of a second type of conduction in or on the first epitaxial layer and by growing a second epitaxial layer of the first type of conduction on the first epitaxial layer with the island areas.

### (57) Zusammenfassung

Aufgabe der vorliegenden Erfindung ist es, ein Bauelement zu schaffen, bei dem die maximale Feldstärke in dem Halbleitersubstrat ausgenutzt werden kann, ohne daß es zu einer Degradation der elektrischen Eigenschaften einer Isolatorschicht kommt, sowie ein Verfahren zum Herstellen eines solchen Bauelements anzugeben. Die erfindungsgemäße durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur ist dadurch gekennzeichnet, daß in dem Driftgebiet jeweils ein Inselbereich von einem zweiten Leitungstyp angeordnet ist. Die vertikale Halbleiter-Isolator-Struktur wird dadurch hergestellt, daß eine erste Epitaxieschicht eines ersten Leitungstyps auf das Halbleitersubstrat aufgewachsen wird, Inselbereiche eines zweiten Leitungstyps in oder auf der ersten Epitaxieschicht angeordnet werden und eine zweite Epitaxieschicht des ersten Leitungstyps auf der ersten Epitaxieschicht mit den Inselbereichen aufgewachsen wird.

### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidtschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

## Beschreibung

## HALBLEITER-ISOLATOR-STRUKTUR MIT REDUZIERTER FELDSTÄRKE AN DER OBERFLÄCHE UND VERFAHREN ZUR HERSTELLUNG DERSELBEN

5

Die Erfindung betrifft eine Halbleiter-Isolator-Struktur mit wenigstens einem Driftgebiet von einem ersten Leitungstyp, wenigstens einer Source-Elektrode zum Injizieren von Ladungsträgern in das Driftgebiet, wenigstens einer Drain-  
10 Elektrode zum Absaugen der Ladungsträger aus dem Driftgebiet, wenigstens einem Gate-Anschluß zum Steuern des Stromes der Ladungsträger zwischen wenigstens einer der Source- und der Drain-Elektroden sowie ein Verfahren zur Herstellung einer solchen Halbleiter-Isolator-Struktur.

15

Bauelemente der Schalt- und Leistungstechnik müssen sowohl eine geforderte Sperrspannung sicher blockieren als auch im eingeschalteten Zustand mit minimaler Verlustleistung arbeiten. Um diese Anforderungen zu erfüllen, werden die Geometrie des Bauelementes und die Dotierstoffkonzentrationen in den einzelnen Halbleitergebieten geeignet dimensioniert. Im Sperrfall darf dabei die elektrische Feldstärke an keiner Stelle des Bauelementes die breakdown- oder Durchbruchfeldstärke  $E_{BD}$  des verwendeten Halbleitermaterials überschreiten.  
20 Die höchsten Feldstärken treten an den sperrenden pn-Übergängen und an der nicht durch pn-Übergänge abgeschirmten Oberfläche des Bauelementes auf. Hier wird im Sperrfall maximal die Durchbruchfeldstärke des verwendeten Halbleitermaterials erreicht.

30

Für Bauelemente der Schalt- und Leistungstechnik wurde bisher fast ausschließlich Silicium als Halbleitermaterial eingesetzt. Ein weiterer Halbleiter ist SiC. Gegenüber Si als Halbleitermaterial bietet SiC die Vorteile einer sehr hohen Spannungsfestigkeit. Mit SiC wird es daher möglich,  
35 Bauelemente für sehr viel höhere Spannungen herzustellen als mit Si. Bauelemente mit SiC als Halbleitermaterial sind z.

B. in „Critical Materials, Device Design, Performance and Reliability Issues in 4H-SiC Power UMOSFET Structures“, Materials Research Society, Spring Meeting, 8. - 12. April 1996, San Francisco, von Agarwal et al. beschrieben.

5

Ein Nachteil von Bauelementen mit MIS-Struktur aus SiC gegenüber Bauelementen aus Si liegt jedoch darin, daß die maximale Einsatzspannung des Bauelements durch die Durchbruchfeldstärke in dem Isolator der MIS-Struktur bestimmt  
10 wird und diese - insbesondere bei SiO<sub>2</sub> als Isolator - sehr viel niedriger liegt als die Durchbruchspannung von SiC. Mit anderen Worten, man hat bei SiC das Problem, daß die Durchbruchfeldstärke des Halbleiters deutlich über der Durchbruchfeldstärke des Isolators SiO<sub>2</sub> liegt, so daß es zu einer  
15 Degradation des Isolators kommt, wenn man das Bauelement mit Feldstärken betreibt, die in der Nähe der Durchbruchfeldstärke des Halbleiters SiC liegen. Dagegen tritt bei Silicium-Bauelementen mit SiO<sub>2</sub> als Isolatorschicht aufgrund der niedrigen Durchbruchfeldstärke des Halbleiters Si gegen-  
20 über der höheren Durchbruchfeldstärke in SiO<sub>2</sub> das Problem der Degradation der elektrischen Eigenschaften des Isolators nicht auf, auch wenn die volle Durchbruchfeldstärke des Halbleiters genutzt wird.

25 Aufgabe der vorliegenden Erfindung ist es, ein Bauelement zu schaffen, bei dem die maximale Feldstärke in dem Halbleiter-substrat ausgenutzt werden kann, ohne daß es zu einer Degradation der elektrischen Eigenschaften einer Isolatorschicht kommt, sowie ein Verfahren zum Herstellen eines solchen  
30 Bauelements anzugeben.

Diese Aufgabe wird gelöst durch ein Bauelement mit den Merkmalen nach Anspruch 1 bzw. ein Verfahren nach Anspruch 8. Die Unteransprüche beziehen sich auf bevorzugte Ausführungs-  
35 formen der Erfindung.

Die erfindungsgemäße Lösung besteht darin, im Halbleiter-  
substrat einen Inselbereich eines zweiten Leitungstyps in  
einem Bereich von einem ersten Leitungstyp anzuordnen, so  
daß die Halbleiteroberfläche gegen das elektrische Feld  
5 weitgehend abgeschirmt ist. Der Inselbereich dient als  
Quelle ortsfester Ladungen, die als Gegenladungen zu den  
Ladungen vom ersten Typ in der Raumladungszone wirken.

Die erfindungsgemäße durch Feldeffekt gesteuerte vertikale  
10 Halbleiter-Isolator-Struktur mit wenigstens einem Drift-  
gebiet von einem ersten Leitungstyp, wenigstens einer  
Source-Elektrode zum Injizieren von Ladungsträgern in das  
Driftgebiet, wenigstens einer Drain-Elektrode zum Absaugen  
der Ladungsträger aus dem Driftgebiet, wenigstens einer  
15 Gate-Elektrode zum Steuern des Stromes der Ladungsträger  
zwischen wenigstens einer der Source- und der Drain-Elek-  
troden, ist dadurch gekennzeichnet, daß in dem Driftgebiet  
jeweils ein Inselbereich von einem zweiten Leitungstyp  
angeordnet ist.

20 In einer Ausführungsform der durch Feldeffekt gesteuerten  
vertikalen Halbleiter-Isolator-Struktur sind die Insel-  
bereiche so angeordnet, daß in vertikaler Richtung die Gate-  
Elektrode von der Drain-Elektrode abgeschirmt ist.

25 In einer weiteren Ausführungsform der durch Feldeffekt  
gesteuerten vertikalen Halbleiter-Isolator-Struktur sind die  
Inselbereiche so dimensioniert, daß sie in symmetrischer  
Position in bezug auf die Gate-Elektrode von der Drain-  
30 Elektrode aus gesehen die Wanne um das Zweifache des Betrags  
einer maximalen Justierungenauigkeit  $\delta$  überlappen.

Vorzugsweise weist die Wanne eine höhere Dotierstoffkonzentration an der Halbleiteroberfläche und eine niedrigere  
35 Dotierstoffkonzentration auf der der Halbleiteroberfläche  
gegenüberliegenden Seite auf.

Insbesondere kann die durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur ein UMOSFET oder VMOSFET sein, d. h. die Gate-Elektrode ist als Graben-Elektrode in dem Driftgebiet ausgeführt.

5

Die allgemeine durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur ist besonders geeignet für ein Halbleiterbauelement, bei dem das Driftgebiet aus SiC besteht.

10

Bei mehreren Zellen einer durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur auf einem Halbleitersubstrat werden die Inselbereiche mehrerer Zellen vorzugsweise so angeordnet, daß sie eine regelmäßige Struktur bilden.

15

Das erfindungsgemäße Verfahren zum Herstellen einer durch Feldeffekt gesteuerten vertikalen Halbleiter-Isolator-Struktur umfaßt die Schritte: Aufbringen einer Halbleiterschicht, die als Driftstrecke für Ladungsträger dient und die von einem ersten Leitungstyp ist, auf ein Halbleitersubstrat, Anordnen wenigstens eines Wannensbereichs in der Halbleiterschicht, Aufbringen einer Isolatorschicht auf der Oberfläche der Halbleiterschicht, Erzeugen einer von der Halbleiterschicht durch die Isolatorschicht getrennten Gate-Elektrode, einer mit der Halbleiterschicht verbundenen Source-Elektrode und einer Drain-Elektrode, und ist dadurch gekennzeichnet, daß das Aufbringen der Halbleiterschicht die Teilschritte umfaßt: Aufwachsen einer ersten Epitaxieschicht eines ersten Leitungstyps auf das Halbleitersubstrat, Anordnen von Inselbereichen eines zweiten Leitungstyps in oder auf der ersten Epitaxieschicht, Aufwachsen einer zweiten Epitaxieschicht des ersten Leitungstyps auf der ersten Epitaxieschicht mit den Inselbereichen.

30

Insbesondere werden bei dem erfindungsgemäßen Verfahren die Inselbereiche mehrerer Zellen in regelmäßigen Abständen voneinander auf der ersten Epitaxieschicht angeordnet.

35

In einer bevorzugten Ausführungsform werden nach dem Aufwachsen der ersten Epitaxieschicht zur späteren Justierung einer p-Wanne Justierstrukturen geätzt und anhand der  
5 eingeätzten Justiertstrukturen die Wannen für den MOSFET justiert.

Der Vorteil des erfindungsgemäßen Bauelements besteht darin, daß ein oberflächennaher, feldreduzierter Raum in dem Halb-  
10 leitersubstrat geschaffen wird, so daß die hohe Durchbruchfeldstärke von Siliciumcarbid auch bei Bauelementen mit MOS-Strukturen voll genutzt werden kann, ohne daß die Langzeitstabilität der Bauelemente durch zu hohe elektrische Feldstärken in den MOS-Strukturen beeinträchtigt wird. Außerdem  
15 läßt sich bei einem MOSFET aufgrund der Abschirmung des Feldes durch den Inselbereich die Dotierstoffkonzentration in der Wanne so einstellen, daß sich im Bereich des Inversionskanals eine homogene Dotierung ergibt. Mit der Erfindung ergibt sich somit die Möglichkeit, die Einsatzspannung  
20 des MOSFET durch geeignete Wahl der Dotierung im Bereich des Inversionskanals gezielt einzustellen.

Die erfindungsgemäße Anordnung unterschiedlich dotierter Halbleitergebiete reduziert das elektrische Feld im Halb-  
25 leiter an der Grenze zum Isolator deutlich, ohne die elektrischen Eigenschaften des Bauelements im Durchlaß nennenswert zu beeinträchtigen. Mit dem erfindungsgemäßen Bauelement kann somit die volle Durchbruchspannung des verwendeten Halbleitermaterials ausgenutzt werden.

30

Weitere Merkmale und Vorteile ergeben sich aus der folgenden Beschreibung von zeichnerisch dargestellten Ausführungsbeispielen der Erfindung.

35 Figur 1 zeigt einen MOS-FET als eine Ausführungsform der Erfindung.

Figur 2 zeigt einen MOS-FET nach dem Stand der Technik.

Figur 3 zeigt das Ergebnis einer Simulationsrechnung der elektrischen Feldstärke in dem Bauelement nach Figur 2.

5 Figur 4 zeigt das Ergebnis einer Simulationsrechnung der elektrischen Feldstärke in dem erfindungsgemäßen Bauelement nach Figur 1.

Figur 5 zeigt eine MOS-FET-Struktur als eine weitere Ausführungsform der Erfindung.

10 Figur 6 zeigt einen MOS-FET als eine weitere Ausführungsform der Erfindung.

Die Erfindung wird im folgenden anhand eines vertikalen Leistungs-MOSFET als Ausführungsbeispiel näher beschrieben und im Vergleich zum Stand der Technik dargestellt.

15

Ein vertikaler Leistungs-MOSFET nach dem Stand der Technik ist in seinem Aufbau in Figur 2 gezeigt. Dargestellt ist nur eine Zelle. Üblicherweise sind jedoch viele gleichartige Zellen auf einem Halbleitersubstrat angeordnet. Der vertikale Leistungs-MOSFET umfaßt ein Halbleitersubstrat 1, auf dem eine Epitaxieschicht 2 von einem ersten Leitungstyp, z.B. n-leitend, aufgewachsen ist. Die Epitaxieschicht oder Halbleiterschicht 2 dient als Driftstrecke für Ladungsträger. In dieser Epitaxieschicht 2 sind als Source-Anschluß und als Leitungskanal eine Wanne 4 von einem zweiten Leitungstyp, z. B. p-leitend, und innerhalb dieser ein erster und zweiter Implantationsbereich 5 bzw. 6 vorgesehen. Der erste Implantationsbereich 5 ist von demselben Leitungstyp wie die Wanne 4, ist aber stärker dotiert. Der zweite Implantationsbereich 6 ist vom dem zweiten Leitungstyp entgegengesetzten Leitungstyp.

20  
25  
30

Auf der Oberfläche dieser Struktur ist eine Isolatorschicht 7 aufgebracht. Sie trennt eine Gate-Elektrode 3 von den Implantationsbereichen 5 und 6 sowie von der Wanne 4 und der Epitaxieschicht 2 selbst. Außerdem trennt die Isolatorschicht 7 die Gate-Elektrode 3 auf der anderen Seite von

35



einer Metallisierung der gesamten Struktur, die als Source-Elektrode 8 dient. Die Source-Elektrode 8 ist in Fensterbereichen direkt mit den Implantationsbereichen 5 und 6 verbunden.

5

Die von der Source-Elektrode 8 injizierten Ladungsträger können je nach Vorspannung der Gate-Elektrode 3 von dem Implantationsbereich 6 durch einen Kanal in der Wanne 4 und die Epitaxieschicht 2 sowie das Halbleitersubstrat 1 zu einer Drain-Elektrode 9 abfließen, die sich auf der der Source-Elektrode 8 und der Gate-Elektrode 3 gegenüberliegenden Seite des Halbleiterbauelements befindet.

Der Nachteil dieses Aufbaus liegt darin, daß die elektrische Feldstärke direkt von der Drain-Elektrode 9 durchgreift und sich so an dem Übergang zwischen Epitaxieschicht 2 und Isolatorschicht 7 eine hohe Feldstärke ergibt, die zur Degradation des Isolators 7 führt.

Dies ist ein Problem, das sich erstmalig bei SiC-Bauelementen stellt. Da für Bauelemente der Schalt- und Leistungstechnik bisher fast ausschließlich der Halbleiter Silicium eingesetzt wurde, tritt aufgrund der niedrigen Durchbruchfeldstärke des Halbleiters dieses Problem der Degradation der elektrischen Eigenschaften von MIS-Strukturen auf Si-Basis mit Siliciumdioxid nicht auf, auch wenn die volle Durchbruchfeldstärke des Halbleiters genutzt wird.

Ein weiterer Nachteil der Struktur nach dem Stand der Technik, wie sie in Figur 2 gezeigt ist, besteht darin, daß bei höherer Dotierung der Wanne 4 in der Tiefe als an der Oberfläche das Implantationsprofil an der Maskenkante hochgezogen wird. Dadurch steigt die oberflächennahe Dotierung im Bereich des MOSFET-Kanals an und erhöht die Einsatzspannung des Halbleiterschalters.

Die erfindungsgemäße Struktur ist in Figur 1 dargestellt. Sie unterscheidet sich von der Struktur nach dem Stand der Technik (Figur 2) dadurch bzw. ist gekennzeichnet dadurch, daß ein Inselbereich 10 in der Epitaxieschicht 2 angeordnet  
5 ist. Im übrigen entsprechen die Elemente der erfindungsgemäßen Struktur in Figur 1 denen der Struktur nach dem Stand der Technik in Figur 2 und sind gleich bezeichnet.

Die erfindungsgemäß eingefügte Insel 10 in der Epitaxieschicht 2 dient als Quelle ortsfester Ladungen, die als  
10 Gegenladungen zu den Fremdatomen (d. h. Akzeptoren oder Donatoren) in der Raumladungszone in der Epitaxieschicht wirken und das elektrische Feld weitgehend von der Halbleiteroberfläche fernhalten. Wenn das Bauelement im Durchlaß  
15 betrieben wird, behindert die Insel 10 dagegen den Stromfluß nicht, da sie dann von Ladungsträgern überschwemmt wird.

Die beanspruchte Struktur gilt selbstverständlich für den Fall eines n-Kanal-MOSFET genauso wie für den entgegen-  
20 gesetzten Fall eines p-Kanal-MOSFET, wobei nur der jeweilige Leitungstyp der einzelnen Zonen des Bauelements „umgedreht“ werden muß. Wenn z. B. die Epitaxieschicht 2 vom n-Typ ist, wird die Insel 10 vom p-Typ sein und umgekehrt.

25 Vorzugsweise ist der Inselbereich 10 im Driftgebiet, also unter dem Gebiet, in dem die MOS-Struktur direkt an die Epitaxieschicht 2 grenzt, angeordnet.

Die elektrischen Eigenschaften des Halbleiterbauelements  
30 nach Figur 1 und nach Figur 2 werden im folgenden miteinander verglichen, wobei auf die graphische Darstellung von Simulationsrechnungen in Figur 3 und Figur 4 Bezug genommen wird, die mit einem Finite-Elemente-Programm erstellt wurden.

35

Die Simulation des Feldverlaufs in der Struktur nach dem Stand der Technik, wie sie in Figur 2 dargestellt ist, ist

in Figur 3 gezeigt. Die Berechnung der elektrischen Feldstärke wurde für Siliciumcarbid als Halbleitermaterial und eine angelegte Sperrspannung von 1000 V durchgeführt. Als Abmessungen des Bauelements und die Dotierstoffkonzentrationen wurde bei der Simulation eine Zelllänge von 13  $\mu\text{m}$  mit 5 10  $\mu\text{m}$  Wannenlänge angenommen. (Als eine Zelle wird hier die linke oder rechte Hälfte der Darstellung in Figur 1 oder 2 verstanden, die durch eine vertikale, gestrichelte Linie in Figur 1 und Figur 2 voneinander getrennt sind.) Die Wannen-10 tiefe betrug (einschließlich der Implantationsbereiche 5 und 6) 0,6  $\mu\text{m}$ , die Dotierung an der Oberfläche der Wanne 4 betrug  $6 \cdot 10^{16} \text{ cm}^{-3}$  bis maximal  $4 \cdot 10^{18} \text{ cm}^{-3}$ . Die Dicke der Epitaxieschicht 2 betrug 12  $\mu\text{m}$  bei einer Dotierung von  $8 \cdot 10^{15} \text{ cm}^{-3}$ .

15

Das Simulationsergebnis ist als dreidimensionale Grafik in Figur 3 dargestellt. Die x-Achse gibt die horizontale Ausdehnung in Figur 2 (d. h. von links nach rechts und umgekehrt) des Bauelements im Bereich zwischen 9  $\mu\text{m}$  und 14 20  $\mu\text{m}$  wieder, die y-Achse gibt die Ausdehnung des Bauelements senkrecht zur Zeichenebene in Figur 2 im Bereich zwischen 0 und 5  $\mu\text{m}$  wieder und die z-Achse gibt die Feldstärke E im Bereich zwischen 0 und 300  $\text{V}/\mu\text{m}$  an. Als MOS-Struktur wurde ein Aufbau zugrundegelegt, bei dem die Epitaxieschicht 2 n-dotiert und die Wanne p-dotiert ist. 25

Wie Figur 3 zu entnehmen ist, wird die Durchbruchfeldstärke von Siliciumcarbid, die typischerweise bei 200  $\text{V}/\mu\text{m}$  (2,0  $\text{MV}/\text{cm}$ ) liegt, zuerst an der Ecke der p-Wanne des MOSFET erreicht. Die elektrische Feldstärke an den anderen Abschnitten des pn-Übergangs und an der Halbleiteroberfläche liegt bei ca. 160  $\text{V}/\mu\text{m}$ . Im Oxid 7 der MOS-Struktur beträgt damit die elektrische Feldstärke 400  $\text{V}/\mu\text{m}$  und liegt damit deutlich über der Feldstärke von ca. 200  $\text{V}/\mu\text{m}$ , ab der die elektrischen Eigenschaften des Isolators 7 zu degradieren beginnen. 35

Dieses Verhalten der Feldstärke beruht darauf, daß in den an MIS-Strukturen (MIS: Metall-Isolator-Halbleiter) der Oberfläche, wie z.B. beim vertikalen Leistungs-MOSFET, die Normalkomponente der dielektrischen Verschiebung aus dem Halbleiter stetig in den Isolator der MIS-Struktur übergeht, d.h. die elektrischen Felder im Isolator ( $E_i$ ) und an der Halbleiteroberfläche ( $E_s$ ) über das Verhältnis der relativen Dielektrizitätskonstanten des Isolators ( $\epsilon_i$ ) und Halbleiters ( $\epsilon_s$ ) verknüpft sind durch:

10

$$E_i = \frac{\epsilon_s}{\epsilon_i} \cdot E_s$$

Die maximale elektrische Feldstärke im Isolator ( $E_{i,max}$ ) ist für Siliciumdioxid ( $\epsilon_i=3,9$ ), den gebräuchlichsten Isolator in MIS-Strukturen, auf den Halbleitermaterialien Silicium und Siliciumcarbid typischerweise:

Silicium  $E_{i,max} = 60 \text{ V}/\mu\text{m}$  ( $\epsilon_s=11,9$ ;  $E_{s,max} = E_{BD} = 20 \text{ V}/\mu\text{m}$  bei einer Dotierstoffkonzentration von  $10^{14} \text{ cm}^{-3}$ )

Silicium-  $E_{i,max} = 500 \text{ V}/\mu\text{m}$  ( $\epsilon_s=9,66$ ,  $E_{s,max} = E_{BD} = 200 \text{ V}/\mu\text{m}$   
carbid bei einer Dotierstoffkonzentration von  $10^{16} \text{ cm}^{-3}$ )

Als Feld an der Halbleiteroberfläche wird die Durchbruchfeldstärke ( $E_{BD}$ ) des jeweiligen Halbleitermaterials eingesetzt, die eine Funktion der Grunddotierung des Halbleiters ist. Die angegebenen Durchbruchfeldstärken gelten für Silicium bei einer Dotierstoffkonzentration von  $10^{14} \text{ cm}^{-3}$ , für Siliciumcarbid bei einer Dotierstoffkonzentration von  $10^{16} \text{ cm}^{-3}$ .

Für Silicium liegt die maximale elektrische Feldstärke im Oxid der MIS-Struktur ( $E_{i,max} = 60 \text{ V}/\mu\text{m}$ ) weit unter der Grenzfeldstärke für Siliciumdioxid, ab der die Langzeitstabilität des Isolators beeinträchtigt wird. Für Siliciumcarbid dagegen wird die Grenzfeldstärke von typischerweise

30

200 - 300 V/ $\mu\text{m}$  im Oxid deutlich überschritten. Die elektrischen Eigenschaften des Isolators degradieren dann im Sperrfall durch die Injektion von Ladungsträgern aus dem Siliciumcarbid in das Oxid. Limitierende Größe bei der Dimensionierung von Bauelementen mit MIS-Strukturen wird damit die maximal zulässige elektrische Feldstärke im Oxid. Das Potential von Siliciumcarbid hinsichtlich der maximal möglichen Sperrspannung kann nur sehr eingeschränkt ausgeschöpft werden.

10

In Figur 4 ist der Verlauf der elektrischen Feldstärke in der erfindungsgemäßen Anordnung bei einer Sperrspannung von 1000 V analog zu Figur 3 dreidimensional dargestellt. Um einen direkten Vergleich zum Stand der Technik zu haben, wurden die Abmessungen des Bauelements und die zugehörigen Dotierstoffkonzentrationen identisch zu denen bei der Simulationsrechnung nach Figur 3 gewählt. Für den Inselbereich 10 wurde als Ausdehnung in die Tiefe (vertikal) 0,6  $\mu\text{m}$  und ein Abstand von der Wanne 4 von 3  $\mu\text{m}$  angenommen. Die horizontale Ausdehnung des Inselbereichs 10 wurde so gewählt, daß in der Projektion auf eine gedachte horizontale Linie ein Überlapp mit der Wanne 4 besteht und die Wanne 4 und der Inselbereich 10 nicht schlüssig miteinander abschließen. Als Dotierstoffkonzentration in dem Inselbereich 10 wurde  $2 \cdot 10^{17} \text{ cm}^{-3}$  gewählt.

Wie man in Figur 4 sieht, kommt es mit dem erfindungsgemäßen Inselbereich 10 in der Epitaxieschicht 2 zu einer Verringerung des elektrischen Feldes an der Halbleiteroberfläche unter der MOS-Struktur; hier reduziert sich die elektrische Feldstärke drastisch: von 160 V/ $\mu\text{m}$  auf 65 V/ $\mu\text{m}$ . Zusätzlich entsteht oberhalb der gesamten Insel 10 ein Raum, in dem das elektrische Feld deutlich verringert ist, und die Feldspitze an der Ecke der Wanne 4 des MOSFET wird abgebaut, d.h. die Durchbruchfestigkeit des Bauelementes wird damit insgesamt erhöht.

Damit schafft die Erfindung einen oberflächennahen Raum, in dem das Feld reduziert ist. Damit kann insbesondere die hohe Durchbruchfeldstärke von Siliciumcarbid auch bei Bauelementen mit MOS-Strukturen voll genutzt werden, ohne daß die  
5 Langzeitstabilität der Bauelemente durch zu hohe elektrische Feldstärken in den MOS-Strukturen beeinträchtigt wird.

Die Erfinder haben festgestellt, daß zwischen den Kanten der vergrabenen Insel 10 und der Wanne 4 des MOSFET in x-Richtung in Figur 4 keine Lücke vorhanden sein darf, da das Feld an der Halbleiteroberfläche dann sehr rasch wieder anwächst. Der Überlapp zwischen der Wanne 4 und dem Inselbereich 10 sollte also bei einem gegebenen Justierfehler von  $\pm\delta$  mindestens  $\delta$  sein. Bei maximaler Fehljustierung liegen dann die  
10 Kanten des vergrabenen Inselbereichs 10 und der Wanne 4 des MOSFET auf einer Seite exakt übereinander, auf der anderen Seite überlappen sie um  $2\delta$ .

Die Daten für unterschiedlichen Überlapp bei der Zelle, die der Simulation in Figur 4 zugrunde liegt, sind in Tabelle 1 in Bezug auf Leitwert und elektrische Feldstärke an der Halbleiteroberfläche bei unterschiedlichen Überlappungen des Inselbereichs 10 und der Wanne 4 zusammengestellt und mit einem MOSFET nach dem Stand der Technik (ohne Inselbereich  
20 10) verglichen.  
25

In der Tabelle 1 bedeuten Werte für den Überlapp, die kleiner als 0 sind, daß zwischen den Kanten des Inselbereichs 10 und der Wanne 4 des MOSFET eine Lücke besteht.

Überlapp ( $\mu\text{m}$ )	Leitwert ( $10^{-5} \mu\text{m}/\Omega$ )	relativer Leitwert	max. elektrische s Feld an HL-Oberfl. ( $\text{V}/\mu\text{m}$ )	relatives Feld
ohne Insel	1,83	100%	160	100%
4,0	1,09	59%		
3,0	1,18	64%	47	29%
2,0	1,27	69%	49	31%
1,0	1,38	73%	54	34%
0,0	1,48	81%	65	41%
-1,0	1,61	88%	83	52%
-2,0	1,70	93%	105	66%

Tabelle 1

5 Der Einbau des ideal justierten Inselbereichs 10 mit einem  
Überlapp von  $\delta = 2 \mu\text{m}$  reduziert nach Tabelle 1 den Leitwert  
des berechneten vertikalen MOSFET um 31% gegenüber dem  
Leitwert des MOSFET ohne Inselbereich 10 (erste Zeile in der  
Tabelle). Ist der Inselbereich 10 um  $\delta$  fehljustiert, wird  
10 die Stromverteilung asymmetrisch: auf einer Seite verringert  
sich der Leitwert um 41% gegenüber dem Leitwert des MOSFET  
ohne Inselbereich 10, auf der anderen Seite um 19%, im  
Mittel also ebenfalls 31% gegenüber dem Leitwert des MOSFET  
ohne Inselbereich 10. Die Sperrfähigkeit aber bleibt auf  
15 beiden Seiten erhalten. Die bei maximaler Fehljustierung  
auftretende Feldstärke im Gate-Oxid beträgt in diesem  
Beispiel  $160 \text{ V}/\mu\text{m}$ . Im Gegensatz zu der Anordnung nach dem  
Stand der Technik ohne Inselbereich ist dieser MOSFET bis zu  
einer Sperrspannung von  $1000 \text{ V}$  einsetzbar, ohne daß das  
20 Gate-Oxid 7 degradiert. Damit ermöglicht die erfindungs-  
gemäße Insel 10 in MOS-Bauelementen die volle Ausschöpfung  
der Durchbruchfeldstärke des verwendeten Halbleiter-  
materials.

Neben der Anordnung des Inselbereichs 10 und der Wanne 4 in horizontaler Richtung ist die Ausrichtung in vertikaler Richtung maßgeblich für die Eigenschaften des Bauelements. Die vertikale Anordnung des vergrabenen Inselbereichs 10 wird vorzugsweise gemäß den Erfordernissen für den Durchlaßfall dimensioniert. Der vertikale Abstand zwischen dem vergrabenen Inselbereich 10 und der Wanne 4 des MOSFET muß groß genug sein, um eine nennenswerte Behinderung des Stromflusses durch den JFET-Effekt im Kanal zwischen Wanne 4 und Inselbereich 10 zu vermeiden. Bei der in Figur 1 dargestellten Ausführungsform mit den oben genannten Daten, die der Berechnung zu Figur 4 zugrunde liegen, ist dies für einen Abstand von 3  $\mu\text{m}$  gewährleistet. Aus demselben Grund darf der für den Sperrfall wichtige Überlapp der beiden Gebiete in lateraler Richtung nicht zu groß werden.

Neben der oben beschriebenen Anwendung der vergrabenen Insel 10 beim vertikalen Leistungs-MOSFET kann diese Struktur in all den Fällen eingesetzt werden, in denen Teile eines Bauelementes vor hohen elektrischen Feldstärken geschützt werden sollen bzw. Halbleitergebiete mit verminderter elektrischer Feldstärke erforderlich sind. Ein Beispiel für eine weitere Anwendung der Erfindung ist der in Figur 5 gezeigte U-MOSFET, bei dem ebenfalls die maximale Feldstärke im Isolator 7 der MIS-Struktur am Boden und an den Kanten der U-Gräben überschritten wird.

Der U-MOSFET in Figur 5 umfaßt wie der in Figur 1 gezeigte erfindungsgemäße vertikale MOSFET auf einem Halbleitersubstrat 1 eine erste Epitaxieschicht 2 von einem ersten Leitungstyp. Auf dieser ist eine zweite Epitaxieschicht 12 von einem zweiten Leitungstyp und darauf wiederum eine dritte Schicht 11 von dem ersten Leitungstyp angeordnet. Die dritte Schicht 11 kann ebenfalls als Epitaxieschicht auf der zweiten Epitaxieschicht 12 abgeschieden werden oder durch Implantation in der zweiten Epitaxieschicht 12 hergestellt werden. Auf der Schicht 11 ist der Source-Kontakt 8 an-



geordnet. Das Gate 3, das durch eine Isolatorschicht 7 von der ersten Epitaxieschicht 2 und den Schichten 11 und 12 getrennt ist, ist in die Schichten 11 und 12 geätzt. Im übrigen sind gleiche Elemente wie in Figur 1 oder 2 mit denselben Bezugszeichen versehen.

Erfindungsgemäß wird bei einem U-MOSFET in der ersten Epitaxieschicht 2 eine Insel 10 angeordnet. Obgleich mehrere Inseln 10 angeordnet werden können in der Epitaxieschicht 2, ist nur eine davon in Figur 5 dargestellt. Durch die Inselbereiche 10 wird erreicht, daß das Feld zwischen Gate 3 und Drain 9 nicht den Isolator 7 belastet und diesen altern läßt, sondern der Isolator 7 abgeschirmt und weniger belastet wird.

Die genaue Form der Gate-Elektrode 3 ist für die Erfindung nicht wesentlich. Sie kann daher auch statt auf einen UMSOFET auch auf einen VMOSFET etc. angewendet werden.

Zusätzlich kann mit dem eingebauten Inselbereich 10, der im Sperrfall einen Teil der Abschirmung übernimmt, die Dotierung im Kanalbereich des MOSFET auf Einsatzspannung optimiert werden. Eine Ausführungsform mit einer Anordnung zur Optimierung der Dotierung ist in Figur 6 gezeigt.

Der Aufbau der Ausführungsform in Figur 6 entspricht im wesentlichen dem der Ausführungsform nach Figur 1. Zusätzlich zu der Ausführungsform nach Figur 1 weist bei der Ausführungsform nach Figur 6 die Wanne 4 einen Abschnitt 13 auf, der sich durch seine Dotierung vom Rest der Wanne 4 unterscheidet. Die maximale Dotierstoffkonzentration in der Tiefe der Wanne 4 wird in diesem Abschnitt 13 verringert. Als Folge wird die über die Implantationsmaske an die Halbleiteroberfläche hochgezogene Dotierstoffkonzentration verringert und die Einsatzspannung des MOSFET zu kleineren Spannungen verschoben. Die Dotierung kann soweit verringert werden, daß sich im Bereich des (nicht dargestellten) Inver-

sionskanals, d. h. innerhalb der Wanne 4 zwischen dem Implantationsbereich 6 und der Epitaxieschicht 2 im wesentlichen parallel zur Oberfläche des Halbleiters verlaufend, eine homogene Dotierung ergibt. Der Wert dieser Dotierung richtet sich nach der gewünschten Einsatzspannung. Die Verfahren, mit denen der Abschnitt 13 selbstjustierend hergestellt werden kann, sind auf dem Gebiet der Halbleiterbauelemente allgemein bekannt und werden hier nicht weiter erläutert.

10

Bei allen hier beschriebenen Ausführungsformen gibt es für die Konzentration des Dotierstoffes in der Insel 10 einen optimalen Bereich. Bei zu hohen Konzentrationen wird die Sperrspannung des Bauelementes verringert, weil an der Ecke der Insel 10 die Durchbruchfeldstärke überschritten wird. Bei zu geringen Konzentrationen greift das elektrische Feld durch die Insel 10 hindurch an die Halbleiteroberfläche.

15

Ferner können bei allen Ausführungsformen neben einer einzelnen Insel 10 mehrere Inselbereiche 10 so angeordnet werden, daß sie zusammen ein "großmaschiges" Gitter bilden. Damit entfällt der hochgenaue Justierprozeß der Wanne 4 des MOSFET zur vergrabenen Insel 10.

20

Die Herstellung des beschriebenen Inselbereichs 10 kann die folgenden Schritte umfassen:

25

Auf das n-Typ Siliciumcarbid-Substrat 1 wird eine Epitaxieschicht 2 gleichen Leitungstyps aufgewachsen.

30

In diese Epitaxieschicht 2 werden die p-Inselbereiche 10 implantiert.

Zur späteren Justierung der p-Wanne 4 können geeignete (nicht dargestellte) Justierstrukturen geätzt werden.

35

Anschließend werden diese Strukturen mit einer weiteren n-Epitaxieschicht (die Fortsetzung der Epitaxieschicht 2) gewünschter Dicke überwachsen.

- 5 Anhand der zu Beginn eingeätzten Justierstrukturen werden jetzt die p-Wannen für den MOSFET justiert, so daß die gewünschte Überlappung von Wanne 4 und Insel 10 erreicht wird.
- 10 Alle weiteren Prozeßschritte sind die gleichen wie bei dem Stand der Technik.

- Mit dessen Herstellungsschritten kann erfindungsgemäß ein MOSFET-Bauelement hergestellt werden, dessen Durchbruch-
- 15 festigkeit sehr hoch ist und bei dem insbesondere die Isolatorschicht keiner hohen Dauerbelastung ausgesetzt ist und die damit eine höhere mittlere Lebensdauer hat.

## Patentansprüche

1. Durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur mit wenigstens einem Driftgebiet (2) von  
5 einem ersten Leitungstyp,  
wenigstens einer Source-Elektrode (8) zum Injizieren von  
Ladungsträgern in das Driftgebiet (2),  
wenigstens einer Drain-Elektrode (9) zum Absaugen der  
Ladungsträger aus dem Driftgebiet (2),  
10 wenigstens einer Gate-Elektrode (8) zum Steuern des Stromes  
der Ladungsträger zwischen wenigstens einer der Source- (8)  
und der Drain-Elektroden (9),  
d a d u r c h g e k e n n z e i c h n e t , daß in dem  
Driftgebiet (2) jeweils ein Inselbereich (10) von einem  
15 zweiten Leitungstyp angeordnet ist.
2. Durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur nach Anspruch 1, d a d u r c h g e -  
k e n n z e i c h n e t, daß die Inselbereiche (10) so an-  
20 geordnet sind, daß in vertikaler Richtung die Gate-Elektrode  
(8) von der Drain-Elektrode (9) abgeschirmt ist.
3. Durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur nach Anspruch 2, d a d u r c h g e -  
25 k e n n z e i c h n e t, daß die Inselbereiche (10) so  
dimensioniert sind, daß sie in symmetrischer Position in  
bezug auf die Gate-Elektrode (3) von der Drain-Elektrode (9)  
aus gesehen die Wanne (4) um das Zweifache des Betrags einer  
maximalen Justierungenauigkeit ( $\delta$ ) überlappen.  
30
4. Durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur nach einem der vorangehenden Ansprüche, d a -  
d u r c h g e k e n n z e i c h n e t, daß die Wanne (4)  
eine höhere Dotierstoffkonzentration an der Halbleiterober-  
35 fläche und eine niedrigere Dotierstoffkonzentration auf der  
der Halbleiteroberfläche gegenüberliegenden Seite aufweist.

5. Durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur nach einem der vorangehenden Ansprüche, d a -  
d u r c h g e k e n n z e i c h n e t, daß die Gate-  
Elektrode (3) als Graben-Elektrode in dem Driftgebiet (2)  
5 ausgeführt ist.

6. Durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur nach einem der vorangehenden Ansprüche, d a -  
d u r c h g e k e n n z e i c h n e t, daß das Drift-  
10 gebiet (2) aus SiC besteht.

7. Durch Feldeffekt gesteuerte vertikale Halbleiter-Isolator-Struktur nach Anspruch 1, d a d u r c h g e -  
k e n n z e i c h n e t, daß die Inselbereiche (10) meh-  
15 rerer Zellen so angeordnet sind, daß sie eine regelmäßige  
Struktur bilden.

8. Verfahren zum Herstellen einer durch Feldeffekt gesteuerten vertikalen Halbleiter-Isolator-Struktur, das die Schrit-  
20 te umfaßt:

Aufbringen einer Halbleiterschicht (2), die als Driftstrecke für Ladungsträger dient und die von einem ersten Leitungstyp ist, auf ein Halbleitersubstrat (1),

25 Anordnen wenigstens eines Wannengebiete (4) in der Halbleiterschicht (2)

Aufbringen einer Isolatorschicht (7) auf der Oberfläche der Halbleiterschicht (2),

30 Erzeugen einer von der Halbleiterschicht (2) durch die Isolatorschicht (7) getrennten Gate-Elektrode (3), einer mit der Halbleiterschicht verbundenen Source-Elektrode (8) und einer Drain-Elektrode (9),

d a d u r c h g e k e n n z e i c h n e t, daß das Aufbringen der Halbleiterschicht (2) umfaßt:

35 Aufwachsen einer ersten Epitaxieschicht eines ersten Leitungstyps auf das Halbleitersubstrat (1),

Anordnen von Inselbereichen (10) eines zweiten Leitungstyps in oder auf der ersten Epitaxieschicht,

Aufwachsen einer zweiten Epitaxieschicht des ersten Leitungstyps auf der ersten Epitaxieschicht mit den Inselbereichen.

- 5 9. Verfahren nach Anspruch 8, d a d u r c h g e k e n n -  
z e i c h n e t, daß die Inselbereiche mehrerer Zellen in  
regelmäßigen Abständen voneinander auf der ersten Epitaxie-  
schicht angeordnet werden.
- 10 10. Verfahren nach Anspruch 8 oder 9, d a d u r c h  
g e k e n n z e i c h n e t, daß nach dem Aufwachsen der  
ersten Epitaxieschicht Justierstrukturen geätzt werden, die  
als Justierhilfen für die Anordnung der Wanne (4) dienen.

FIG 1

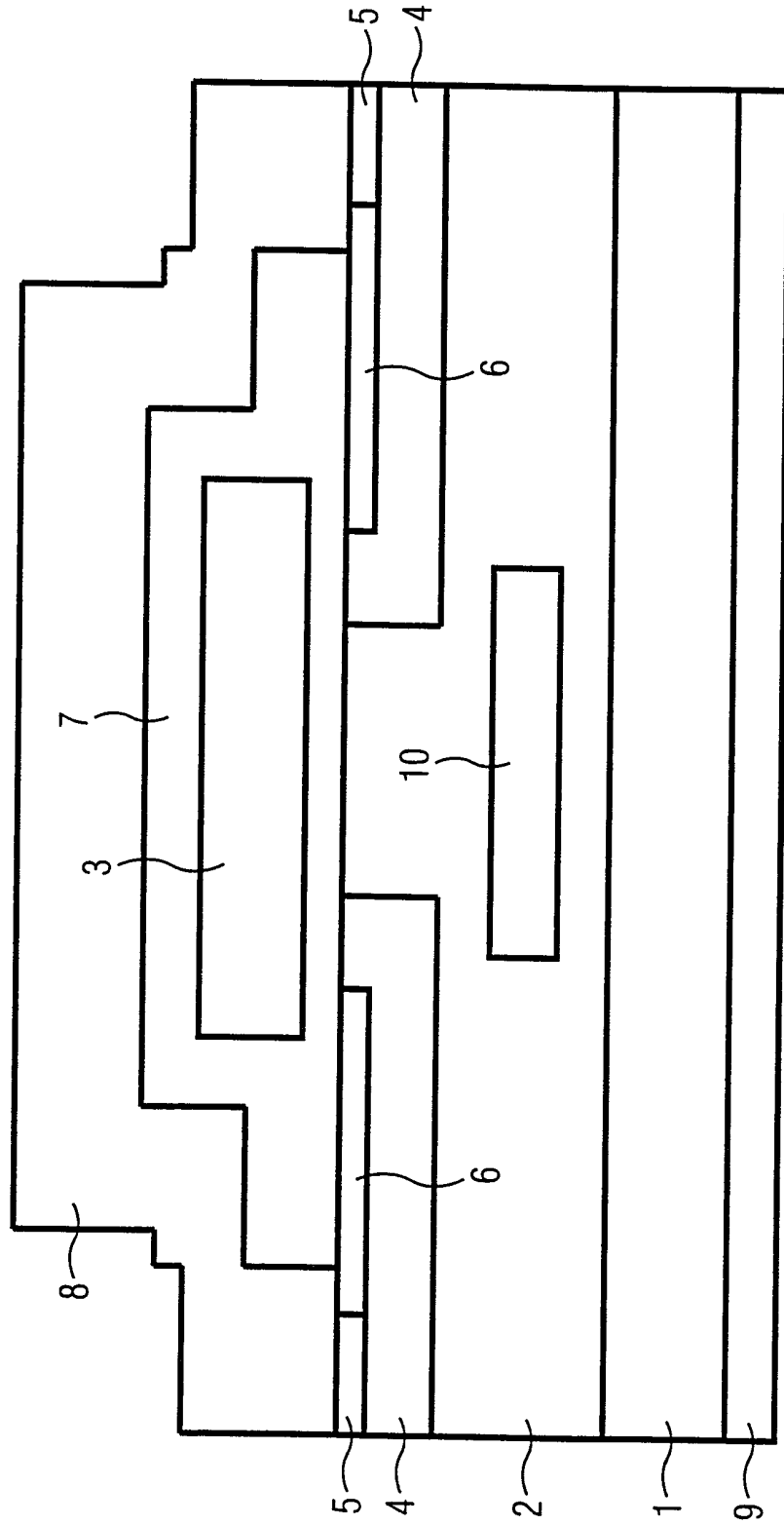


FIG 2

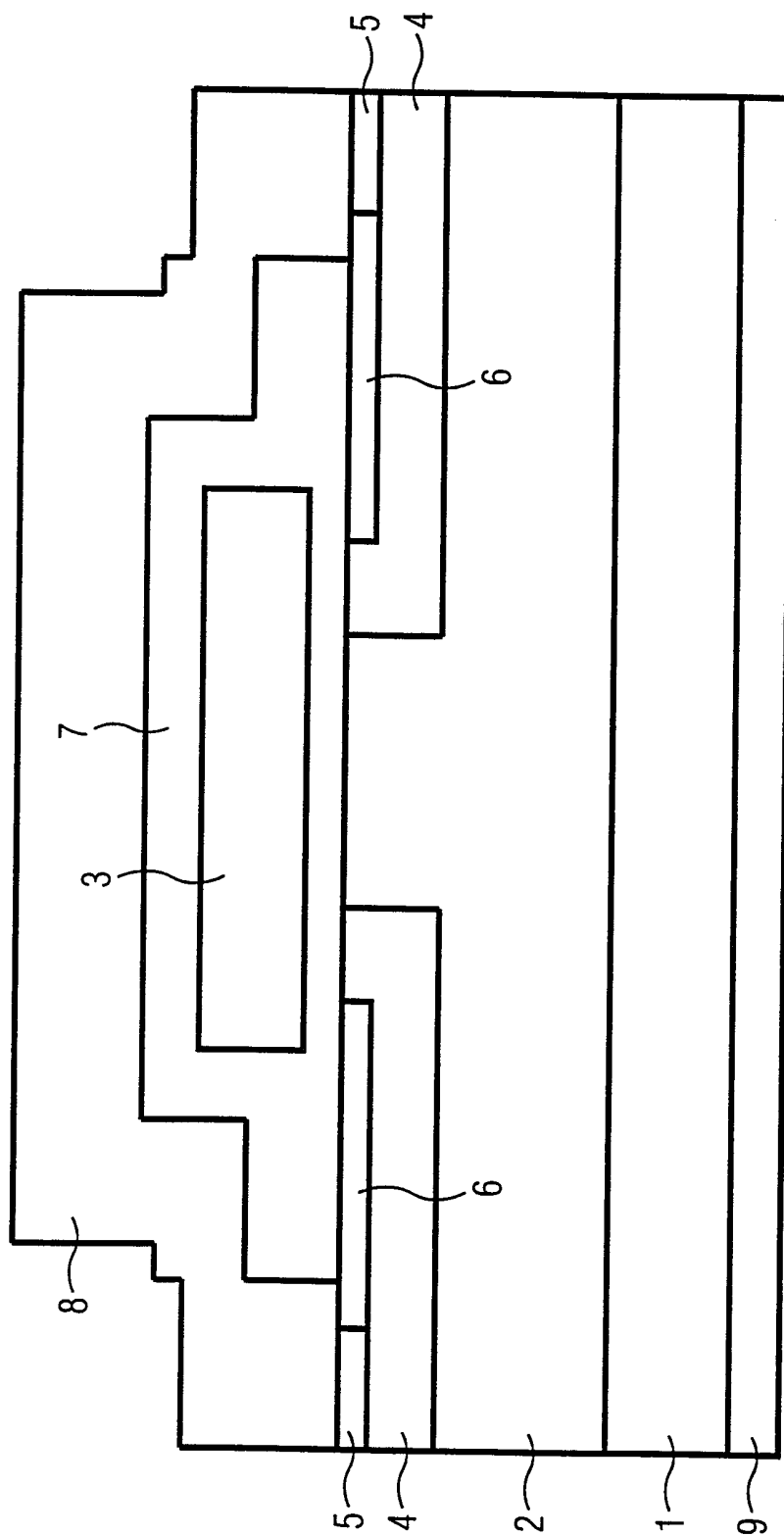




FIG 3

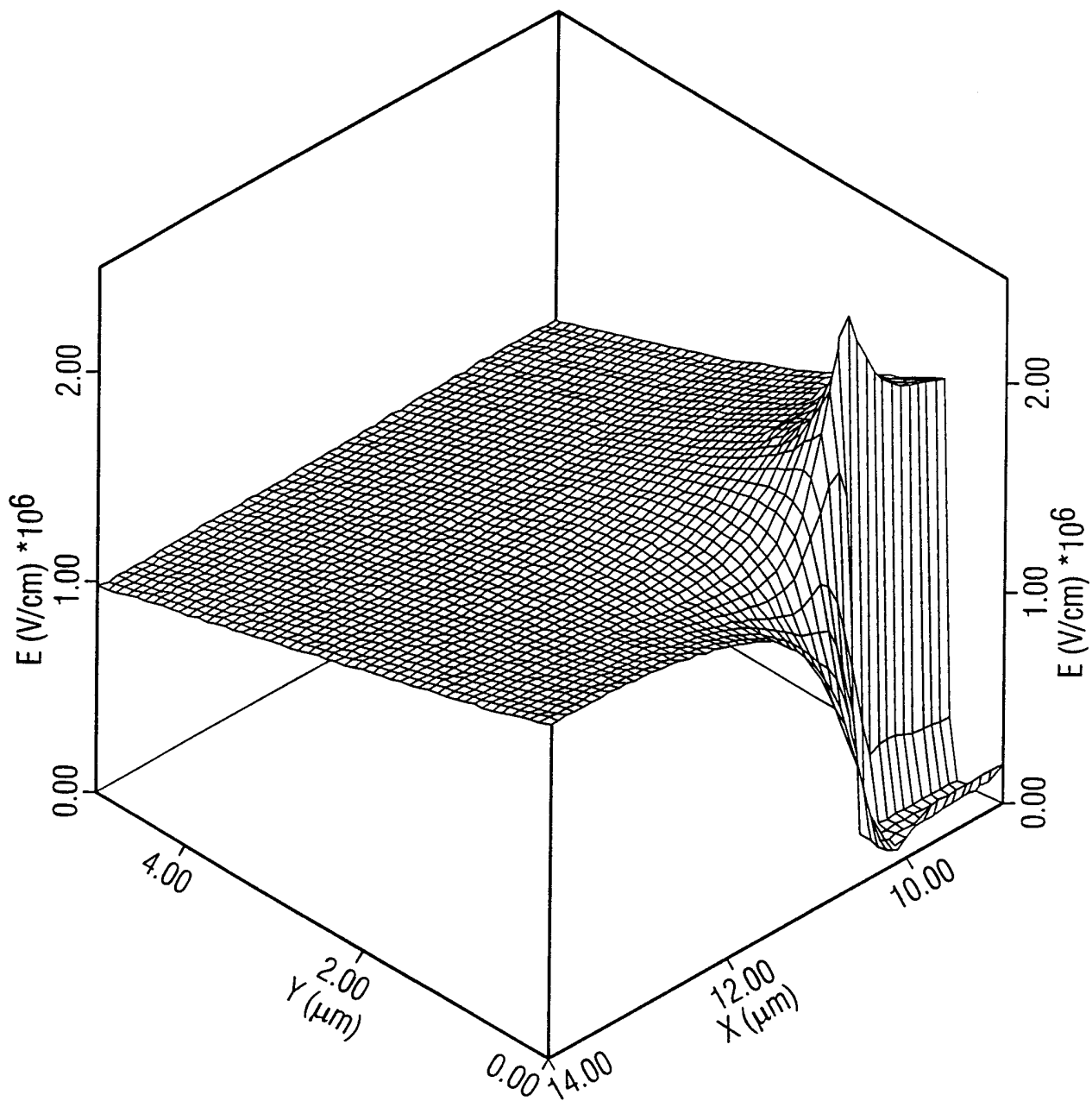


FIG 4

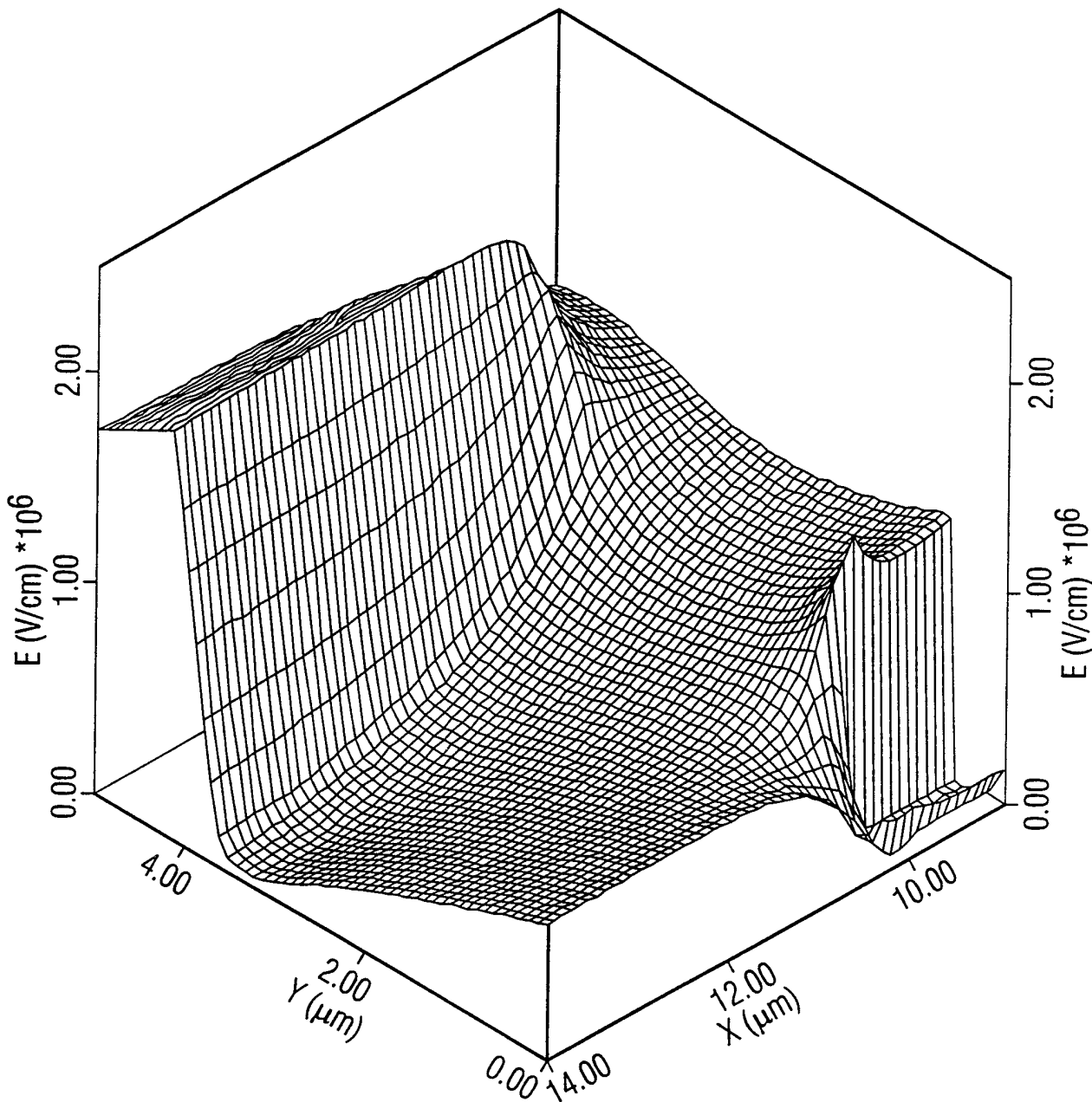


FIG 5

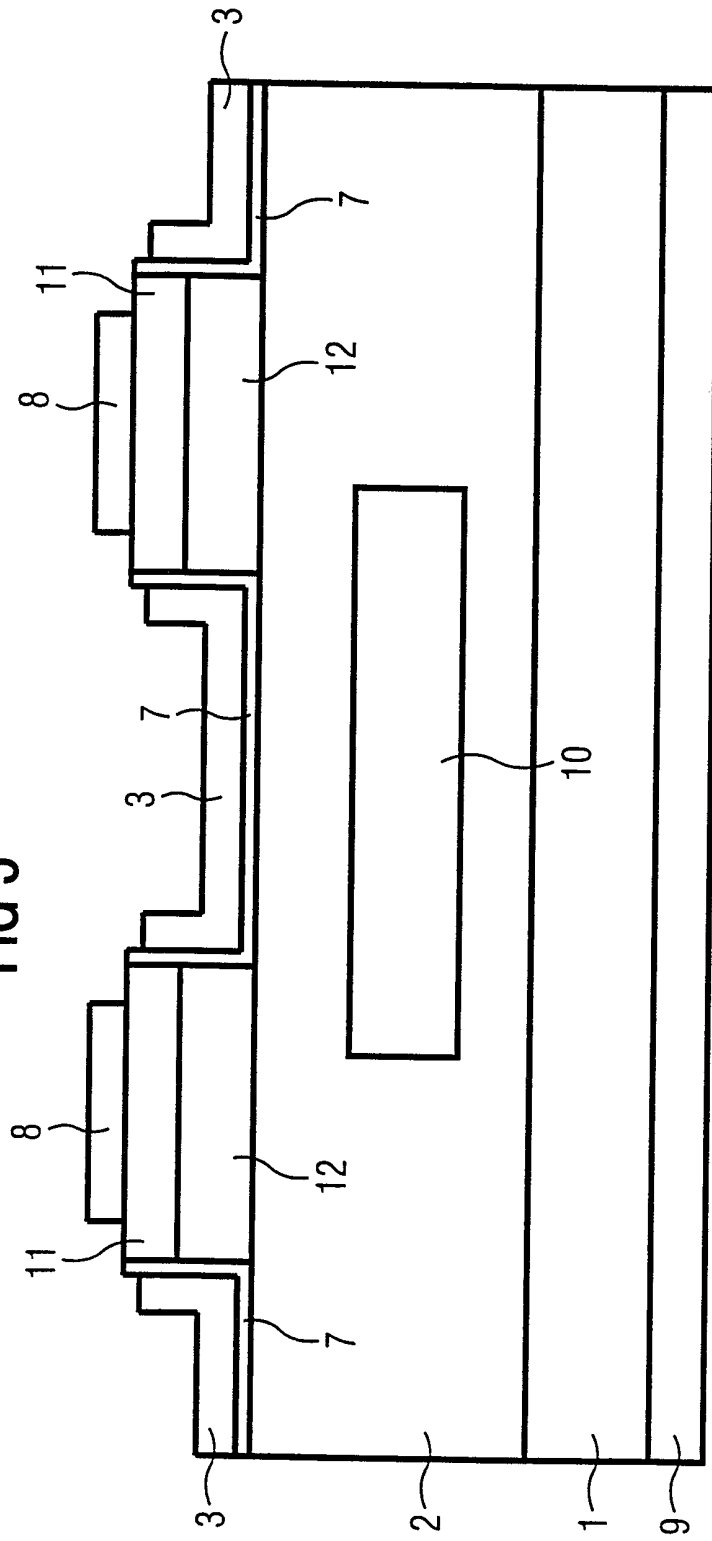
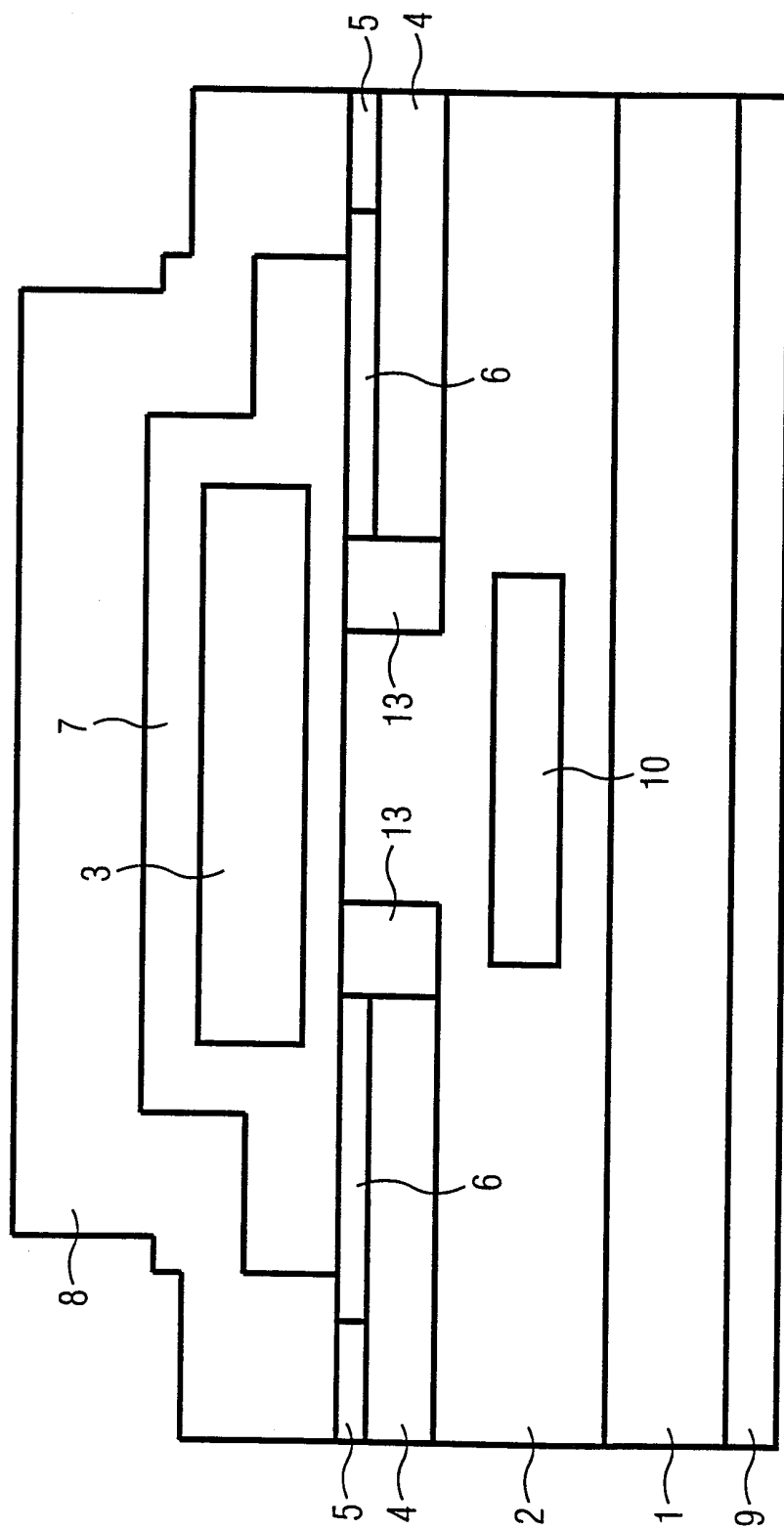


FIG 6



# INTERNATIONAL SEARCH REPORT

Int. .tional Application No

PCT/DE 99/00118

**A. CLASSIFICATION OF SUBJECT MATTER**

IPC 6 H01L29/78 H01L29/739 H01L21/331 H01L29/10

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 196 29 088 A (FUJI ELECTRIC CO LTD) 23 January 1997 see column 6, line 32 - line 42; figures 3,5 ---	1,2,5,6, 8
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 465 (E-690), 7 December 1988 & JP 63 186475 A (NISSAN MOTOR CO LTD), 2 August 1988 see abstract; figures 4,5 ---	1
X	DE 43 09 764 A (SIEMENS AG) 29 September 1994 see the whole document ---	1,2,7
X	US 4 821 095 A (TEMPLE VICTOR A K) 11 April 1989 see abstract; figures ---	8,9
-/--		

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

15 June 1999

Date of mailing of the international search report

23/06/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Mimoun, B

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/00118

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 795 911 A (MITSUBISHI ELECTRIC CORP) 17 September 1997 see column 32; figures 40-43 -----	1-5

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/00118

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 19629088 A	23-01-1997	JP 9036359 A US 5895939 A	07-02-1997 20-04-1999
DE 4309764 A	29-09-1994	JP 7007154 A US 5438215 A	10-01-1995 01-08-1995
US 4821095 A	11-04-1989	NONE	
EP 0795911 A	17-09-1997	JP 8316479 A	29-11-1996

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/00118

**A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
 IPK 6 H01L29/78 H01L29/739 H01L21/331 H01L29/10

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 196 29 088 A (FUJI ELECTRIC CO LTD) 23. Januar 1997 siehe Spalte 6, Zeile 32 - Zeile 42; Abbildungen 3,5 ---	1,2,5,6, 8
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 465 (E-690), 7. Dezember 1988 & JP 63 186475 A (NISSAN MOTOR CO LTD), 2. August 1988 siehe Zusammenfassung; Abbildungen 4,5 ---	1
X	DE 43 09 764 A (SIEMENS AG) 29. September 1994 siehe das ganze Dokument ---	1,2,7
	-/--	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- \* Besondere Kategorien von angegebenen Veröffentlichungen :
- "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
  - "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
  - "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
  - "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
  - "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
  - "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
  - "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
  - "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
  - "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts
15. Juni 1999	23/06/1999
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter  Mimoun, B



# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/00118

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie <sup>2</sup>	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 821 095 A (TEMPLE VICTOR A K) 11. April 1989 siehe Zusammenfassung; Abbildungen ---	8,9
X	EP 0 795 911 A (MITSUBISHI ELECTRIC CORP) 17. September 1997 siehe Spalte 32; Abbildungen 40-43 -----	1-5

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/00118

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 19629088 A	23-01-1997	JP 9036359 A US 5895939 A	07-02-1997 20-04-1999
DE 4309764 A	29-09-1994	JP 7007154 A US 5438215 A	10-01-1995 01-08-1995
US 4821095 A	11-04-1989	KEINE	
EP 0795911 A	17-09-1997	JP 8316479 A	29-11-1996