(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月30日(30.08.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/155257 A1

(51) 国際特許分類:
H01G 4/33 (2006.01)

(21) 国際出願番号： PCT/JP2018/004905

(22) 国際出願日： 2018年2月13日(13.02.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-030027 2017年2月21日(21.02.2017) JP

(71) 出願人: ＴＤＫ株式会社(**TDK CORPORATION**) [JP/JP]; 〒1080023 東京都港区芝浦三丁目９番１号 Tokyo (JP).

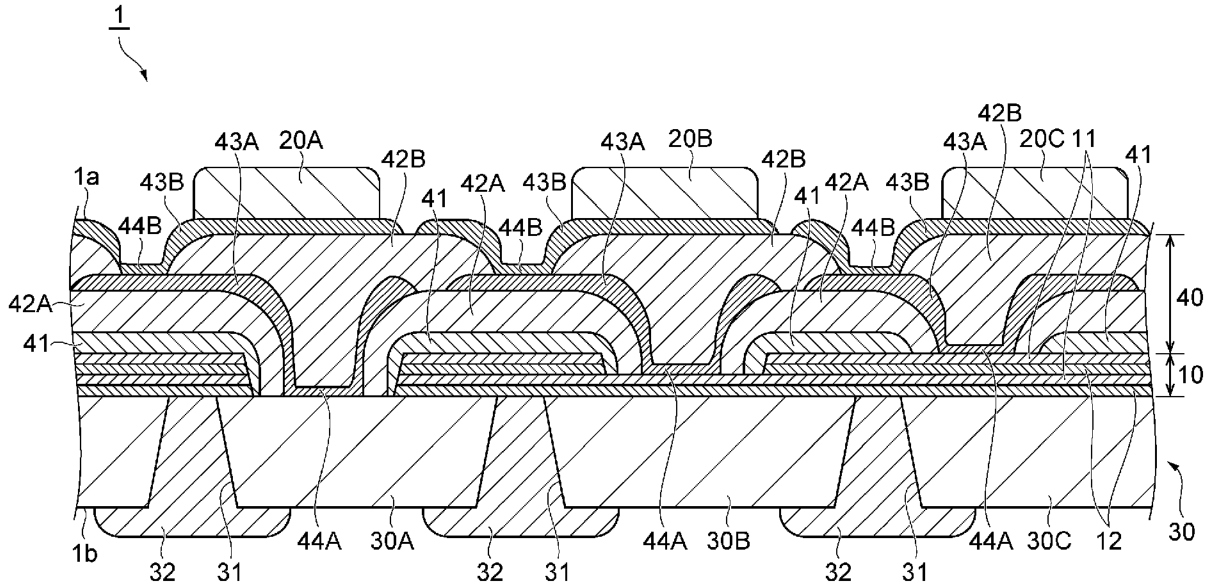
(72) 発明者: 角田 晃一 (**TSUNODA Koichi**); 〒1080023 東京都港区芝浦三丁目９番１号 ＴＤＫ株式会社内 Tokyo (JP). 冨川 満広 (**TOMIKAWA Mitsuhiro**); 〒1080023 東京都港区芝浦三丁目９番１号 ＴＤＫ株式会社内 Tokyo (JP). 吉川 和弘 (**YOSHIKAWA Kazuhiro**); 〒1080023 東京都港区芝浦三丁目９番１号 ＴＤＫ株式会社内 Tokyo (JP). 吉田 健一(**YOSHIDA Kenichi**); 〒1080023 東京都港区芝浦三丁目９番１号 ＴＤＫ株式会社内 Tokyo (JP).

(74) 代理人: 長谷川 芳樹, 外(**HASEGAWA Yoshiki et al.**); 〒1000005 東京都千代田区丸の内二丁目１番１号丸の内 ＭＹ ＰＬＡＺＡ（明治安田生命ビル） ９階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,

(54) Title: THIN-FILM CAPACITOR

(54) 発明の名称： 薄膜キャパシタ



(57) Abstract: In a thin-film capacitor 1, an electrode terminal layer 30 and electrode layers 11 of a capacitance part 10 are connected to each of electrode terminals 20A-20C by via conductors (i.e., a first wiring part 43A and a second wiring part 43B) provided in an insulating layer 40 along the thickness direction. The via conductors 43A, 43B allow for shortened circuit wiring along the thickness direction. In the thin-film capacitor 1, multiple terminals are provided by the plurality of electrode terminals 20A-20C, while the circuit wiring is shortened, thereby making it possible to provide a thin-film capacitor with low ESL.

WO 2018/155257 A1

［続葉有］

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

(57) 要約：薄膜キャパシタ１においては、電極端子層３０および容量部１０の電極層１１が、絶縁層４０に厚さ方向に沿って貫設されたビア導体（すなわち、第１配線部４３Ａおよび第２配線部４３Ｂ）によって電極端子２０Ａ～２０Ｃそれぞれに接続されており、ビア導体４３Ａ、４３Ｂにより厚さ方向に沿う短い回路配線が実現されている。薄膜キャパシタ１では、複数の電極端子２０Ａ～２０Ｃでの多端子化を図りつつ、回路配線の短縮が図られており、それにより、低ＥＳＬ化が図られた薄膜キャパシタが得られる。

明　細　書

発明の名称 ： 薄膜キャパシタ

技術分野

[0001]　本開示は、薄膜キャパシタに関する。

背景技術

[0002]　たとえば下記引用文献１には、内部にチップコンデンサを有し、かつ、該チップコンデンサから引き出された電極端子が両主面に設けられたコンデンサ内蔵基板が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００９－１９４０９６号公報

特許文献2：特開２００７－８１３２５号公報

発明の概要

発明が解決しようとする課題

[0004]　上記コンデンサ内蔵基板では回路配線の長さが長いため、低ＥＳＬ化を図ることが困難である。そこで、薄膜プロセス技術を用いてコンデンサ内蔵基板の構成を実現する薄膜キャパシタ（すなわち、内部にキャパシタ構造を有し、かつ、該キャパシタ構造から引き出された電極端子が両主面に設けられた薄膜キャパシタ）の開発が進められている。

[0005]　発明者らは、上記の薄膜キャパシタについて研究を重ね、このような薄膜キャパシタにおいてさらに低ＥＳＬ化を図ることができる技術を新たに見出した。

[0006]　本開示の種々の側面は、低ＥＳＬ化が図られた薄膜キャパシタを提供することを目的とする。

課題を解決するための手段

[0007]　本開示の一形態に係る薄膜キャパシタは、薄膜キャパシタの一方面側に位置し、外部と電気的に接続される接続領域を有する電極端子層と、電極端子

層の一方面側とは反対の側に部分的に形成され、電極層と誘電体層とが交互に積層された積層構造を有する容量部と、電極端子層の一方面側とは反対の側から、容量部が形成された形成領域および容量部が形成されていない非形成領域を覆う絶縁層と、絶縁層上に設けられた複数の電極端子と、容量部の積層方向に沿って絶縁層に貫設され、電極端子層および容量部の電極層のいずれかに複数の電極端子それぞれを接続する複数のビア導体とを備える。

[0008] 上記薄膜キャパシタにおいては、電極端子層および容量部の電極層が、絶縁層に貫設されたビア導体によって電極端子それぞれに接続されることで、回路配線の短縮および多端子化の両方が図られており、それにより、低ＥＳＬ化が図られた薄膜キャパシタが得られる。

[0009] 本開示の他の形態に係る薄膜キャパシタは、電極端子層が、外部に接続される複数の接続領域を有し、かつ、隣り合う接続領域の間における電極端子層を貫いて両接続領域を分断する貫通部を備える。この場合、複数の接続領域のうちの一部とその残部とを、異なる極性の電極端子として用いることができる。

[0010] 本開示の他の形態に係る薄膜キャパシタは、絶縁層の厚さが容量部の厚さより厚く、また、電極端子層の厚さが容量部の厚さより厚い。

[0011] 本開示の他の形態に係る薄膜キャパシタは、電子部品を搭載可能であり、かつ、該電子部品への電力を供給する配線板上に配置されるべき薄膜キャパシタであって、薄膜キャパシタに搭載される電子部品に複数の電極端子が接続され、配線板に電極端子層が接続される。

発明の効果

[0012] 本開示の一側面によれば、低ＥＳＬ化が図られた薄膜キャパシタが提供される。

図面の簡単な説明

[0013] [図1]図１は、本開示の一実施形態に係る薄膜キャパシタの一部を概略的に示す断面図である。

[図2]図２の（ａ）～（ｅ）は、図１に示す薄膜キャパシタの製造方法を説明

するための図である。

[図3]図３の（ａ）～（ｄ）は、図１に示す薄膜キャパシタの製造方法を説明するための図である。

[図4]図４は、図１とは異なる態様の薄膜キャパシタの一部を概略的に示す断面図である。

発明を実施するための形態

[0014] 以下、図面を参照して種々の実施形態について詳細に説明する。なお、各図面において同一または相当の部分に対しては同一の符号を付し、重複する説明を省略する。

[0015] 図１に示すように、一本実施形態に係る薄膜キャパシタ１は、その内部にキャパシタ構造として容量部１０を有し、かつ、その両主面に、容量部１０から引き出された電極端子として電極端子２０Ａ～２０Ｃ、３０Ａ～３０Ｃを有している。

[0016] 薄膜キャパシタ１の一方の主面ａに設けられた電極端子２０Ａ～２０Ｃは、薄膜キャパシタ１に搭載される図示しない電子部品と接続するための電極端子であり、電極端子２０Ａ～２０Ｃが設けられた側の主面（以下、電子部品搭載面とも称す。）上に、電子部品が搭載され得る。

[0017] 薄膜キャパシタ１の他方の主面１ｂに設けられた電極端子３０Ａ～３０Ｃは、薄膜キャパシタ１上に搭載される電子部品に薄膜キャパシタを介して電力を供給する図示しない配線板と接続するための電極端子であり、電極端子３０Ａ～３０Ｃが設けられた側の主面（以下、配線板搭載面とも称す。）１ｂが配線板と対面する姿勢で薄膜キャパシタ１が配線板上に搭載され得る。

[0018] 薄膜キャパシタ１は、より詳しくは、配線板搭載面１ｂ側に位置し、配線板と電気的に接続される複数の接続領域を有する電極端子層３０と、電極端子層３０の配線板側とは反対の側に部分的に形成され、電極層１１と誘電体層１２とが交互に積層された積層構造を有する容量部１０と、電極端子層３０の配線板側とは反対の側から、容量部１０が形成された形成領域および容量部１０が形成されていない非形成領域を覆う絶縁層４０と、絶縁層４０上

に設けられ、電子部品に接続されるべき複数の電極端子２０Ａ～２０Ｃと、容量部１０の積層方向に沿って貫設され、電極端子層３０および容量部１０の電極層１１のいずれかに複数の電極端子２０Ａ～２０Ｃそれぞれを接続する複数のビア導体４３Ａ、４３Ｂとを備えている。

[0019] 電極端子層３０の複数の接続領域は、隣り合う接続領域の間における電極端子層３０を貫いて両接続領域を分断する貫通部３１を備えており、貫通部３１に分断された各接続領域が上述の電極端子３０Ａ～３０Ｃとなっている。各貫通部３１は、電極端子層３０の厚さより厚い絶縁樹脂３２によって埋められており、電極端子３０Ａ～３０Ｃの間の高い電気絶縁性を実現している。

[0020] 電極端子層３０は、導電性を有する材料から形成されている。具体的には、電極端子層３０を形成する導電性材料としては、主成分としてニッケル（Ｎｉ）や白金（Ｐｔ）を含有する合金であってもよく、特に、主成分としてＮｉを含有する合金であってもよい。電極端子層３０を構成するＮｉの純度は高くてもよく、９９．９９重量％以上であってもよい。なお、電極端子層３０に微量の不純物が含まれていてもよい。主成分としてＮｉを含有する合金からなる電極端子層３０に含まれ得る不純物としては、たとえば、鉄（Ｆｅ）、チタン（Ｔｉ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、マグネシウム（Ｍｇ）、マンガン（Ｍｎ）、ケイ素（Ｓｉ）またはクロム（Ｃｒ）、バナジウム（Ｖ）、亜鉛（Ｚｎ）、ニオブ（Ｎｂ）、タンタル（Ｔａ）、イットリウム（Ｙ）、ランタン（Ｌａ）、セシウム（Ｃｅ）等の遷移金属元素あるいは希土類元素等、塩素（Ｃｌ）、硫黄（Ｓ）、リン（Ｐ）等が挙げられる。薄膜キャパシタの製造時に、電極端子層３０から誘電体膜へ上記の不純物が拡散すると、誘電体層１２の絶縁抵抗の低下等の性能低下を引き起こす可能性がある。

[0021] 電極端子層３０の厚さは、１０ｎｍ～１００μｍであってもよく、１μｍ～７０μｍであってもよい。１０μｍ～３０μｍ程度であってもよい。電極端子層３０の厚さが薄過ぎる場合、薄膜キャパシタ１の製造時に電極端子層

３０をハンドリンクしにくくなる傾向があり、電極端子層３０の厚さが厚過ぎる場合、リーク電流を抑制する効果が小さくなる傾向がある。なお、電極端子層３０の面積は、たとえば１×０．５ｍｍ^{2}程度である。また、上述の電極端子層３０は金属箔からなっていてもよく、基板と電極とを兼用し得る。このように、本実施形態に係る電極端子層３０は基板としても兼用する構成であってもよいが、Ｓｉやアルミナなどからなる基板上に電極端子層３０を設けた基板／電極膜構造を採用してもよい。

[0022] 容量部１０は、電極端子層３０上に交互に積層された２層の電極層１１および２層の誘電体層１２によって構成されている。

[0023] 電極層１１は導電性を有する材料から形成されている。具体的には、主成分としてニッケル（Ｎｉ）や白金（Ｐｔ）を含有する材料を電極層１１として用いることができ、Ｎｉを用いることができる。電極層１１に主成分としてＮｉを含有する材料を用いる場合、その含有量は、電極層１１全体に対して、５０ｍｏｌ％以上であってもよい。また、電極層１１の主成分がＮｉである場合、白金（Ｐｔ）、パラジウム（Ｐｄ）、イリジウム（Ｉｒ）、ロジウム（Ｒｈ）、ルテニウム（Ｒｕ）、オスミウム（Ｏｓ）、レニウム（Ｒｅ）、タングステン（Ｗ）、クロム（Ｃｒ）、タンタル（Ｔａ）および銀（Ａｇ）からなる群より選ばれる少なくとも一種（以下、「添加元素」と記す。）をさらに含有する。電極層１１が添加元素を含有することによって、電極層１１の途切れが防止される。なお、電極層１１は複数種の添加元素を含有してもよい。電極層１１の厚さは、たとえば１０ｎｍ～１０００ｎｍ程度である。

[0024] 誘電体層１２は、$BaTiO_3$（チタン酸バリウム）、$(Ba_{1-X}Sr_X)TiO_3$（チタン酸バリウムストロンチウム）、$(Ba_{1-X}Ca_X)TiO_3$、$PbTiO_3$、$Pb(Zr_XTi_{1-X})O_3$等のペロブスカイト構造を持った（強）誘電体材料や、$Pb(Mg_{1/3}Nb_{2/3})O_3$等に代表される複合ペロブスカイトリラクサー型強誘電体材料や、$Bi_4Ti_3O_{12}$、$SrBi_2Ta_2O_9$等に代表されるビスマス層状化合物、$(Sr_{1-X}Ba_X)Nb_2O_6$、ＰｂＮｂ

$_2$Ｏ$_6$等に代表されるタングステンブロンズ型強誘電体材料等から構成される。ここで、ペロブスカイト構造、ペロブスカイトリラクサー型強誘電体材料、ビスマス層状化合物、タングステンブロンズ型強誘電体材料において、Ａサイトと Ｂサイト比は、通常整数比であるが、特性向上のため、意図的に整数比からずらしてもよい。なお、誘電体層１２の特性制御のため、誘電体層１２に適宜、副成分として添加物質が含有されていてもよい。誘電体層１２の厚さは、たとえば１０ｎｍ～１０００ｎｍである。

[0025] 絶縁層４０は、容量部１０が形成された形成領域および容量部１０が形成されていない非形成領域を覆っており、パッシベーション層４１、第１絶縁層４２Ａおよび第２絶縁層４２Ｂによって構成されている。

[0026] パッシベーション層４１は、各容量部１０を直接覆っており、無機絶縁材料（たとえば、ＳｉO_2）によって構成されている。

[0027] 第１絶縁層４２Ａは、電極端子層３０の容量部１０が形成された領域（形成領域）それぞれにおいて容量部１０を覆っている。第２絶縁層４２Ｂは、第１絶縁層４２Ａが形成されていない領域、すなわち、容量部１０が形成されていない領域（非形成領域）を覆うとともに、非形成領域周縁の第１絶縁層４２Ａを部分的に覆っている。すなわち、第１絶縁層４２Ａと第２絶縁層４２Ｂとの２段構成によって電極端子層３０が覆われている。

[0028] 第１絶縁層４２Ａおよび第２絶縁層４２Ｂは、絶縁性を有する材料であれば特に限定されないが、たとえば、ポリイミドなどの非導電性樹脂、ＳｉO_2、アルミナ、ＳｉＮ（シリコンナイトライド）等の無機材料、あるいはこれらを混合または積層させた絶縁材料等を用いることができる。第１絶縁層４１Ａの厚さ（パッシベーション層４１の上面と第１絶縁層４２Ａの上面との距離）は、たとえば、０．５μｍ～１０μｍであり、第２絶縁層４２Ｂの厚さ（第１絶縁層４２Ａの上面と第２絶縁層４２Ｂの上面との距離）は、たとえば０．５μｍ～１０μｍである。

[0029] 第１絶縁層４２Ａと第２絶縁層４２Ｂとの間には、第１絶縁層４２Ａの上面に沿って第１配線部４３Ａが形成されている。第１配線部４３Ａは、第１

絶縁層４２Ａの上面に沿って上下方向に延びるとともにその下端に電極端子層３０または電極層１１と接する接触部４４Ａを有する。また、第２絶縁層４２Ｂ上には、第２絶縁層４２Ｂの上面に沿って第２配線部４３Ｂが形成されている。第２配線部４３Ｂは、第２絶縁層４２Ｂに沿って上下方向に延びるとともにその下端に第１配線部４３Ａと接する接触部４４Ｂを有する。そして、第２配線部４３Ｂ上に電極端子２０Ａ～２０Ｃが形成されている。

[0030] 電極端子２０Ａが形成された第２配線部４３Ｂの接触部４４Ｂは、電極端子層３０に接する接触部４４Ａを有する第１配線部４３Ａに接している。電極端子２０Ｂが形成された第２配線部４３Ｂの接触部４４Ｂは、容量部１０の下側の電極層１１に接する接触部４４Ａを有する第１配線部４３Ａに接している。電極端子２０Ｃが形成された第２配線部４３Ｂの接触部４４Ｂは、容量部１０の上側の電極層１１に接する接触部４４Ａを有する第１配線部４３ＡＢに接している。

[0031] 上述した第１配線部４３Ａおよび第２配線部４３Ｂが、絶縁層４０に貫設され、電極端子層３０および容量部１０の電極層１１のいずれかに電極端子２０Ａ～２０Ｃそれぞれを接続するビア導体となっている。第１配線部４３Ａおよび第２配線部４３Ｂは、たとえば銅（Ｃｕ）などの導電性を有する材料から構成されている。また、第２配線部４３Ｂと電気的に接続される電極端子２０Ａ～２０Ｃも、たとえば銅（Ｃｕ）などの導電性を有する材料から構成されている。

[0032] 次に、図２および図３を参照して薄膜キャパシタ１の製造方法について説明する。なお、図２および図３は、製造の途中段階における薄膜キャパシタ１の一部を拡大して示しているものである。実際には、複数の薄膜キャパシタ１を一度に形成した後、それぞれの薄膜キャパシタ１に個片化する。

[0033] まず、図２（ａ）に示すように、仮貼り材６１を介して支持材６０に支持された電極端子層３０となる金属箔を準備し、電極端子層３０上に容量部１０となるべき誘電体層１２と電極層１１とを交互に形成する。電極端子層３０となる金属箔は、必要に応じてその表面が所定の算術平均粗さＲａとなる

ように研磨される。この研磨は、ＣＭＰ（Chemical Mechanical Polishing）、電解研磨、バフ研磨等の方法によりおこなうことができる。電極層１１の形成方法としては、ＤＣスパッタリング等が挙げられる。また、誘電体層１２の形成方法としては、溶液法、スパッタリング法等のＰＶＤ（Physical Vapor Deposition）法またはＣＶＤ（Chemical Vapor Deposition）法等の成膜技術を用いることができる。

[0034] 次に、図２（ｂ）に示すように、電極層１１および誘電体層１２を貫通する所定の開口７０を形成する。開口７０の形成は、たとえばパターニングされたレジストをマスクとしたドライエッチングによっておこなわれる。この工程により、電極層１１および誘電体層１２に２つの開口７１、７２が形成される。開口７１では、底面に電極端子層３０が露出すると共に、容量部１０に電極層１１および誘電体層１２による連続した側面が形成される。また、開口７２では底面に下側の電極層１１が露出すると共に、容量部１０に電極層１１および誘電体層１２による連続した側面が形成される。

[0035] その後、支持材６０を仮貼り材６１とともに剥離し、電極端子層３０上に電極層１１および誘電体層１２が積層された積層体を焼成する。焼成時の温度は、誘電体層が焼結（結晶化）する温度とすることができ、具体的には５００～１０００℃にすることができる。また、焼成時間は５分～２時間程度とすればよい。また、焼成時の雰囲気は、特に限定されず、酸化性雰囲気、還元性雰囲気、中性雰囲気のいずれでもよいが、少なくとも、電極層１１が酸化しない程度の酸素分圧下で焼成することができる。なお、焼成のタイミングはこのタイミングに限定されず、たとえば、開口７０を形成する前に焼成をおこなってもよいし、開口７０を形成した後におこなってもよい。

[0036] 次に、図２（ｃ）に示すように、電極端子層３０に再度仮貼り材６１を介して支持材６０を貼付し、支持材６０で電極端子層３０を保持した状態で、パッシベーション層４１となるべき無機絶縁層（たとえば、SiO_2層）を成膜する。

[0037] 続いて、図２（ｄ）に示すように、電極層１１および誘電体層１２上に第

１絶縁層４２Ａを形成する。第１絶縁層４２Ａは、たとえば、未硬化の状態の熱硬化性樹脂を塗布した後、加熱して硬化させることによって形成される。また、第１絶縁層４２Ａは、未硬化の状態の光硬化性樹脂を塗布した後、特定の波長の光を照射して硬化させることによって形成されてもよい。第１絶縁層４２Ａを構成する絶縁性材料を硬化させた後、ドライエッチング等により第１配線部４３Ａを設けるための所定の開口７３を形成する。本実施形態では、開口７３として、３つの開口７４、７５、７６を形成する。開口７４は、開口７１内の第１絶縁層４２Ａを貫通するように開口７１の中央付近に形成される。また、開口７５は、開口７２内の第１絶縁層４２Ａを貫通するように開口７２内の中央付近に形成される。さらに、開口７６は、所定領域の第１絶縁層４２Ａを貫通するように形成される。

この工程により、開口７４では底面に電極端子層３０が露出し、開口７５では底面に下側の電極層１１が露出し、開口７６では底面に上側の電極層１１が露出する。また、電極層１１および誘電体層１２は第１絶縁層４２Ａによって封止された状態となる。

[0038] 次に、図２（ｅ）に示すように、第１絶縁層４２Ａの開口７３内および開口周縁の第１絶縁層４２Ａ上に第１配線部４３Ａを形成する。第１配線部４３Ａは、たとえば、銅（Ｃｕ）等の導電性材料をスパッタまたは蒸着した後、エッチングによるパターニングをおこなうことによって形成される。この工程により、電気的に互いに独立した複数の第１配線部４３Ａが形成される。このとき、開口７４周辺に形成された第１配線部４３Ａは電極端子層３０と電気的に接続され、開口７５周辺に形成された第１配線部４３Ａは下側の電極層１１と電気的に接続され、開口７６周辺に形成された第１配線部４３Ａは上側の電極層１１と電気的に接続された状態となる。

[0039] 次に、図３（ａ）に示すように、第１絶縁層４２Ａおよび第１配線部４３Ａ上に第２絶縁層４２Ｂを形成する。第２絶縁層４２Ｂは、第１絶縁層４２Ａと同様に、たとえば未硬化の状態の熱硬化性樹脂を塗布した後、加熱して硬化させることによって形成される。第２絶縁層４２Ｂを構成する絶縁性材

料を硬化させた後、ドライエッチング等により第２配線部４３Ｂを形成するための３つの開口７７を形成する。この工程により、開口７７それぞれから第１配線部４３Ａが露出した状態となる。

[0040] 次に、図３（ｂ）に示すように、第２絶縁層４２Ｂの開口７７内および開口周縁の第２絶縁層４２Ｂ上に第２配線部４３Ｂを形成する。第２配線部４３Ｂも、第１配線部４３Ａ同様、たとえば、銅（Ｃｕ）等の導電性材料をスパッタまたは蒸着した後、エッチングによるパターニングをおこなうことによって形成される。この工程により、電気的に互いに独立した複数の第２配線部４３Ｂが形成される。このとき、開口７７周辺に形成された第２配線部４３Ｂはそれぞれ第１配線部４３Ａと電気的に接続された状態となる。

[0041] 次に、図３（ｃ）に示すように、第２配線部４３上に、薄膜キャパシタ１を外部の電子部品と電気的に接続するための電極端子２０Ａ～２０Ｃを形成する。電極端子２０Ａ～２０Ｃは、たとえば、メッキ等により銅（Ｃｕ）等の導電性材料の層を形成した後、エッチング等をおこなうことによって形成される。

[0042] 最後に、図３（ｄ）に示すように、支持材６０を仮貼り材６１とともに剥離し、電極端子層３０に貫通部３１を形成して各電極端子３０Ａ～３０Ｂに分割する。貫通部３１は、たとえばウェットエッチング法によって形成する。また、各貫通部３１に、絶縁樹脂３２を充填する。絶縁樹脂３２の充填は、たとえばラミネート法によっておこなわれる。その後、ダイシング等によって個片化をおこなうことにより、図１に示すような薄膜キャパシタ１が得られる。

[0043] 上述した薄膜キャパシタ１においては、電極端子層３０および容量部１０の電極層１１が、容量部１０の積層方向に沿って絶縁層４０に貫設されたビア導体（すなわち、第１配線部４３Ａおよび第２配線部４３Ｂ）によって電極端子２０Ａ～２０Ｃそれぞれに接続されている。薄膜キャパシタの厚さ方向に直交する面内において配線が這い回される場合には、回路配線の迂回等が生じてしまい配線が長くなるが、薄膜キャパシタ１ではビア導体４３Ａ、

４３Ｂにより厚さ方向に沿う短い回路配線が実現されている。すなわち、薄膜キャパシタ１では、複数の電極端子２０Ａ～２０Ｃでの多端子化を図りつつ、回路配線の短縮が図られており、それにより、低ＥＳＬ化が図られた薄膜キャパシタが得られる。

[0044] なお、薄膜キャパシタ１では、第１絶縁層４２Ａと第２絶縁層４２Ｂとの２段構成を採用することで、再配線をおこなっている。すなわち、第１配線部４３Ａの位置は、容量部１０の直上または近傍に制限されるが、第２配線部４３Ｂの位置はそのような位置に制限されず、自由に位置を決定することができる。そのため、第２配線部４３Ｂ上に形成される電極端子２０Ａ～２０Ｃの位置についても設計自由度が高くなっている。また、一つの第１配線部４３Ａから複数の第２配線部４３Ｂを引き出すこともでき、この場合には容易に電極端子２０Ａ、２０Ｂ、２０Ｃの多端子化を図ることができる。

[0045] また、薄膜キャパシタ１は、絶縁層４０の厚さが容量部１０の厚さより厚くなっている。このように、絶縁層４０の厚さが厚い場合にはＥＳＬが高くなる傾向になるが、上述のビア導体４３Ａ、４３Ｂによる回路配線の短縮で、効果的な低ＥＳＬ化を図ることができる。電極端子層３０の厚さについても、容量部１０の厚さより厚くなっている。

[0046] さらに、薄膜キャパシタ１は、貫通部３１で分断された電極端子３０Ａ～３０Ｃを備えている。そのため、電極端子３０Ａ～３０Ｂそれぞれについて所望の極性で用いることができる。たとえば図４に示すように、薄膜キャパシタ１が、貫通部３１で分断された２つの電極端子３０Ａ、３０Ｄを備える場合、それぞれの電極端子３０Ａ、３０Ｄの極性を異なるようにすることで、図４の矢印で示すように、電極端子３０Ａ、３０Ｄと電極端子２０Ａ、２０Ｄとの間に介在するビア導体４３Ａ、４３Ｂに逆向きの電流を流すこともできる。この場合、正極と負極の両方において厚さ方向に沿う短い回路配線が実現されるとともに、正極と負極の両方において容易に多端子化を図ることができ、さらなる低ＥＳＬ化を図ることができる。

[0047] なお、薄膜キャパシタは、上述した実施形態に限らず、様々に変形するこ

とができる。

[0048] たとえば、ビア導体は、上述したビア導体４３Ａ、４３Ｂの構成に限らず、絶縁層の厚さ方向に沿って真っ直ぐに延びる貫通孔に導体を充填した構成のビア導体であってもよい。また、薄膜キャパシタでは、絶縁層を再配線のために２段構成としたが、３段以上の多段構成としてもよく、１段で構成してもよい。容量部の構成についても、電極層および誘電体層の層数を適宜増減することができる。

符号の説明

[0049] １　薄膜キャパシタ

１０　容量部

１１　電極層

１２　誘電体層

２０Ａ～２０Ｄ　電極端子

３０　電極端子層

３０Ａ～３０Ｄ　電極端子

４０　絶縁層

４３Ａ　第１配線部

４３Ｂ　第２配線部

請求の範囲

[請求項1] 薄膜キャパシタの一方面側に位置し、外部と電気的に接続される接続領域を有する電極端子層と、

前記電極端子層の前記一方面側とは反対の側に部分的に形成され、電極層と誘電体層とが交互に積層された積層構造を有する容量部と、

前記電極端子層の前記一方面側とは反対の側から、前記容量部が形成された形成領域および前記容量部が形成されていない非形成領域を覆う絶縁層と、

前記絶縁層上に設けられた複数の電極端子と、

前記容量部の積層方向に沿って前記絶縁層に貫設され、前記電極端子層および前記容量部の電極層のいずれかに前記複数の電極端子それぞれを接続する複数のビア導体と

を備える、薄膜キャパシタ。

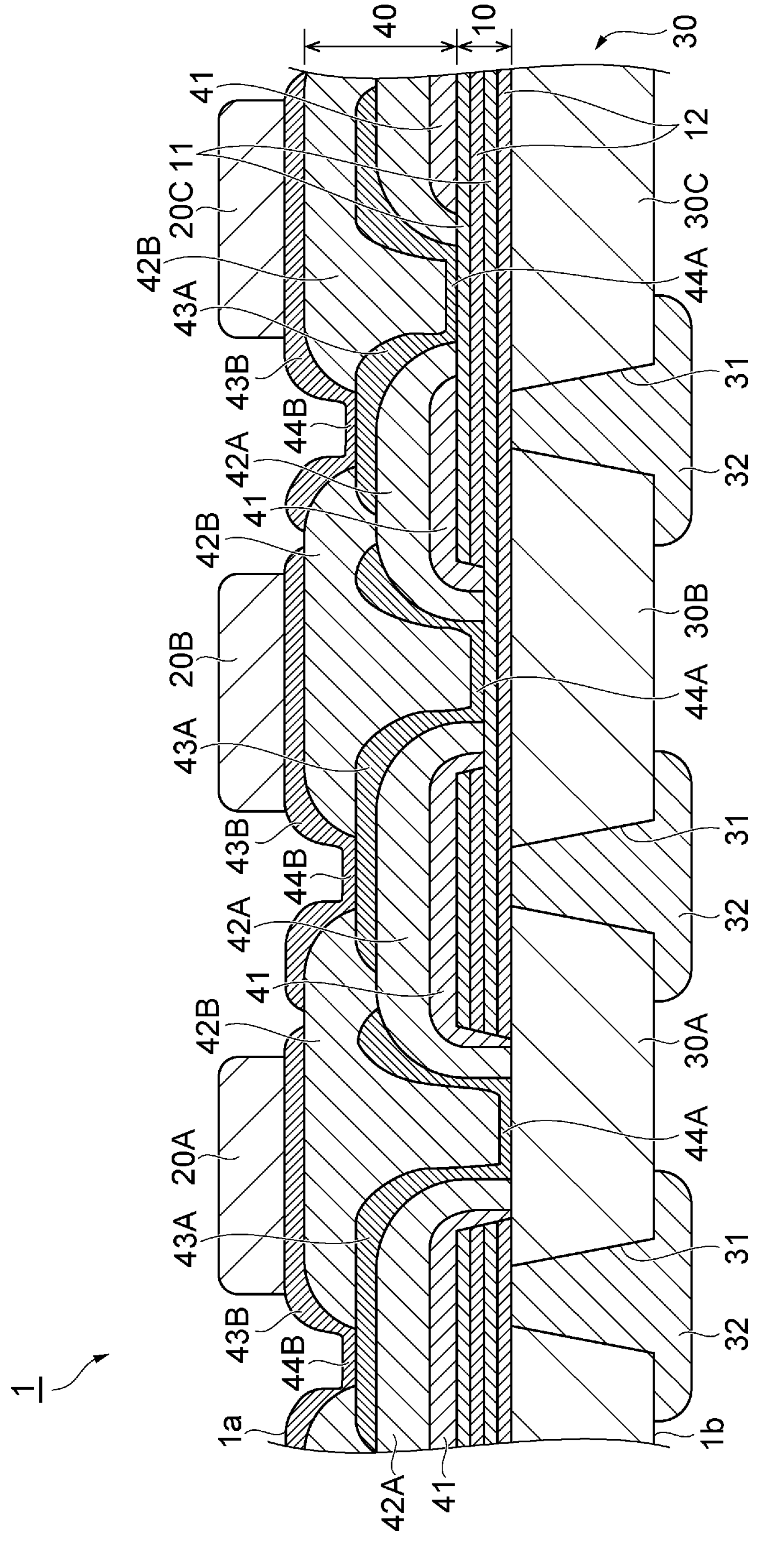
[請求項2] 前記電極端子層が、外部に接続される複数の接続領域を有し、かつ、前記隣り合う接続領域の間における前記電極端子層を貫いて両接続領域を分断する貫通部を備える、請求項１に記載の薄膜キャパシタ。

[請求項3] 前記絶縁層の厚さが前記容量部の厚さより厚い、請求項１または２に記載の薄膜キャパシタ。

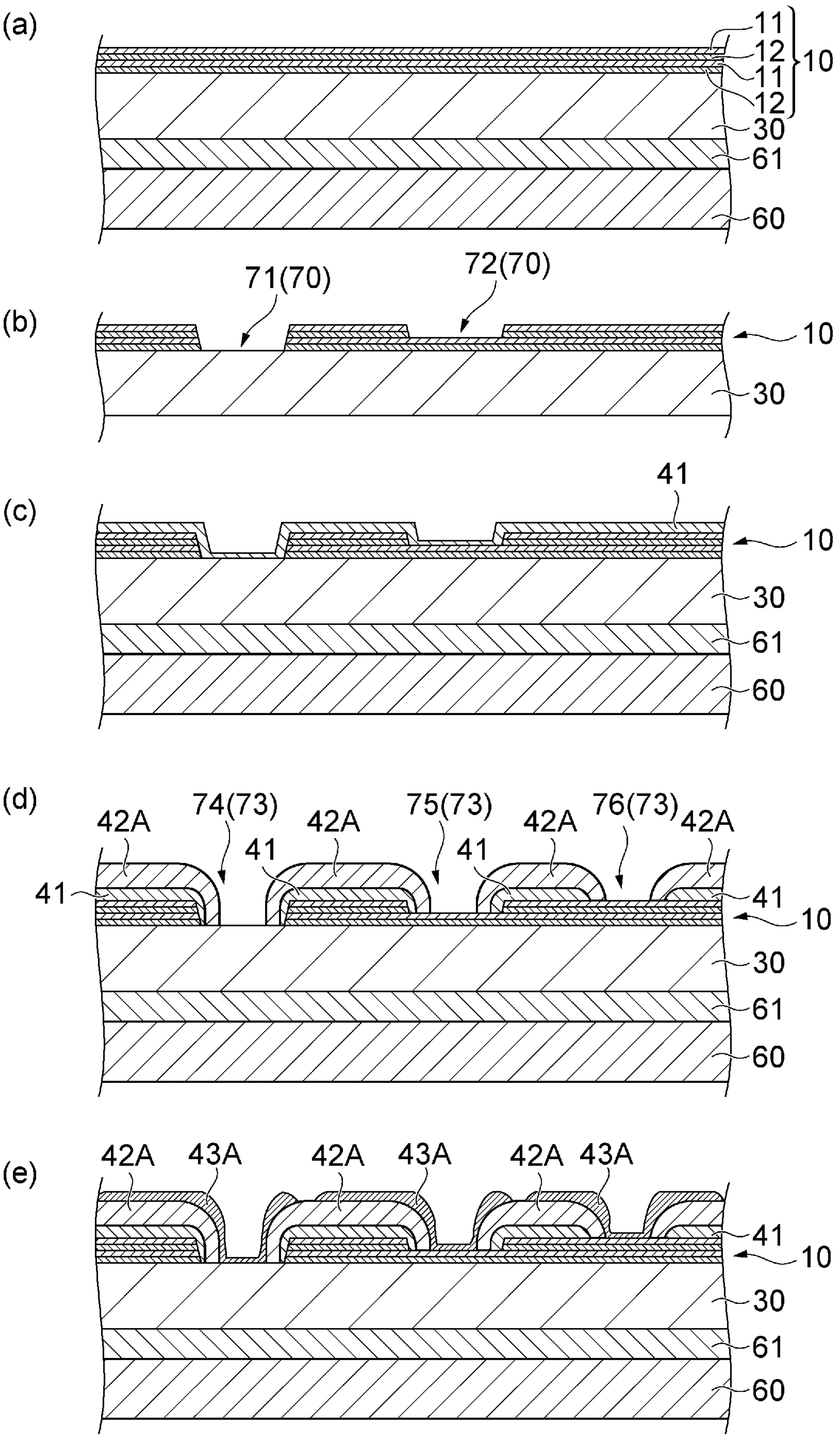
[請求項4] 前記電極端子層の厚さが前記容量部の厚さより厚い、請求項１～３のいずれか一項に記載の薄膜キャパシタ。

[請求項5] 電子部品を搭載可能であり、かつ、該電子部品への電力を供給する配線板上に配置されるべき薄膜キャパシタであって、前記薄膜キャパシタに搭載される前記電子部品に前記複数の電極端子が接続され、前記配線板に前記電極端子層が接続される、請求項１～４のいずれか一項に記載の薄膜キャパシタ。

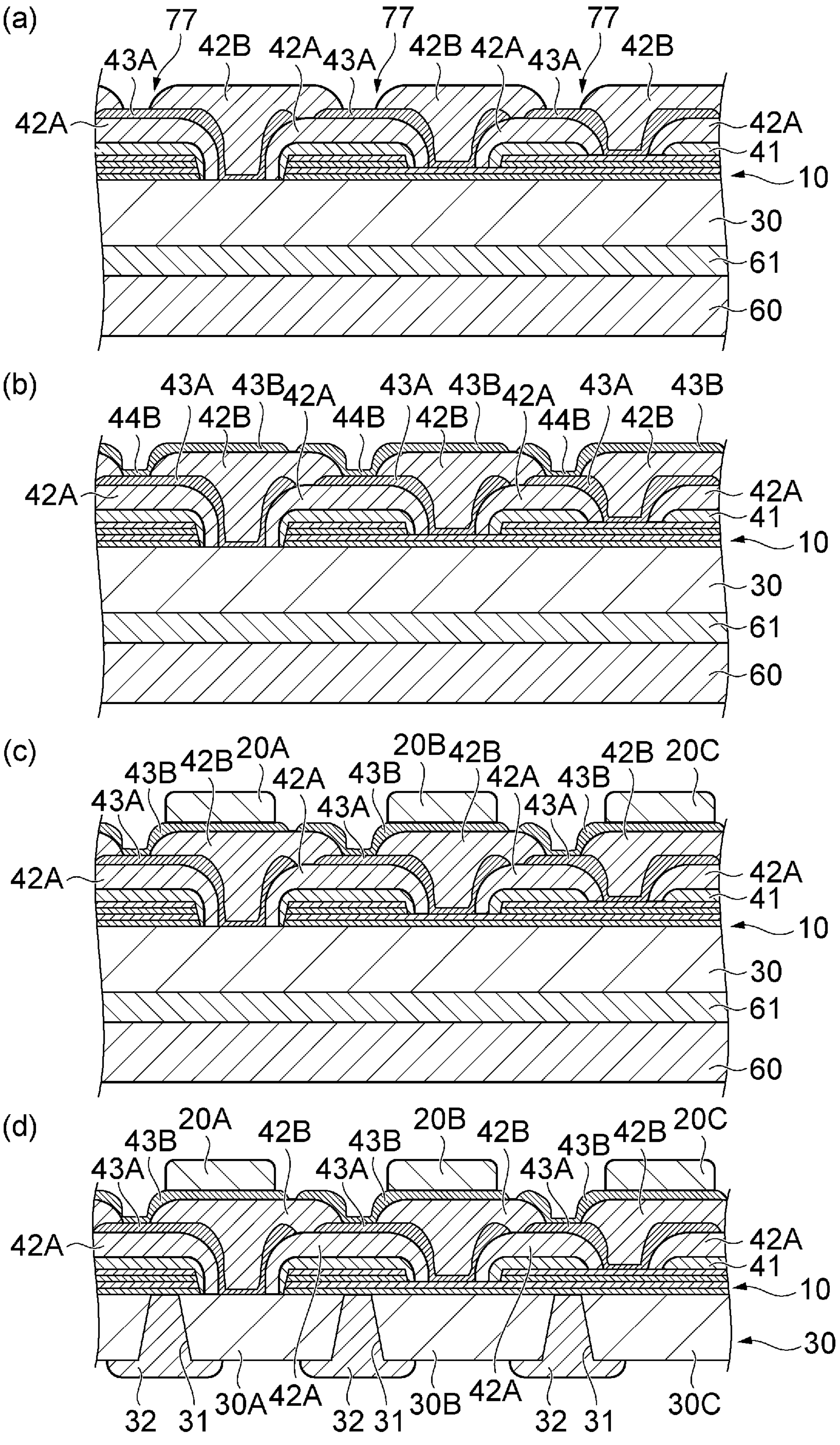
［図1］


40
10
30
41
12
20C
11
30C
42B
44A
43A
43B
31
44B
42A
32
20B
30B
20A
30A
1a
1b
1

[図2]

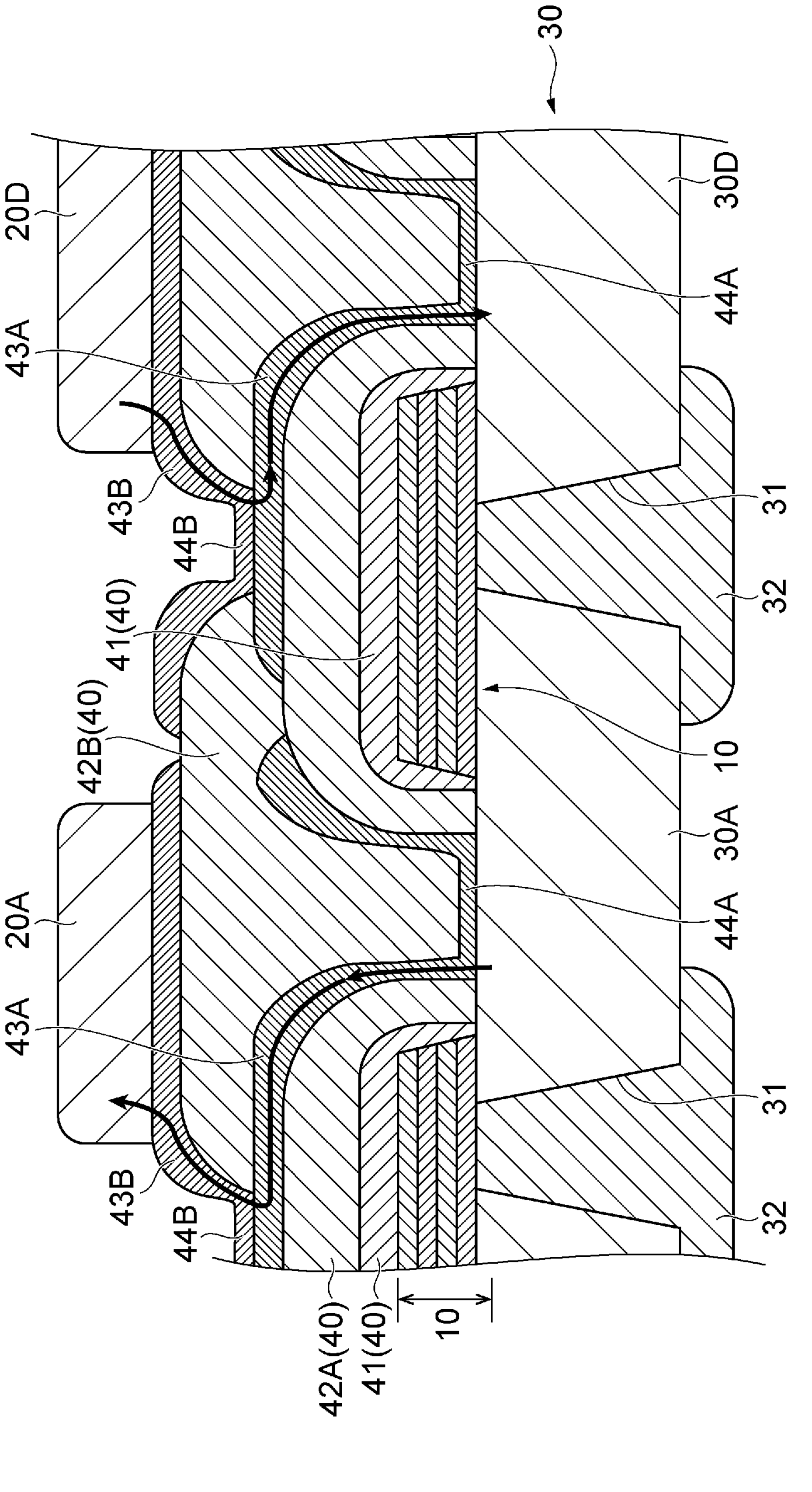

(a)
11
12
11
12
10
30
61
60
(b)
71(70)
72(70)
10
30
(c)
41
10
30
61
60
(d)
42A
74(73)
42A
75(73)
42A
76(73)
42A
41
41
41
41
10
30
61
60
(e)
42A
43A
42A
43A
42A
43A
41
10
30
61
60

[図3]



(a)
77
42B
42A
43A
42A
41
10
30
61
60
(b)
43A
43B
44B
42B
42A
41
10
30
61
60
(c)
20A
20B
20C
43B
42B
42A
43A
41
10
30
61
60
(d)
20A
20B
20C
43B
42B
43A
42A
41
10
30
32
31
30A
30B
30C

［図4］


30
20D
30D
44A
43A
43B
31
44B
32
41(40)
10
42B(40)
30A
20A
44A
43A
31
43B
44B
32
42A(40)
41(40)
10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/004905

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01G4/33(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01G4/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-085083 A (SHINKO ELECTRIC IND CO.) 10 April 2008, claims, paragraphs [0001], [0019], [0020], fig. 10, 13 (Family: none)	1-5
A	JP 2004-259988 A (SHINKO ELECTRIC IND CO.) 16 September 2004 & US 2004/0164337 A1	1-5

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07.05.2018	15.05.2018

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／００４９０５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01G4/33(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01G4/33

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2008-085083 A（新光電気工業株式会社）2008.04.10, 特許請求の範囲，段落［0001］，［0019］，［0020］，図10，図13 （ファミリーなし）	1-5
A	JP 2004-259988 A（新光電気工業株式会社）2004.09.16, & US 2004/0164337 A1	1-5

☐　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日　０７．０５．２０１８

国際調査報告の発送日　１５．０５．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　３８００
田中　晃洋
電話番号　０３－３５８１－１１０１　内線　３５５１