

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-195394

(P2012-195394A)

(43) 公開日 平成24年10月11日(2012.10.11)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-------------------------|-------------------|-------------|
| HO 1 L 29/868 (2006.01) | HO 1 L 29/91 D | |
| HO 1 L 29/861 (2006.01) | HO 1 L 29/78 652N | |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 652H | |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 658A | |
| HO 1 L 29/06 (2006.01) | HO 1 L 29/06 301D | |

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2011-57439 (P2011-57439)
 (22) 出願日 平成23年3月16日 (2011.3.16)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 松田 志津江
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 佐藤 慎吾
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

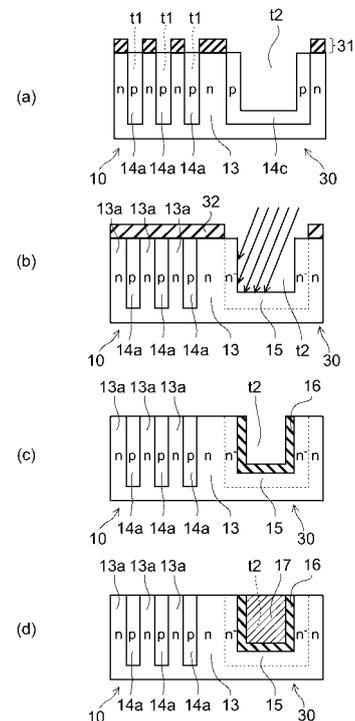
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】実施形態によれば、終端領域の縮小及び工程削減が可能な半導体装置の製造方法を提供する。

【解決手段】実施形態によれば、半導体装置の製造方法は、第1導電形の半導体層における素子領域に第1のトレンチを、終端領域に第1のトレンチよりも幅が広い第2のトレンチを同時に形成する工程を備えている。また、半導体装置の製造方法は、第1のトレンチ内に第2導電形半導体膜を埋め込み、且つ第2のトレンチの内壁にも第2導電形半導体膜を形成する工程を備えている。また、半導体装置の製造方法は、第2のトレンチの内壁に形成された第2導電形半導体膜に第1導電形不純物を注入し、第2のトレンチの内壁に、半導体層よりも第1導電形不純物濃度が低い第1導電形半導体領域を形成する工程を備えている。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

素子領域とその外側に形成された終端領域とを有する第 1 導電形の半導体層における前記素子領域に第 1 のトレンチを、前記終端領域に前記第 1 のトレンチよりも幅が広い第 2 のトレンチを同時に形成する工程と、

前記第 1 のトレンチ内に第 2 導電形半導体膜を埋め込み、且つ前記第 2 のトレンチの内壁にも前記第 2 導電形半導体膜を形成する工程と、

前記第 2 のトレンチの内壁に形成された前記第 2 導電形半導体膜に第 1 導電形不純物を注入し、前記第 2 のトレンチの内壁に、前記半導体層よりも第 1 導電形不純物濃度が低い第 1 導電形半導体領域を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記第 2 のトレンチ内における前記第 1 導電形半導体領域の内側に絶縁膜を形成する工程をさらに備えたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記第 2 のトレンチ内における前記絶縁膜の内側に、埋込材を形成する工程をさらに備えたことを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記埋込材としてノンドープシリコンを埋め込むことを特徴とする請求項 3 記載の半導体装置の製造方法。

20

【請求項 5】

前記埋込材として絶縁物を埋め込むことを特徴とする請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、半導体装置の製造方法に関する。

【背景技術】**【0002】**

縦型パワーデバイスのオン抵抗は、ドリフト層の電気抵抗に大きく依存する。そのドリフト層の電気抵抗を決定する不純物濃度には、必要な耐圧を確保する点から限界がある。すなわち、素子耐圧とオン抵抗にはトレードオフの関係が存在する。

30

【0003】

この問題を解決する縦型パワーデバイスの一例として、ドリフト層にスーパージャンクション構造と呼ばれる p 形ピラーと n 形ピラーを設けた構造が知られている。スーパージャンクション構造は p 形ピラーと n 形ピラーに含まれるチャージ量（不純物量）を同じとすることで、擬似的にノンドープ層を作り出し、高耐圧を保持しつつ、比較的高ドーパされた n 形ピラーを通して主電流を流すことで低オン抵抗を実現できる。

【0004】

スーパージャンクション構造を形成する一つの方法として、n 形半導体層にトレンチを形成し、そのトレンチ内に p 形ピラーとなる p 形半導体膜を埋め込む方法がある。

40

【0005】

また、パワーデバイスでは終端領域にも耐圧が要求されるが、一方、オン動作には寄与しない終端領域には縮小も要求されている。終端領域を縮小するため、終端領域にトレンチを設けたディープトレンチ終端構造が知られている。

【0006】

スーパージャンクション構造とディープトレンチ終端構造とを有するデバイスを製造するにあたって、スーパージャンクションのトレンチと、終端領域のトレンチとを別々に形成することは、工程数の増大をまねく。

【先行技術文献】

50

【特許文献】

【0007】

【特許文献1】特開2007-129086号公報

【特許文献2】特開2009-4547号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

実施形態によれば、終端領域の縮小及び工程削減が可能な半導体装置の製造方法を提供する。

【課題を解決するための手段】

【0009】

実施形態によれば、半導体装置の製造方法は、素子領域とその外側に形成された終端領域とを有する第1導電形の半導体層における前記素子領域に第1のトレンチを、前記終端領域に前記第1のトレンチよりも幅が広い第2のトレンチを同時に形成する工程を備えている。また、半導体装置の製造方法は、前記第1のトレンチ内に第2導電形半導体膜を埋め込み、且つ前記第2のトレンチの内壁にも前記第2導電形半導体膜を形成する工程を備えている。また、半導体装置の製造方法は、前記第2のトレンチの内壁に形成された前記第2導電形半導体膜に第1導電形不純物を注入し、前記第2のトレンチの内壁に、前記半導体層よりも第1導電形不純物濃度が低い第1導電形半導体領域を形成する工程を備えている。

【図面の簡単な説明】

【0010】

【図1】実施形態の半導体装置の模式図。

【図2】実施形態の半導体装置の製造方法を示す模式断面図。

【図3】実施形態の半導体装置の製造方法を示す模式断面図。

【図4】他の実施形態の半導体装置の模式断面図。

【図5】さらに他の実施形態の半導体装置の模式断面図。

【発明を実施するための形態】

【0011】

以下、図面を参照し、実施形態について説明する。なお、各図面中、同じ要素には同じ符号を付している。なお、以下の実施形態では第1導電形をn形、第2導電形をp形として説明するが、第1導電形をp形、第2導電形をn形としてもよい。

【0012】

また、実施形態の半導体装置は、半導体材料として例えばシリコンを用いている。あるいは、シリコン以外の半導体（例えばSiC、GaN等の化合物半導体）を用いてもよい。

【0013】

図1(a)は実施形態の半導体装置の模式断面図であり、図1(b)は同半導体装置における主要要素の平面レイアウトを示す模式平面図である。図1(a)は、図1(b)におけるA-A断面に対応する。

【0014】

実施形態の半導体装置は、半導体層（または基板）における厚さ方向の一方の主面側に設けられた第1の主電極11と、他方の主面側に設けられた第2の主電極21との間を結ぶ縦方向に電流経路が形成される縦型デバイスである。

【0015】

本実施形態の半導体装置は、素子領域10と、素子領域10の外側に形成された終端領域30とを有する。図1(b)に示すように、終端領域30は素子領域10の周囲を連続して囲んでいる。

【0016】

n⁺形半導体層（もしくは基板）12の主面上に、n形ピラー13aとp形ピラー14

10

20

30

40

50

aが設けられている。n形ピラー13aとp形ピラー14aは、 n^+ 形半導体層12の主面に対して略平行な横方向に交互に隣接(pn接合)して周期的に配列され、いわゆるスーパージャンクション構造20を構成している。

【0017】

n形ピラー13aとp形ピラー14aとの周期的配列構造であるスーパージャンクション構造20は、素子領域10に形成されている。スーパージャンクション構造20の平面パターンは、例えばストライプ状である。あるいは、スーパージャンクション構造20の平面パターンは、格子状や千鳥状に形成してもよい。

【0018】

スーパージャンクション構造20の上には、p形半導体層14bが設けられている。p形半導体層14bは、各p形ピラー14aの上端に接している。p形半導体層14b上には、第2の主電極21が設けられている。p形半導体層14bは、第2の主電極21とオーミック接触している。したがって、p形ピラー14a及びp形半導体層14bは、第2の主電極21と電氣的に接続されている。

10

【0019】

n^+ 形半導体層12の裏面には、第1の主電極11が設けられている。 n^+ 形半導体層12は、第1の主電極11とオーミック接触し電氣的に接続されている。

【0020】

p形ピラー14aは、後述するように、n形半導体層13における素子領域10に形成された第1のトレンチt1内に設けられる。n形半導体層13における終端領域30には、第2のトレンチとして終端トレンチt2が設けられている。すなわち、本実施形態の半導体装置は、終端トレンチ構造を有する。

20

【0021】

終端トレンチt2の幅は、第1のトレンチt1の幅よりも大きい。終端トレンチt2の内壁(側壁及び底部)には、 n^- 形半導体領域15が設けられている。 n^- 形半導体領域15は、終端領域30における n^+ 形半導体層12上に設けられたn形半導体層13に隣接している。 n^- 形半導体領域15の側面及び底面は、n形半導体層13で囲まれている。

【0022】

n形半導体層13及びn形ピラー13aのn形不純物濃度はほぼ同じであり、 n^- 形半導体領域15のn形不純物濃度は、n形半導体層13及びn形ピラー13aのn形不純物濃度よりも低い。また、 n^+ 形半導体層12のn形不純物濃度は、n形半導体層13及びn形ピラー13aのn形不純物濃度よりも高い。

30

【0023】

終端トレンチt2内における n^- 形半導体領域15の内側には、絶縁膜16が形成されている。絶縁膜16は例えばシリコン酸化膜である。

【0024】

終端トレンチt2内における絶縁膜16の内側には、埋込材として、例えばノンドーブの(意図的に不純物がドーブされていない)多結晶シリコン17が埋め込まれている。多結晶シリコン17は、電氣的にフローティング状態である。

40

【0025】

終端領域30における多結晶シリコン17上、絶縁膜16上およびp形半導体層14b上には、絶縁膜18が設けられている。絶縁膜18は、例えばシリコン酸化膜である。絶縁膜18上には、絶縁材料からなる層間膜19が設けられている。層間膜18は、例えばシリコン酸化膜である。

【0026】

層間膜19上には、例えばポリイミドなどの樹脂からなる絶縁層22が設けられている。絶縁層22は、第2の主電極21の一部を覆っている。第2の主電極21における外部との接続部は、絶縁層22から露出されている。

【0027】

50

本実施形態の半導体装置は、第2の主電極21をアノード電極、第1の主電極11をカソード電極とする縦型ダイオードである。すなわち、順方向バイアス時には、相対的に第2の主電極21に高電位が、第1の主電極11に低電位が与えられ、p形半導体層14b、スーパージャンクション構造20、その下のn形半導体層13、およびn⁺形半導体層12を介して、第2の主電極21と第1の主電極11との間の縦方向に主電流が流れる。

【0028】

逆方向バイアス時には、相対的に第2の主電極21に低電位が、第1の主電極11に高電位が与えられる。このとき、素子領域10のスーパージャンクション構造20におけるn形ピラー13aとp形ピラー14aとのpn接合から横方向に空乏層が伸び、高耐圧を保持できる。

10

【0029】

さらに、終端領域30におけるn形半導体層13及びn⁻形半導体領域15と、p形半導体層14bとの界面のpn接合からも空乏層が伸びる。これにより、終端領域30においても高耐圧が得られる。

【0030】

また、本実施形態では、終端領域30における終端トレンチt2の側壁及び底部に、n形半導体層13よりもn形不純物濃度が低いn⁻形半導体領域15が設けられている。このため、図1(a)において2点鎖線で表すように、空乏層がより深さ方向に伸びやすくなり、n⁻形半導体領域15と絶縁膜16との界面の電界が緩和され、よりいっそう耐圧を向上できる。

20

【0031】

ウェーハ状態からの切断時の切断面である終端面40は、切断時の影響により破碎され、リーク電流が増大する傾向がある。本実施形態では、終端領域30に終端トレンチt2を形成し、その内部に絶縁膜16及びノンドープの多結晶シリコン17を設けている。このような終端トレンチ構造によって、空乏層が終端面40の破碎部に達する前に空乏層の伸びをストップさせることができる。この結果、終端面40の破碎部を通じた電流リークを回避することができる。また、終端トレンチt2の内壁を絶縁膜16で覆って保護することで、高い信頼性が得られる。

【0032】

比較例として高抵抗層で終端領域を構成した構造では、空乏層が終端面に達しないようにするため、例えば200(μm)ほどの終端長を必要とする。これに対して、本実施形態のような終端トレンチ構造では、終端長が例えば80~120(μm)ほどで済む。このため、デバイス(チップ)の小型化を図れる。

30

【0033】

次に、図2(a)~図3(d)を参照して、実施形態の半導体装置の製造方法について説明する。なお、工程図における断面部分は、図1(b)におけるA-A断面に対応する。

【0034】

図2(a)は、基板(n⁺形半導体層)12の主面上に、n形半導体層13をエピタキシャル成長させた状態を表す。なお、図2(b)以降の断面図では、基板(n⁺形半導体層)12の図示を省略する。

40

【0035】

そして、n形半導体層13の表面に、例えばシリコン酸化膜等を形成した後、それを選択的にエッチングして第1の開口31a及び第2の開口31bを形成し、マスク31を形成する。複数の第1の開口31aが、素子領域10に形成される。第2の開口31bは、第1の開口31aよりも開口幅が大きく、終端領域30に形成される。

【0036】

次に、マスク31を用いて例えばRIE(Reactive Ion Etching)法により、n形半導体層13をエッチングする。これにより、図2(b)に示すように、第1のトレンチt1と、第2のトレンチである終端トレンチt2とが同時に形成される。第1のトレンチt1

50

は第1の開口31aの下に形成される。第2のトレンチt2は第2の開口31bの下に形成される。図2(c)は、トレンチt1及びt2形成後の上面図に対応する。

【0037】

複数の第1のトレンチt1が、例えばストライプ状に、素子領域10に形成される。終端トレンチt2は、図2(c)に示すように、素子領域10を連続して囲んで形成される。終端トレンチt2の幅bは、第1のトレンチt1の幅aよりも大きい。素子領域10におけるn形半導体層13において、第1のトレンチt1に隣接する部分がn形ピラー13aとなる。

【0038】

次に、第1のトレンチt1内及び終端トレンチt2内に、例えばエピタキシャル成長法で、p形半導体膜を形成する。p形半導体膜は第1のトレンチt1内を埋め、図3(a)に示すように、p形ピラー14aとなる。終端トレンチt2は第1のトレンチt1よりも幅が大きい。そのため、終端トレンチt2内のp形半導体膜14cは終端トレンチt2の内壁(側壁及び底壁)に沿って形成され、終端トレンチt2内におけるp形半導体膜14cの内側には空洞が残る。p形ピラー14a及びp形半導体膜14cは同時に形成される。

10

【0039】

次に、図3(b)に示すように、終端トレンチt2以外の表面をマスク32で覆った後、終端トレンチt2の内壁に形成されたp形半導体膜14cに対してイオン注入法でn形不純物(例えばリン)を注入する。

20

【0040】

基板(n⁺形半導体層)12の主面に対して傾斜した方向にイオン注入が行われる。これにより、終端トレンチt2の側壁に形成されたp形半導体膜14cに対してn形不純物が注入される。さらに、終端トレンチt2は幅が広いため、終端トレンチt2の底面上のp形半導体膜14cにもn形不純物が注入される。

【0041】

イオン注入の後、アニールを行い、注入されたn形不純物を拡散させる。これにより、p形半導体膜14cがn形に反転し、図3(b)に示すように、終端トレンチt2の内壁にn⁻形半導体領域15が形成される。n⁻形半導体領域15のn形不純物濃度がn形半導体層13のn形不純物濃度よりも低くなるよう、n形不純物のドーズ量は設定される。

30

【0042】

次に、図3(c)に示すように、終端トレンチt2内におけるn⁻形半導体領域15の内側に、絶縁膜16を形成する。絶縁膜16は、例えば熱酸化法で形成されるシリコン酸化膜である。終端トレンチt2は幅が広いため、熱酸化法により形成される絶縁膜(酸化膜)16では終端トレンチt2内は埋まらない。

【0043】

次に、図3(d)に示すように、終端トレンチt2内における絶縁膜16の内側に、埋込材としてノドープの多結晶シリコン17を埋め込む。終端トレンチt2内に残っていた空洞は多結晶シリコン17で埋め込まれる。多結晶シリコン17は、埋め込み性に優れ、周辺にストレスやひずみを与えることなく、容易に終端トレンチt2内に埋め込むことができる。

40

【0044】

次に、終端トレンチt2以外の表面上に残っている多結晶シリコン17を例えばCMP(Chemical Mechanical Polishing)法で除去した後、n形半導体層13の表面側に、図1(a)に示すp形半導体層14bを形成する。例えば、熱酸化膜を形成し、n形半導体層13の表面に対してp形不純物(例えばボロン)をイオン注入した後、アニールで拡散させることで、p形半導体層14bが形成される。

【0045】

その後、電極や、終端トレンチ構造上の絶縁膜などが形成される。

【0046】

50

本実施形態によれば、スーパージャクション構造と終端トレンチ構造とを有する半導体装置を製造するにあたって、素子領域 10 の第 1 のトレンチ t 1 と、終端領域 30 の終端トレンチ t 2 とを同時に形成する。このため、第 1 のトレンチ t 1 と終端トレンチ t 2 とを別々に形成する場合に比べて、工程数を削減できる。

【0047】

さらに、それらトレンチ t 1 及び t 2 を形成した後、トレンチ t 1 及び t 2 内に p 形半導体膜を形成する。トレンチ t 1 内の p 形半導体膜はそのまま残されて p 形ピラー 14 a となる。終端トレンチ t 2 内に形成された p 形半導体膜 14 c に対しては n 形不純物を注入することで n 形に反転させる。さらに、その n 形に反転された膜は、n 形ピラー 13 a 及び終端領域 30 の n 形半導体層 13 よりも n 形不純物濃度が低い n⁺ 形半導体領域 15 となる。このため、前述したように、逆バイアス時に終端領域 30 で空乏層が深さ方向に伸びやすくなり、高耐圧が得られる。

10

【0048】

前述した工程において、p 形半導体層 14 b を形成した後、終端トレンチ t 2 内から多結晶シリコン 17 を除去して、図 4 (a) 及び (b) に示すように、終端トレンチ t 2 内における絶縁膜 16 の内側に、埋込材として、層間膜 (例えばシリコン酸化膜) 19 及び絶縁層 (例えば樹脂) 22 を埋め込んでもよい。

【0049】

それら層間膜 19 及び絶縁層 22 は、図 4 (b) に示すように、終端トレンチ t 2 内を完全に埋め込んでもよいし、あるいは、図 4 (a) に示すように、絶縁層 22 の内側に空洞が残ってもかまわない。

20

【0050】

図 1 (a) では、p 形ピラー 14 a の底部及び終端トレンチ t 2 の底部が、n 形半導体層 13 内に位置し、n⁺ 形半導体層 12 に達していない構造を示した。しかしながら、その構造に限ることなく、図 5 (a) に示すように、p 形ピラー 14 a 及び終端トレンチ t 2 が、n⁺ 形半導体層 12 に達していてもよい。

また、図 4 (a)、図 4 (b)、さらには以下に説明する図 5 (b) の構造においても、p 形ピラー 14 a 及び終端トレンチ t 2 が n⁺ 形半導体層 12 に達していてもよい。

【0051】

次に、図 5 (b) は、他の実施形態の半導体装置を示す。この半導体装置における素子領域 10 には、プレーナ MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) が形成されている。

30

【0052】

本実施形態においても、素子領域 10 における、n⁺ 形半導体層 (もしくは基板) 12 の主面上に、n 形ピラー 13 a と p 形ピラー 14 a との周期的配列構造であるスーパージャクション構造 20 が設けられている。

【0053】

p 形ピラー 14 a の上には、p 形ベース層 14 d が設けられている。p 形ベース層 14 d の表面には、n⁺ 形のソース領域 41 が選択的に設けられている。ソース領域 41 は、n 形ピラー 13 a よりも n 形不純物濃度が高い。

40

【0054】

n 形ピラー 13 a から p 形ベース層 14 d を経てソース領域 41 の一部に至る部分の上には、ゲート絶縁膜 42 が設けられ、その上にゲート電極 43 が設けられている。

【0055】

ソース領域 41 の表面上には第 2 の主電極 21 が設けられ、ソース領域 41 は第 2 の主電極 21 とオーミック接触し電氣的に接続されている。ゲート電極 43 と第 2 の主電極 21 との間には、層間絶縁膜 44 が設けられている。

【0056】

終端領域 30 の構造は、図 1 (a)、図 4 (a) または図 4 (b) と同じである。

【0057】

50

本実施形態の半導体装置において、相対的に、第1の主電極11に高電位、第2の主電極21に低電位が印加された状態で、ゲート電極43に所望のゲート電位が印加されると、p形ベース層14dにおけるゲート絶縁膜42との界面付近に反転層(nチャネル)が形成される。例えば、グランド電位または負電位が印加される第2の主電極21の電位に対して正電位がゲート電極43に印加される。第1の主電極11には、ゲート電位よりも高い正電位が印加される。

【0058】

これにより、ソース領域41、nチャネル、n形ピラー13aおよびn⁺形半導体層12を介して、第2の主電極21と第1の主電極11間に電流が流れ、オン状態になる。

【0059】

ゲートオフ時には、素子領域10のスーパージャンクション構造20におけるn形ピラー13aとp形ピラー14aとのpn接合から横方向に空乏層が伸び、高耐圧を保持できる。さらに、終端領域30におけるn形半導体層13及びn⁻形半導体領域15と、最外p形ベース層14eとの界面のpn接合からも空乏層が伸びる。これにより、終端領域30においても高耐圧が得られる。最外p形ベース層14eは、p形ベース層14dと同時に形成される。

【0060】

本実施形態においても、終端領域30における終端トレンチt2の側壁及び底部に、n形半導体層13よりもn形不純物濃度が低いn⁻形半導体領域15が設けられている。このため、空乏層がより深さ方向に伸びやすくなり、n⁻形半導体領域15と絶縁膜16との界面の電界が緩和され、よりいっそう耐圧を向上できる。

【0061】

また、終端トレンチ構造によって、空乏層が終端面40の破砕部に達する前に空乏層の伸びをストップさせることができる。この結果、終端面40の破砕部を通じた電流リークを回避することができる。また、終端トレンチt2の内壁を絶縁膜16で覆って保護することで、高い信頼性が得られる。

【0062】

また、本実施形態においても、スーパージャンクション構造と終端トレンチ構造とを有する半導体装置を製造するにあたって、素子領域10の第1のトレンチt1と、終端領域30の終端トレンチt2とを同時に形成する。このため、第1のトレンチt1と終端トレンチt2とを別々に形成する場合に比べて、工程数を削減できる。

【0063】

さらに、それらトレンチt1及びt2を形成した後、トレンチt1及びt2内にp形半導体膜を形成する。トレンチt1内のp形半導体膜はそのまま残されてp形ピラー14aとなる。終端トレンチt2内に形成されたp形半導体膜14cに対してはn形不純物を注入することでn形に反転させる。さらに、そのn形に反転された膜は、n形ピラー13a及び終端領域30のn形半導体層13よりもn形不純物濃度が低いn⁻形半導体領域15となる。このため、ゲートオフ時に終端領域30で空乏層が深さ方向に伸びやすくなり、高耐圧が得られる。

【0064】

図5(b)では、プレーナMOSFETを例に挙げたが、トレンチゲートMOSFET、IGBT(Insulated Gate Bipolar Transistor)であってもよい。IGBTの場合、n⁺形半導体層(ドレイン層)12を、p⁺形半導体層(コレクタ層)に置き換えればよい。

【0065】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる

10

20

30

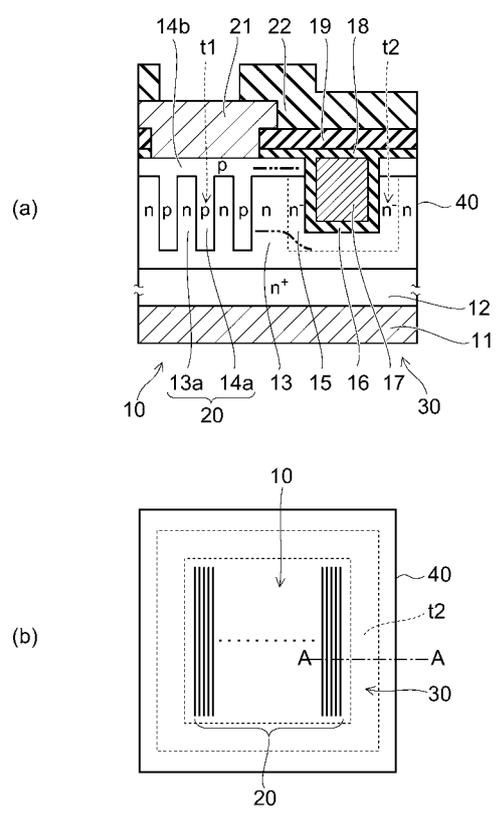
40

50

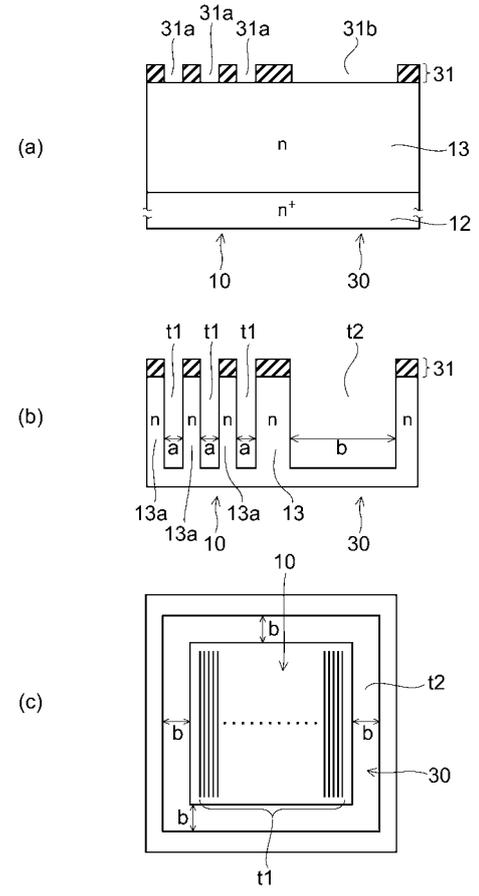
。【符号の説明】
 【0066】

10...素子領域、11...第1の主電極、12...n⁺形半導体層、13...n形半導体層、
 13a...n形ピラー、14a...p形ピラー、15...n⁻形半導体領域、16...絶縁膜、17...多結晶シリコン、
 21...第2の主電極、30...終端領域、40...終端面、t1...第1のトレンチ、t2...終端トレンチ

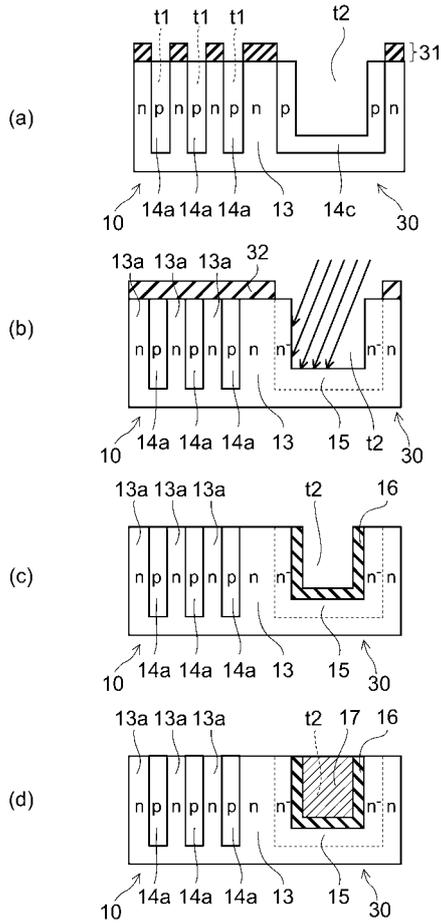
【図1】



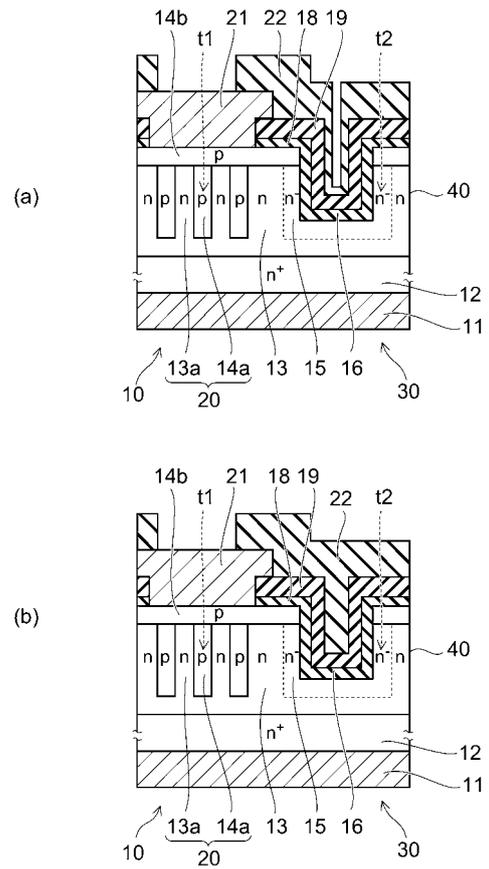
【図2】



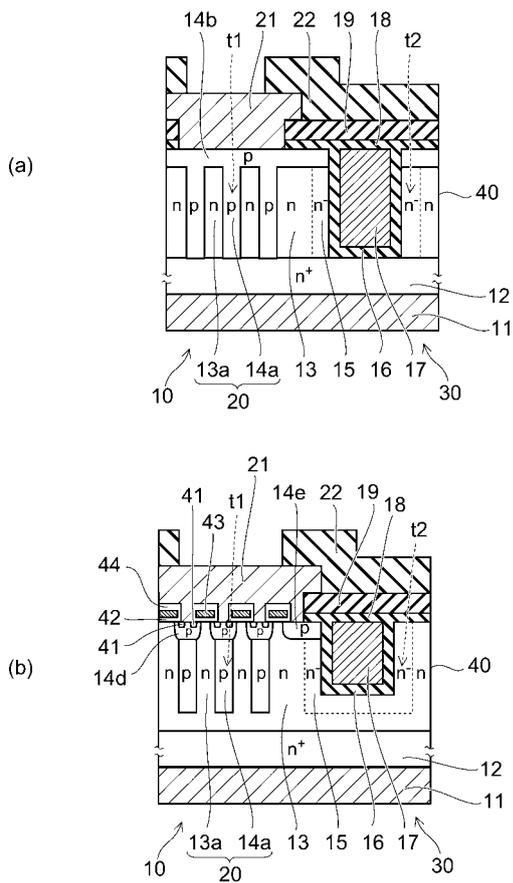
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl.

H 0 1 L 21/329 (2006.01)

F I

H 0 1 L 29/06 3 0 1 V
H 0 1 L 29/91 B

テーマコード(参考)