



(12) 发明专利

(10) 授权公告号 CN 103137081 B

(45) 授权公告日 2014. 12. 10

(21) 申请号 201110373342. 4

(22) 申请日 2011. 11. 22

(73) 专利权人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路 889 号

(72) 发明人 游帅 李洪 马骏

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 101013566 A, 2007. 08. 08,

CN 101046940 A, 2007. 10. 03,

US 2009303169 A1, 2009. 12. 10,

CN 101000750 A, 2007. 07. 18,

CN 101013566 A, 2007. 08. 08,

审查员 高芳

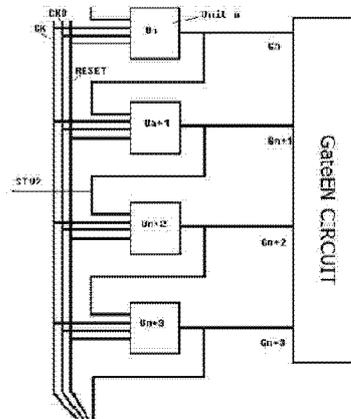
权利要求书2页 说明书7页 附图6页

(54) 发明名称

一种显示面板栅驱动电路及显示屏

(57) 摘要

本发明公开了一种显示面板栅驱动电路及显示屏,用以更加便捷地对 Gate 信号进行寻址,避免采用译码电路的繁琐,占用电路面积更小,节省成本,提高寻址速度。本发明提供的一种显示面板栅驱动电路,用于驱动配置于显示面板的栅极线,所述显示面板栅驱动电路包括移位寄存器和多个栅极使能单元,所述移位寄存器包括至少两级移位寄存器单元,每一所述移位寄存器单元的栅极信号输出端与一栅极使能单元输入端相连,所述栅极使能单元的输出端与一栅极线相连,所述栅极使能单元还具有使能信号输入端,所述栅极使能单元通过所述使能信号输入端接收到的使能信号,控制所述移位寄存器单元的栅极信号输出端输出的栅极信号是否传送给所述栅极线。



1. 一种显示面板栅驱动电路,用于驱动配置于显示面板的栅极线,其特征在于:所述显示面板栅驱动电路包括移位寄存器和多个栅极使能单元,所述移位寄存器包括至少两级移位寄存器单元,每一所述移位寄存器单元的栅极信号输出端与一栅极使能单元输入端相连,所述栅极使能单元的输出端与一栅极线相连,所述栅极使能单元还具有使能信号输入端,所述栅极使能单元通过所述使能信号输入端接收到的使能信号,控制所述移位寄存器单元的栅极信号输出端输出的栅极信号是否传送给所述栅极线。

2. 根据权利要求 1 所述的显示面板栅驱动电路,其特征在于,所述显示面板栅驱动电路还包括:

向所述栅极使能单元提供使能信号的集成电路 IC。

3. 根据权利要求 2 所述的显示面板栅驱动电路,其特征在于,所述集成电路 IC 包括一比较电路,所述比较电路将需要通过显示面板进行显示的相邻帧图像的相同行中的所有像素点的图像信息进行比较,并将所述比较结果作为使能信号输出给所述栅极使能单元的使能信号输入端。

4. 根据权利要求 3 所述的显示面板栅驱动电路,其特征在于,若相邻帧图像的相同行中的所有像素点的图像信息相同,所述使能信号使所述移位寄存器单元的栅极信号输出端输出的栅极信号不传送给所述栅极线;若相邻帧图像的相同行中有一个像素点的图像信息不相同,所述使能信号使所述移位寄存器单元的栅极信号输出端输出的栅极信号传送给所述栅极线。

5. 根据权利要求 4 所述的显示面板栅驱动电路,其特征在于,所述集成电路 IC 还包括:

用于为每一级移位寄存器单元提供时钟信号的选通电路;

用于为每一级移位寄存器单元提供复位信号的复位电路;

用于为第一级移位寄存器单元提供第一触发信号的第一触发电路,其中所述第一触发信号为用于触发第一级移位寄存器单元工作的信号。

6. 根据权利要求 5 所述的显示面板栅驱动电路,其特征在于,所述选通电路根据所述比较电路的比较结果,向所述各级移位寄存器单元提供不同的时钟信号。

7. 根据权利要求 6 所述的显示面板栅驱动电路,其特征在于,若相邻帧图像的相同行中的所有像素点的图像信息相同,所述选通电路向所述各级移位寄存器单元提供第一时钟信号(CK1、CKB1);若相邻帧图像的相同行中有一个像素点的图像信息不相同,所述选通电路向所述各级寄存器单元提供第二时钟信号(CK2、CKB2),所述第一时钟信号的频率高于所述第二时钟信号的频率。

8. 根据权利要求 5 所述的显示面板栅驱动电路,其特征在于,所述集成电路 IC 还包括:

用于向选定的移位寄存器单元提供第二触发信号的第二触发电路,其中所述第二触发信号,为用于触发选定的移位寄存器单元工作的信号。

9. 根据权利要求 1 所述的显示面板栅驱动电路,其特征在于,与每一移位寄存器单元相连的栅极使能单元,包括两个 N 型薄膜场效应晶体管 TFT,其中:

移位寄存器单元的栅极信号输出端,与第一薄膜场效应晶体管 TFT 的源极相连,第一 TFT 的漏极与第二 TFT 的源极相连,并且作为栅极使能单元的输出端,第一 TFT 的栅极由集

成电路 IC 提供使能信号 EN、第二 TFT 的栅极由集成电路 IC 提供反向使能信号 ENB, 第二 TFT 的漏极由集成电路 IC 提供栅极低电平电压信号 VGL。

10. 根据权利要求 1 所述的电路, 其特征在于, 与每一移位寄存器单元相连的栅极使能单元, 包括一个 P 型薄膜场效应晶体管 TFT 和一个 N 型薄膜场效应晶体管 TFT, 其中:

P 型薄膜场效应晶体管 TFT 的源极与移位寄存器单元的栅极信号输出端相连; P 型薄膜场效应晶体管 TFT 的漏极与 N 型薄膜场效应晶体管 TFT 的源极相连, 并作为栅极使能单元的输出端; P 型薄膜场效应晶体管 TFT 的栅极和 N 型薄膜场效应晶体管 TFT 的栅极均由集成电路 IC 提供使能信号 EN; N 型薄膜场效应晶体管 TFT 的漏极由集成电路 IC 提供栅极低电平电压信号 VGL。

11. 一种显示屏, 其特征在于, 该显示屏包括权利要求 1-12 任一权项所述的显示面板栅驱动电路。

一种显示面板栅驱动电路及显示屏

技术领域

[0001] 本发明涉及液晶显示器(Liquid Crystal Display, LCD)技术领域,尤其涉及一种显示面板栅驱动电路及显示屏。

背景技术

[0002] 随着 LCD 显示的日益发展,传统栅极(Gate)布线方式已经满足不了日益增高的屏幕分辨率的要求。面板栅驱动集成(Gate In Panel, GIP)技术成为业界热点。

[0003] 图 1 所示为现有技术中 GIP 电路的 Gate 布线方案, GIP 利用可重复单元(即图中所示的 Unit, 例如 Un、Un+1、Un+2、Un+3 等等)和较少的外围布线,可在外围节省大量空间,适应了屏幕的轻、薄化发展。

[0004] 但是,正由于 GIP 电路结构省去了大量的外围布线,所以对它进行寻址驱动变得很难。尤其在非晶硅栅驱动集成(Amorphous Silicon Gate, ASG)电路中,难以制作性能良好的寻址电路。

[0005] 普通的 LCD 显示,由于其缺乏很好的保持特性,整个屏幕都需要不断刷新,才能维持显示,因此并无针对特定区域寻址进行刷新的需求。但随着双稳态技术的发展,电纸书(Ebook)、记忆液晶(Memory In Pixel)等,对寻址驱动的需求日益强烈。针对性的对屏幕动态区域进行刷新,不仅能节省功耗,而且能提高刷新速度。

[0006] 现有技术中,如图 2 所示,大部分寻址方案都是通过对地址线译码实现信号选择性输出的,寻址电路实际上是一种译码器,即针对不同的地址线的不同的 0、1 取值,输出的 Gate 信号有且仅有一路为真。

[0007] 因此,现有技术为了对 Gate 线路寻址,需要增加地址线的布线空间和随之带来的庞大的译码电路。以普通的 WVGA 为例,800 行 Gate 线路需要多增加 10 根地址线来进行寻址,而且对于每行 Gate 线至少需要相应的 10 个 PMOS 或 NMOS 管进行选通。并且,现有技术中的非晶硅材料无合适的实现方案来实现这样的译码电路。ASG 电路,即普通非晶硅电路也不适合做 PMOS,而且电路性能不高,因此实现译码非常困难。

发明内容

[0008] 本发明实施例提供了一种显示面板栅驱动电路,用以更加便捷地对 Gate 信号进行寻址,避免采用译码电路的繁琐,占用电路面积更小,节省成本,提高寻址速度。

[0009] 本发明实施例提供了一种显示面板栅驱动电路及显示屏,用于驱动配置于显示面板的栅极线,所述显示面板栅驱动电路包括移位寄存器和多个栅极使能单元,所述移位寄存器包括至少两级移位寄存器单元,每一所述移位寄存器单元的栅极信号输出端与一栅极使能单元输入端相连,所述栅极使能单元的输出端与一栅极线相连,所述栅极使能单元还具有使能信号输入端,所述栅极使能单元通过所述使能信号输入端接收到的使能信号,控制所述移位寄存器单元的栅极信号输出端输出的栅极信号是否传送给所述栅极线。

[0010] 本发明实施例提供了一种显示屏,包括所述的显示面板栅驱动电路。

[0011] 通过本发明实施例提供的上述显示面板栅驱动电路,实现了能够更加便捷地对 Gate 信号进行寻址的 GIP 电路,从而避免了采用译码电路的繁琐,占用电路面积更小,节省成本,并且可以提高寻址速度,适合非晶硅材料。

附图说明

- [0012] 图 1 为现有技术中的 GIP 电路结构示意图 ;
- [0013] 图 2 为现有技术中的寻址电路结构示意图 ;
- [0014] 图 3 为本发明实施例提供的 GIP 电路的结构示意图 ;
- [0015] 图 4 为本发明实施例提供的 GIP 电路的结构示意图 ;
- [0016] 图 5 为本发明实施例提供的集成电路结构示意图 ;
- [0017] 图 6 为本发明实施例提供的 GIP 电路中的移位寄存器单元的示意图 ;
- [0018] 图 7 为本发明实施例提供的与 GIP 电路配合输送的时序波形示意图 ;
- [0019] 图 8 为本发明实施例中实施例一提供的移位寄存器单元与栅极使能单元的结构示意图 ;
- [0020] 图 9 为本发明实施例提供的确定非扫描区域的示意图 ;
- [0021] 图 10 为本发明实施例提供的 GIP 电路进行栅极信号寻址时的不同频率的时钟信号及使能信号的示意图 ;
- [0022] 图 11 为本发明实施例中实施例二提供的移位寄存器单元与栅极使能单元的结构示意图 ;
- [0023] 图 12 为本发明实施例提供的比较电路的结构示意图 ;
- [0024] 图 13 为本发明实施例提供的选通电路的结构示意图。

具体实施方式

[0025] 本发明实施例提供了一种显示面板栅驱动电路及显示屏,用以更加便捷地对 Gate 信号进行寻址,避免采用译码电路的繁琐,占用电路面积更小,节省成本,提高寻址速度。

[0026] 本发明实施例主要是通过增加 GIP 外围电路,实现 Gate 寻址,因此本发明实施例并不针对于特定的 GIP 电路和具体的 GIP 电路形态。

[0027] 下面结合附图对本发明实施例提供的技术方案进行说明。

[0028] 参见图 3,本发明实施例提供的一种显示面板栅驱动电路,用于驱动配置于显示面板的栅极线,所述显示面板栅驱动电路包括 :

[0029] 移位寄存器和栅极使能单元,其中,所述的移位寄存器包括级连的移位寄存器单元,即图 3 中所示的 Unit,例如 U_n 、 U_{n+1} 、 U_{n+2} 、 U_{n+3} 等等,每一移位寄存器单元连接有一根对应的栅极使能单元,各栅极使能单元构成图 3 中所示的 Gate EN CIRCUIT (栅极使能电路)。

[0030] 所述移位寄存器单元包括至少两级移位寄存器单元,参见图 4,每一所述移位寄存器单元的栅极信号输出端与一栅极使能单元输入端相连,所述栅极使能单元的输出端与一栅极线相连,所述栅极使能单元还具有使能信号输入端,所述栅极使能单元通过所述使能信号输入端接收到的使能信号,控制所述移位寄存器单元的栅极信号输出端输出的栅极信号是否传送给所述栅极线。

[0031] 参见图 4, 较佳地, 所述显示面板栅驱动电路还包括:

[0032] 向所述栅极使能单元提供使能信号的集成电路 IC。

[0033] 参见图 5, 较佳地, 所述集成电路 IC 包括一比较电路, 所述比较电路将需要通过显示面板进行显示的相邻帧图像的相同行中的所有像素点的图像信息进行比较, 并将所述比较结果作为使能信号输出给所述栅极使能单元的使能信号输入端。

[0034] 较佳地, 若相邻帧图像的相同行中的所有像素点的图像信息相同, 所述使能信号使所述移位寄存器单元的栅极信号输出端输出的栅极信号不传送给所述栅极线, 即该行的图像数据不被刷新; 若相邻帧图像的相同行中有一个像素点的图像信息不相同, 所述使能信号使所述移位寄存器单元的栅极信号输出端输出的栅极信号传送给所述栅极线, 即该行的图像数据被刷新。

[0035] 参见图 5, 较佳地, 所述集成电路 IC 还包括:

[0036] 用于为每一级移位寄存器单元提供时钟信号的选通电路;

[0037] 用于为每一级移位寄存器单元提供复位信号(RESET)的复位电路;

[0038] 用于为第一级移位寄存器单元提供第一触发信号(STV1)的第一触发电路, 其中所述第一触发信号为用于触发第一级移位寄存器单元工作的信号

[0039] 较佳地, 所述选通电路根据所述比较电路的比较结果, 向所述各级移位寄存器单元提供不同的时钟信号。

[0040] 另外, 图 5 中每一级移位寄存器单元都具有复位信号(RESET) 仅为一个优选实施方式, 并不构成对本发明的限定, 例如可以通过下一级的输出给上一级做复位。图 5 中 CK, CKB 成对出现, 但这也仅为一个优选实施方式, 并不构成对本发明的限定, 也可以不成对出现。

[0041] 以第 $n+1$ 级移位寄存器单元为例, 其信号的输入输出如图 6 所示, 来自第 n 级的移位寄存器单元的信号 G_n 触发第 $n+1$ 级移位寄存器单元工作, CK 和 CKB 分别是其时钟信号, RESET 是其复位信号, CK、CKB 和 RESET 均由集成电路 IC 提供。第 $n+1$ 级移位寄存器单元输出的信号为 G_{n+1} , 用于触发第 $n+2$ 级移位寄存器单元工作, 同时也根据需要传输给相应的扫描线。

[0042] 对于第 1 级移位寄存器单元, 是通过集成电路 IC 提供的第一触发信号 STV1 触发工作的。

[0043] 较佳地, 若相邻帧图像的相同行中的所有像素点的图像信息相同, 所述选通电路向所述各级移位寄存器单元提供第一时钟信号(CK1、CKB1); 若相邻帧图像的相同行中有一个像素点的图像信息不相同, 所述选通电路向所述各级寄存器单元提供第二时钟信号(CK2、CKB2), 所述第一时钟信号的频率高于所述第二时钟信号的频率, 即 CK1 的频率大于 CK2 的频率; CKB1 的频率大于 CKB2 的频率。

[0044] GIP 电路的原理是利用逻辑信号线传递由集成电路(IC)产生的特定的波形信号, 然后在移位寄存器单元(也称为可重复单元)内产生 Gate 信号输出, 进而进行逐级触发, 如图 7 所示, 第 n 级移位寄存器单元产生的 Gate 信号 G_n 触发第 $n+1$ 级移位寄存器单元, 第 $n+1$ 级移位寄存器单元产生 Gate 信号 G_{n+1} 。一般来说, 对 Gate 的扫描速度起决定因素的有两个: 器件的速度, 以及控制信号的频率。

[0045] 所以, 本发明实施例在器件容许范围内, 通过改变时钟信号的频率, 就可以改变

Gate 的扫描速度,其中,所述的时钟信号泛指带有各种波形的输入信号,例如,图 7 中所示的时钟信号 CK 和 CKB 等等,而并非狭义上的单一的时钟信号。

[0046] 较佳地,参见图 8,与每一移位寄存器单元相连的栅极使能单元,包括两个 N 型薄膜场效应晶体管 TFT,其中:

[0047] 移位寄存器单元的栅极信号输出端,与第一薄膜场效应晶体管 TFT 的源极相连,第一 TFT 的漏极与第二 TFT 的源极相连,并且作为栅极使能单元的输出端,第一 TFT 的栅极由集成电路 IC 提供使能信号 EN、第二 TFT 的栅极由集成电路 IC 提供反向使能信号 ENB,第二 TFT 的漏极由集成电路 IC 提供栅极低电平电压信号 VGL。

[0048] 较佳地,当集成电路 IC 输出给第一 TFT 的栅极的使能信号 EN 为高电平信号,集成电路 IC 输出给第二 TFT 的栅极的反向使能信号 ENB 为低电平信号时,第一 TFT 导通,第二 TFT 断开,第一 TFT 的漏极输出栅极信号,该栅极信号通过栅极使能单元的输出端输出;

[0049] 当集成电路 IC 输出给第一 TFT 的栅极的使能信号 EN 为低电平信号,集成电路 IC 输出给第二 TFT 的栅极的反向使能信号 ENB 为高电平信号时,第一 TFT 断开,第二 TFT 导通,集成电路 IC 输出 VGL 信号给第二 TFT 的漏极,该 VGL 信号通过栅极使能单元的输出端输出。

[0050] EN 和 ENB 的控制机理:

[0051] EN 和 ENB 由 IC 提供,为普通数字信号。当 EN 为高电平,ENB 为低电平时,EN 控制的 TFT 管导通,ENB 控制的 TFT 管关闭,此时 Gate 线将有输出;当 EN 为低电平,ENB 为高电平时,EN 控制 TFT 管关闭,ENB 控制的 TFT 打开,使 Gate 锁定在 VGL (Gate 低电平电压),即无输出。

[0052] 本发明实施例可以通过提高时钟信号的频率,并且配合输入给栅极使能单元的使能信号,可以以较快速度跳过不想扫描的图像区域,然后,降低时钟信号的频率,同时配合输入给栅极使能单元的使能信号,从而进行图像的指定区域的扫描,达到一种寻址扫描的目的。

[0053] 如图 9 所示,在显示刷新过程前,可以将两幅画面(即当前显示画面和刷新画面)进行比较,从而得出需要跳过扫描的图像区域的行数,即 G3 至 Gn-1 行为图像的非扫描区域。

[0054] 参见图 10,在扫描 G1 和 G2 行时,将时钟信号 CK 和 CKB 的频率较低,G2 行之后,在未到达所需扫描显示的图像区域前,将 CK 和 CKB 的频率加快,将使能信号 EN 置为低电平,使能信号 ENB 置为高电平,使得 Gate 进行快速扫描(图中的 SKIP 过程),在此过程中 Gate 由于受制于 EN 和 ENB 信号,因此并无输出,当到达图像的指定扫描的位置,如第 n 行 Gate 时,恢复 CK 和 CKB 的信号频率,将 EN 使能信号置为高电平,使能信号 ENB 置为低电平,进行图像指定区域的刷新。

[0055] 以上栅极使能单元结构是针对非晶硅薄膜场效应晶体管(a-si TFT),但对于低温多晶硅薄膜场效应管(LTPS-TFT)工艺,仍可以提供一种结构来实现。如图 11 所示,由于 LTPS 可以提供良好的 P 型薄膜场效应晶体管 TFT,因此,可以将 EN 和 ENB 信号合二为一,成为一个统一的使能信号 EN。P 型薄膜场效应晶体管 TFT (即图 11 中所示的 T1)和 N 型薄膜场效应晶体管 TFT (即图 11 中所示的 T2)组成了一个常见的 CMOS 结构。其工作原理是:当 EN 为高电平时,T1 导通,T2 截止,移位寄存器单元 Un 输出的栅极信号 Gn,通过 T1 能对 Gate 线有输出。反之,若 EN 为低电平,T1 截止,T2 导通,Gate 线将通过 T2 锁定在 VGL 信

号,即无输出。从图 11 可以看出,在 Gate 线锁定在 VGL 电平时,并不会影响 G_n 对下一级移位寄存器单元的信号传递。

[0056] 因此,较佳地,与每一移位寄存器单元相连的栅极使能单元,包括一个 P 型薄膜场效应晶体管 TFT 和一个 N 型薄膜场效应晶体管 TFT,其中:

[0057] P 型薄膜场效应晶体管 TFT 的源极与移位寄存器单元的栅极信号输出端相连;P 型薄膜场效应晶体管 TFT 的漏极与 N 型薄膜场效应晶体管 TFT 的漏极相连,并作为栅极使能单元的输出端;P 型薄膜场效应晶体管 TFT 的栅极和 N 型薄膜场效应晶体管 TFT 的栅极均由集成电路 IC 提供使能信号 EN;N 型薄膜场效应晶体管 TFT 的源极由集成电路 IC 提供栅极低电平电压信号 VGL。

[0058] 当集成电路 IC 输出给 P 型薄膜场效应晶体管 TFT 的栅极和 N 型薄膜场效应晶体管 TFT 的栅极的使能信号 EN 为高电平信号时,P 型薄膜场效应晶体管 TFT 导通,N 型薄膜场效应晶体管 TFT 断开,P 型薄膜场效应晶体管 TFT 的漏极输出栅极信号,该栅极信号通过栅极使能单元的输出端输出;

[0059] 当集成电路 IC 输出给 P 型薄膜场效应晶体管 TFT 的栅极和 N 型薄膜场效应晶体管 TFT 的栅极的使能信号 EN 为低电平信号时,N 型薄膜场效应晶体管 TFT 导通,P 型薄膜场效应晶体管 TFT 断开,集成电路 IC 将 VGL 信号输出给 N 型薄膜场效应晶体管 TFT 的源极,该 VGL 信号通过栅极使能单元的输出端输出。

[0060] 此外,由于非晶硅 TFT 的速度限制,为了达到更快的寻址效果,可以在某些移位寄存器单元引出初始触发信号,如图 3 所示,在 $Un+1$ 和 $Un+2$ 之间引出了初始信号 STV2。如果指定需要初始化区域的起始地址线大于 $N+1$,便可以输入 STV2 信号代替上一级移位寄存器单元输出的栅极信号触发 GIP,这样需要扫描的时间会大大减少。一般意义上来说,额外增加 N 根触发信号 STV2 线,可使平均的寻址时间减小为 $1/N$,但同时也会带来占用面积增加的后果,因此在具体的设计方案中需对速度和面积进行平衡。

[0061] 例如,显示器分辨率为 $800(\text{Gate}) \times 480$,如果将第 401 级的移位寄存器单元的触发信号 STV2 引出,需要快速扫描的最长时间为 $400T$,其中 T 为快速扫描时,平均每根 Gate 占用的扫描时间。

[0062] 因此,较佳地,如图 5 所示,所述集成电路 IC 还包括:

[0063] 用于向选定的移位寄存器单元提供第二触发信号(STV2)的第二触发电路,其中所述第二触发信号,为用于触发选定的移位寄存器单元工作的信号。

[0064] 下面分别给出本发明实施例提供的集成电路中的比较电路和选通电路的原理介绍。

[0065] 参见图 12,本发明实施例提供的集成电路中的比较电路,包括将来帧单元、当前帧单元和需扫描区域真值表单元。

[0066] 在显示画面的同时,比较电路将正在显示的图片 and 即将显示的图片分别存入如图 12 所示的当前帧单元和将来帧单元中。然后,在前后行的显示间隔时间内,对这两个图片进行比较,并将需扫描的区域以二进制形式存入存储器(一般为寄存器),即图 12 中所示的序扫描区域真值表单元中。

[0067] 将来帧单元、当前帧单元和需扫描区域真值表单元均为存储器,当前帧单元和将来帧单元的容量和图片大小相同,需扫描区域真值表单元的大小和栅极数目有关,如果栅

极数目为 800,则可以把需扫描区域真值表单元设置成 800×1 寄存器,即 800 个 1 位的寄存器。

[0068] 比较电路可以用 verilog 语言表述,将当前帧和将来帧的每一行需要扫描的数据引到这个比较电路,就会输出 0 和 1 的数据流,然后将 0、1 移位存入需扫描区域真值表单元中。

[0069] 本发明实施例提供的集成电路中的选通电路如图 13 所示,例如可以是常见的 2 选 1 多路复用器,其电路特性也可以用 verilog 语言描述,可以在每个需要输出的时钟信号的上升沿到来后,将比较电路中需扫描区域真值表单元的值(即比较电路的比较结果)输入到选通电路,于是选通电路输出端输出的时钟信号便可以在 CK1、CKB1,和 CK2、CKB2 之间切换,从而调整输出的时钟信号的频率,将此时钟信号引入到 GIP 电路中,就可以实现变频驱动了。

[0070] 最后,本发明实施例提供的一种显示屏,可以包括上述各种显示面板栅驱动电路。

[0071] 综上所述,本发明实施例提供的显示面板栅驱动电路,只需增加少量的地址线和控制线,就可以实现变频驱动 GIP 寻址,在 GIP 结构中增加了初始触发信号线,从而进一步提高了寻址速度。并且,寻址的实现方式无需在面板(panel)上实现译码,即无需增加译码电路,省去了译码电路,占用更小的面积,适合非晶硅材料。本发明实施例提供的技术方案,适用于带有 Gate 寻址电路的各类显示屏。

[0072] 本领域内的技术人员应明白,本发明的实施例可提供为方法、系统、或计算机程序产品。因此,本发明可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且,本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质(包括但不限于磁盘存储器和光学存储器等)上实施的计算机程序产品的形式。

[0073] 本发明是参照根据本发明实施例的方法、设备(系统)、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0074] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中,使得存储在该计算机可读存储器中的指令产生包括指令装置的制品,该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

[0075] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上,使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理,从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0076] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围

之内,则本发明也意图包含这些改动和变型在内。

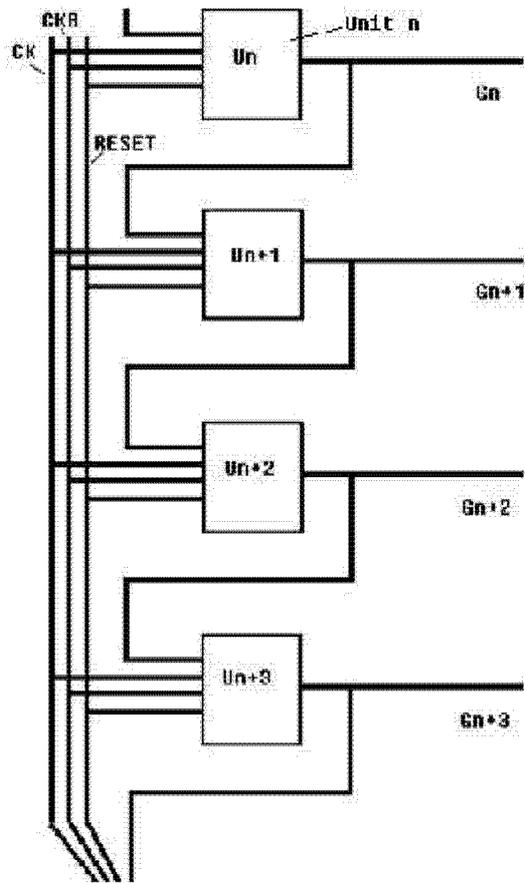


图 1

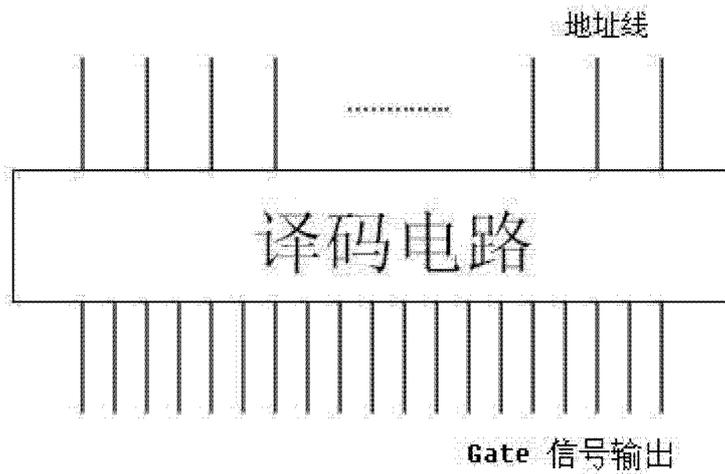


图 2

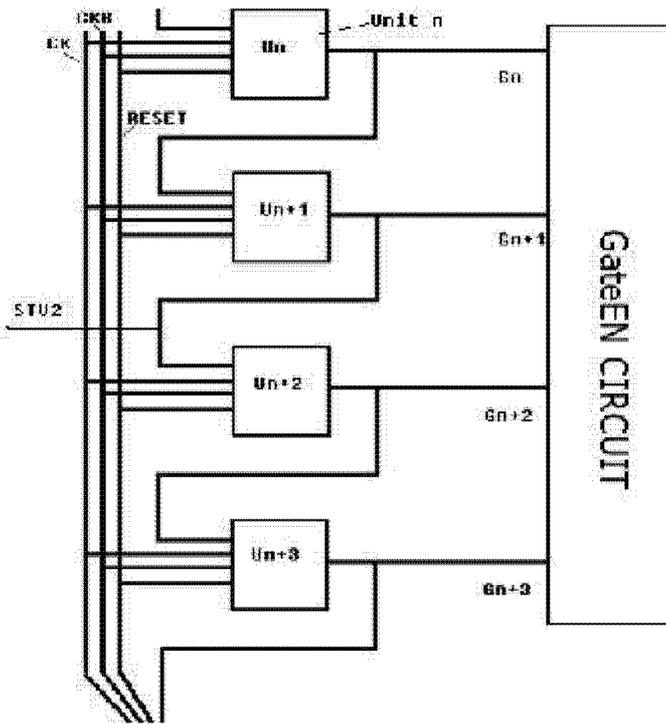


图 3

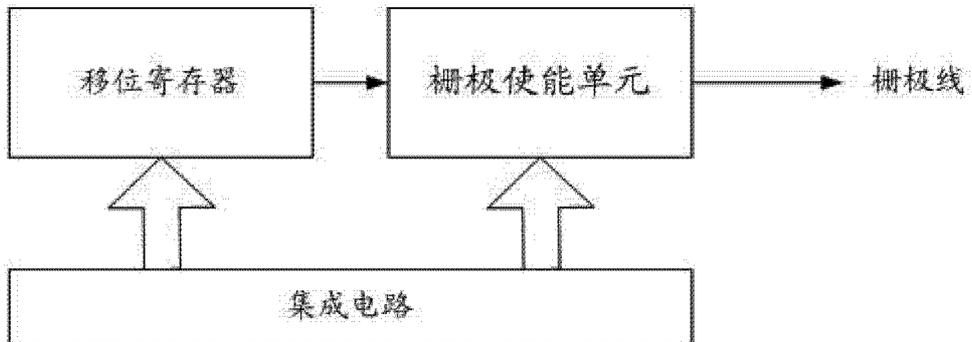


图 4

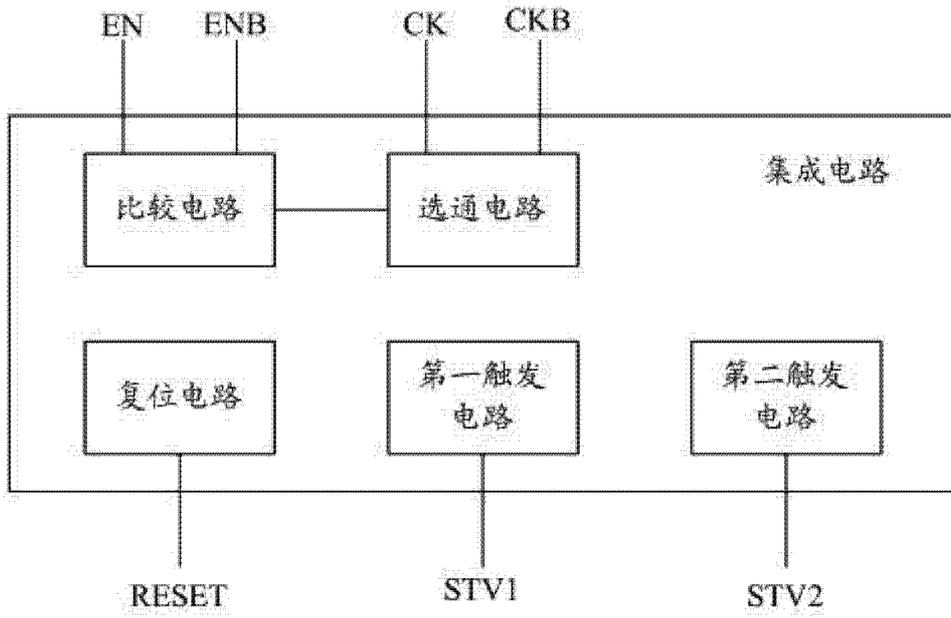


图 5



图 6

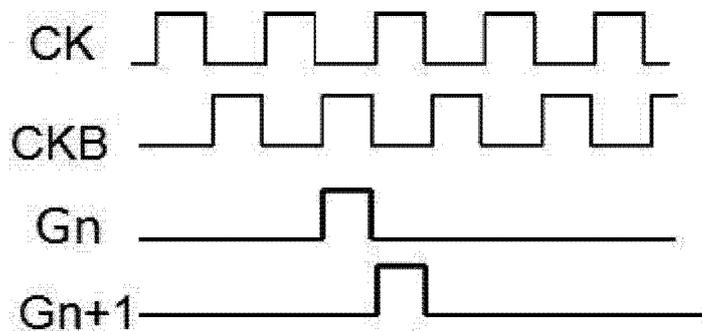


图 7

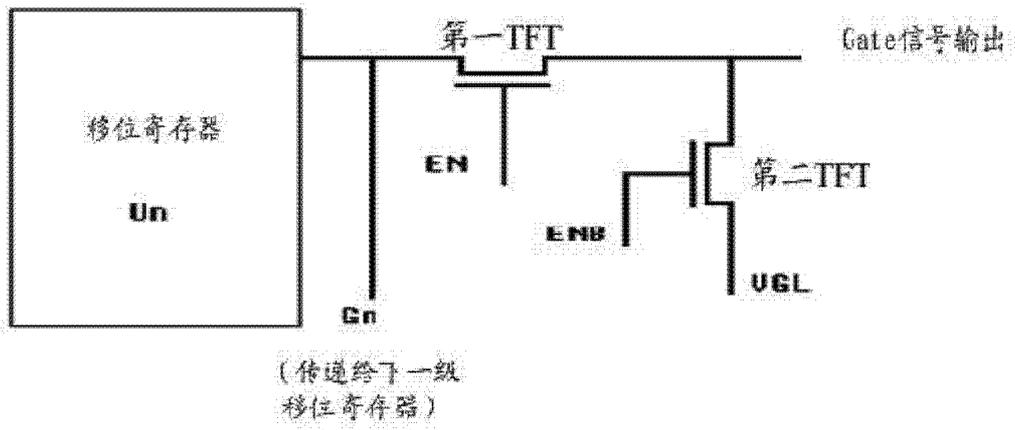


图 8

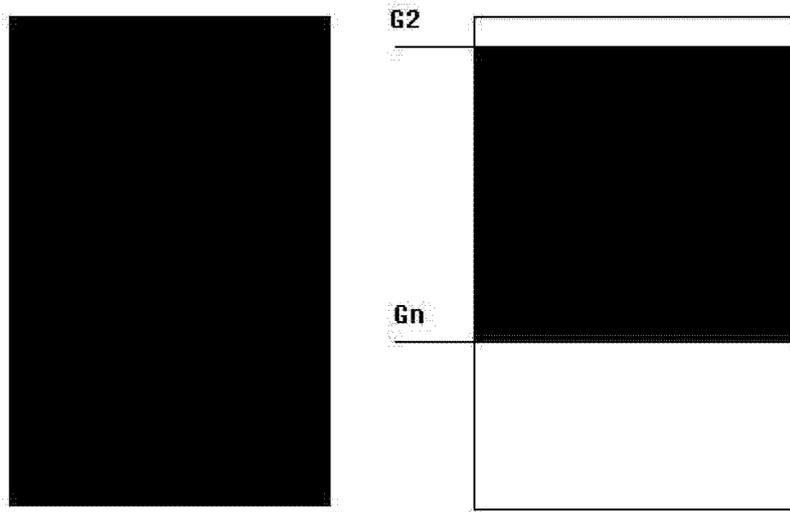


图 9

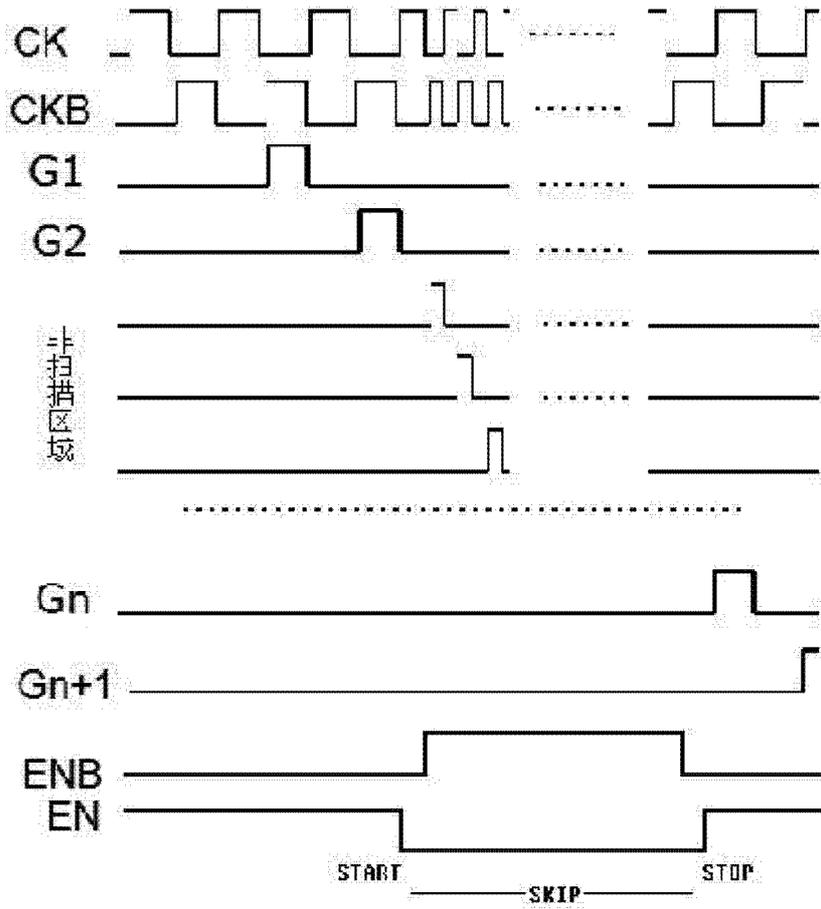


图 10

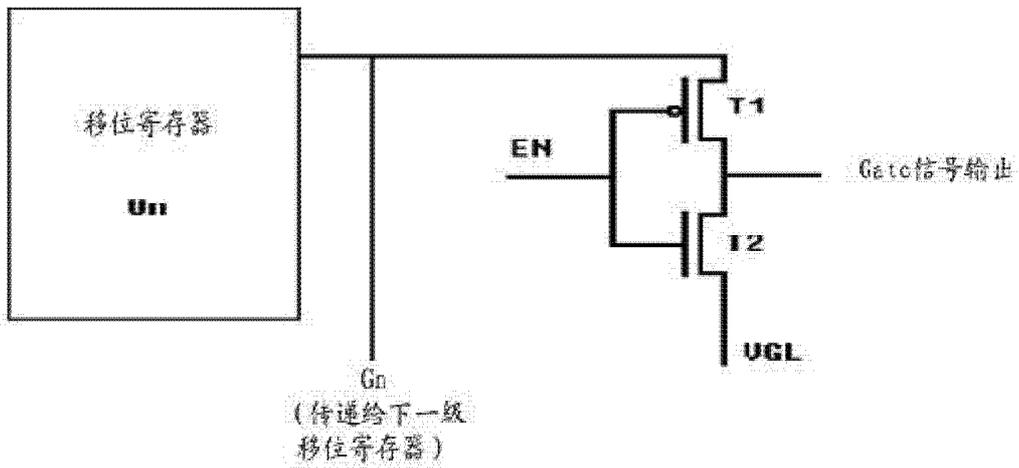


图 11

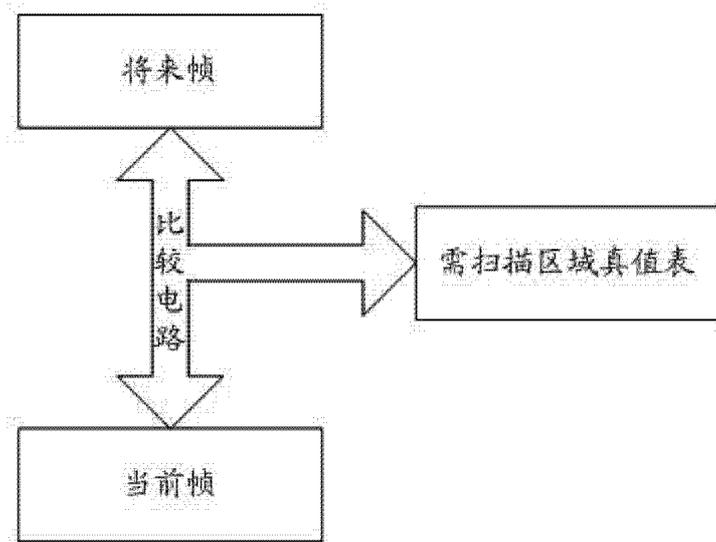


图 12

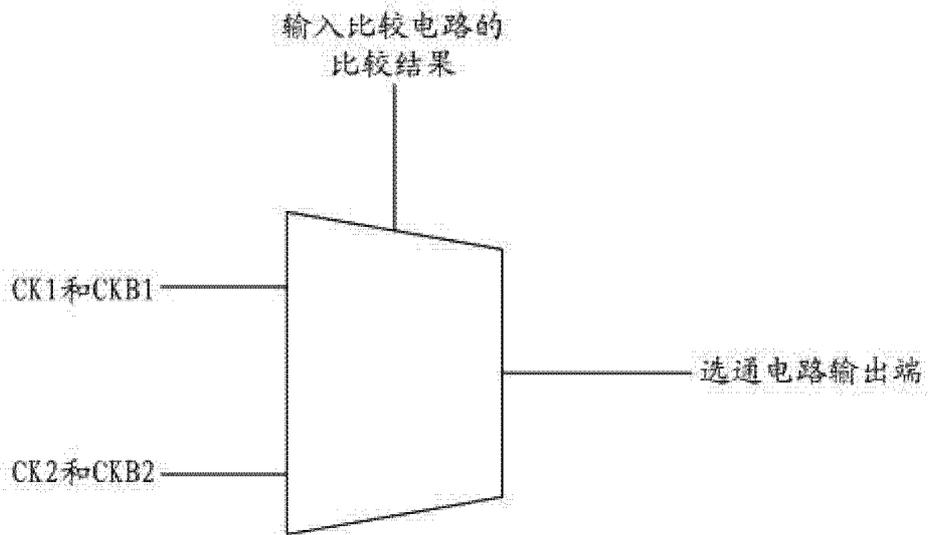


图 13