



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년06월17일
 (11) 등록번호 10-1631634
 (24) 등록일자 2016년06월13일

- | | |
|---|---|
| (51) 국제특허분류(Int. Cl.)
H01L 27/10 (2006.01) G11C 11/39 (2006.01)
H01L 21/332 (2006.01) H01L 29/74 (2006.01)
(21) 출원번호 10-2010-7029657
(22) 출원일자(국제) 2009년05월28일
심사청구일자 2014년03월21일
(85) 번역문제출일자 2010년12월29일
(65) 공개번호 10-2011-0039518
(43) 공개일자 2011년04월19일
(86) 국제출원번호 PCT/US2009/003246
(87) 국제공개번호 WO 2009/148533
국제공개일자 2009년12월10일
(30) 우선권주장
12/128,908 2008년05월29일 미국(US)
(56) 선행기술조사문헌
US07078739 B1*
*는 심사관에 의하여 인용된 문헌 | (73) 특허권자
글로벌파운드리즈 인크.
케이만 아일랜드 케이와이1-1104 그랜드 케이만
어그랜드 하우스 피.오.박스 309 메이플즈 코포레
이트 서비스즈 리미티드
(72) 발명자
조현진
미국 캘리포니아 94303 팔로 알토 데니스 드라이
브 936
(74) 대리인
박장원 |
|---|---|

전체 청구항 수 : 총 10 항

심사관 : 최정민

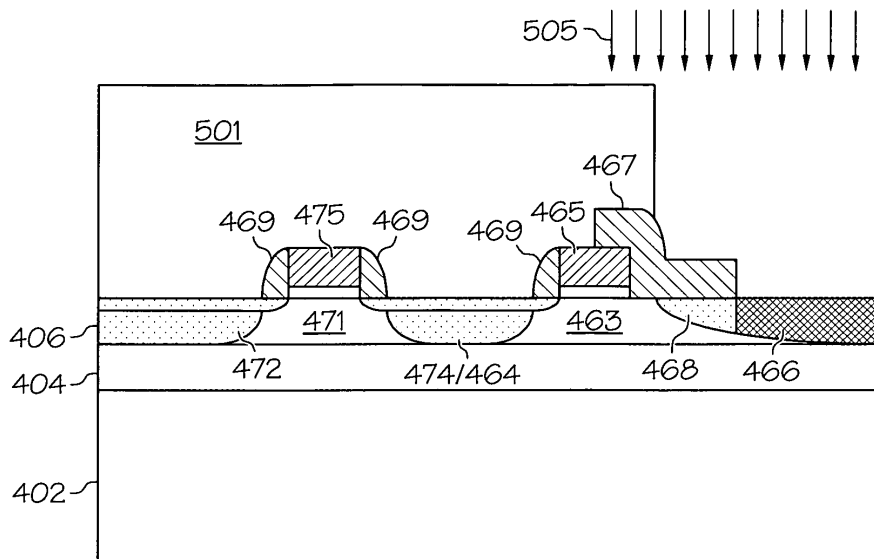
(54) 발명의 명칭 **게이티드 레터럴 사이리스터 기반 랜덤 액세스 메모리(GLTRAM) 셀들의 제조 방법**

(57) 요약

게이티드 레터럴 사이리스터 기반 메모리 디바이스(GLTRAM)를 제조하는 방법이 제공된다. 반도체층(406) 내부에 제1 전도성 타입(first conductivity type)의 제1, 제2, 제3 및 제4 웰 영역들(well regions)(463, 471, 486, 493)을 포함하는 반도체층(406)이 제공된다. 제1 게이트 구조(465/408)는 상기 제1 웰 영역(463) 위에 놓이고,

(뒷면에 계속)

대표도 - 도20



제2 게이트 구조(475/408)는 상기 제2 웰 영역(471) 위에 놓이고, 제3 게이트 구조(485/408)는 상기 제3 웰 영역(486) 위에 놓이며 상기 제2 게이트 구조(475/408)와 일체형(integral)이고, 제4 게이트 구조(495/408)는 상기 제4 웰 영역(493) 위에 놓인다. 측벽 스페이서들(467)이 상기 제1 게이트 구조(465/408)의 제1 측벽(414) 및 상기 제2 내지 제4 게이트 구조들(475/408, 485/408, 495/408)의 측벽들(412, 413, 416, 417, 418, 419)에 인접하게 형성된다. 또한, 절연 스페이서 블록(469)이 상기 제1 웰 영역(463)의 일부(468)와 상기 제1 게이트 구조(465/408)의 일부 위에 형성된다. 상기 절연 스페이서 블록(469)은 상기 제1 게이트 구조(465/408)의 제2 측벽(415)에 인접한다. 제1 소스 영역(472)이 상기 제1 게이트 구조(465/408)에 인접하여 형성되고, 공통 드레인/캐소드 영역(474/464)이 상기 제1 및 제2 게이트 구조들(465/408, 475/408) 사이에 형성되고, 제2 소스 영역(482)이 상기 제3 게이트 구조(485/408)에 인접하여 형성되고, 공통 드레인/소스 영역(484/492)이 상기 제3 및 제4 게이트 구조들(485/408, 495/408) 사이에 형성되며, 그리고 드레인 영역(494)이 상기 제4 게이트 구조(495/408)에 인접하여 형성된다. 상기 제1 게이트 구조(465/408)에 인접한 절연 스페이서 블록(467) 아래에 상기 제1 웰 영역(463) 내부로 신장되는 제1 베이스 영역(468)이 형성되고, 상기 제1 웰 영역(463) 내에, 상기 제1 베이스 영역(468)에 인접한 상기 제1 웰 영역(463) 내부로 신장되는 애노드 영역(466)이 형성된다.

명세서

청구범위

청구항 1

제1 트랜지스터(470), 제2 트랜지스터(480), 제3 트랜지스터(490) 및 사이리스터(462)를 포함하는 메모리 셀(410) 제조 방법으로서,

반도체층(406) 내부에 제1 전도성 타입(first conductivity type)의 제1, 제2, 제3 및 제4 웰 영역들(well regions)(463, 471, 486, 493)을 포함하는 반도체층(406)과, 상기 제1 웰 영역(463) 위에 놓인 상기 사이리스터(462)의 제1 게이트 구조(465/408)와, 상기 제2 웰 영역(471) 위에 놓인 상기 제1 트랜지스터(470)의 제2 게이트 구조(475/408)와, 상기 제3 웰 영역(486) 위에 놓이며 상기 제2 게이트 구조(475/408)와 일체형으로된(integral with) 상기 제2 트랜지스터(480)의 제3 게이트 구조(485/408)와, 그리고 상기 제4 웰 영역(493) 위에 놓인 상기 제3 트랜지스터(490)의 제4 게이트 구조(495/408)를 제공하는 단계와;

상기 제1 게이트 구조(465/408)의 제1 측벽(414) 및 상기 제2 내지 제4 게이트 구조들(475/408, 485/408, 495/408)의 측벽들(412, 413, 416, 417, 418, 419)에 인접한 측벽 스페이서들(467), 및 상기 제1 웰 영역(463)의 일부(468)와 상기 제1 게이트 구조(465/408)의 일부 위에 놓이는 절연 스페이서 블록(469)을 형성하는 단계와, 상기 절연 스페이서 블록(469)은 상기 제1 게이트 구조(465/408)의 제2 측벽(415)에 인접하며;

상기 제1 게이트 구조(465/408)에 인접한 제1 소스 영역(472), 상기 제1 및 제2 게이트 구조들(465/408, 475/408) 사이의 공통 드레인/캐소드 영역(474/464), 상기 제3 게이트 구조(485/408)에 인접한 제2 소스 영역(482), 상기 제3 및 제4 게이트 구조들(485/408, 495/408) 사이의 공통 드레인/소스 영역(484/492), 및 상기 제4 게이트 구조(495/408)에 인접한 드레인 영역(494)을 형성하는 단계와; 그리고

상기 제1 게이트 구조(465/408)에 인접한 절연 스페이서 블록(467) 아래에 상기 제1 웰 영역(463) 내부로 신장되는 제1 베이스 영역(468), 및 상기 제1 베이스 영역(468)에 인접한 상기 제1 웰 영역(463) 내부로 신장되는 상기 제1 웰 영역(463) 내의 애노드 영역(466)을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 2

제1 항에 있어서,

상기 제1 게이트 구조(465/408)의 제1 측벽(414) 및 상기 제2 내지 제4 게이트 구조들(475/408, 485/408, 495/408)의 측벽들(412, 413, 416, 417, 418, 419)에 인접한 측벽 스페이서들(467), 및 상기 제1 웰 영역(463)의 일부(468)와 상기 제1 게이트 구조(465/408)의 일부 위에 놓이는 절연 스페이서 블록(469)-상기 절연 스페이서 블록(469)은 상기 제1 게이트 구조(465/408)의 제2 측벽(415)에 인접함-을 형성하는 단계는,

상기 반도체층(406)의 노출 부분들(exposed portions) 위에 절연 물질 층(467)을 등각으로(conformally) 증착하는 단계와;

상기 제1 웰 영역(463)의 일부(468) 및 상기 제1 게이트 구조(465/408)의 일부 위에 놓이는 절연 물질 층의 일부 위에 감광성 물질(photosensitive material)(496)을 제공하는 단계와; 그리고

상기 제1 게이트 구조(465/408)의 제1 측벽(414) 및 상기 제2 내지 제4 게이트 구조들(475/408, 485/408, 495/408)의 측벽들(412, 413, 416, 417, 418, 419)에 인접한 측벽 스페이서들(467), 및 상기 제1 웰 영역(463)의 일부(468)와 상기 제1 게이트 구조(465/408)의 일부 위에 놓이는 절연 스페이서 블록(469)-상기 절연 스페이서 블록(469)은 상기 제1 게이트 구조(465/408)의 제2 측벽(415)에 인접함-을 제공하기 위하여, 상기 절연 물질 층(467)의 노출 부분들을 이방성으로(anisotropically) 식각하는 단계를 더 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 3

제1 항에 있어서,

상기 제1 게이트 구조(465/408)에 인접한 제1 소스 영역(472), 상기 제1 및 제2 게이트 구조들(465/408, 475/408) 사이의 공통 드레인/캐소드 영역(474/464), 상기 제3 게이트 구조(485/408)에 인접한 제2 소스 영역(482), 상기 제3 및 제4 게이트 구조들(485/408, 495/408) 사이의 공통 드레인/소스 영역(484/492), 및 상기 제4 게이트 구조(495/408)에 인접한 드레인 영역(494)을 형성하는 단계는,

상기 절연 스페이서 블록(469) 및 상기 제1 웰 영역(463)의 일부 위에 제1 이온 주입 마스크(499)를 형성하는 단계와; 그리고

상기 제1 게이트 구조(465/408)에 인접한 제1 소스 영역(472), 상기 제1 및 제2 게이트 구조들(465/408, 475/408) 사이의 공통 드레인/캐소드 영역(474/464), 상기 제3 게이트 구조(485/408)에 인접한 제2 소스 영역(482), 상기 제3 및 제4 게이트 구조들(485/408, 495/408) 사이의 공통 드레인/소스 영역(484/492), 및 상기 제4 게이트 구조(495/408)에 인접한 드레인 영역(494)을 형성하기 위하여, 상기 제1 웰 영역(463) 및 상기 제2 내지 제4 웰 영역들(471, 486, 493)의 노출 부분 내부로 제2 전도성 타입을 갖는 도판트 이온들(497)을 주입하는 단계를 더 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 4

제3 항에 있어서,

상기 제1 게이트 구조(465/408)에 인접한 절연 스페이서 블록(467) 아래에 상기 제1 웰 영역(463) 내부로 신장되는 제1 베이스 영역(468), 및 상기 제1 베이스 영역(468)에 인접한 상기 제1 웰 영역(463) 내부로 신장되는 상기 제1 웰 영역(463) 내의 애노드 영역(466)을 형성하는 단계는,

상기 절연 스페이서 블록(469)에 인접한 상기 제1 웰 영역(463)의 또 다른 부분을 노출시키는 제2 이온 주입 마스크(501)를 상기 제1 내지 제4 게이트 구조들(465/408, 475/408, 485/408, 495/408) 위에 형성하는 단계와;

상기 제1 게이트 구조(465/408)에 인접한 상기 절연 스페이서 블록(467) 아래에 상기 제1 웰 영역(463) 내부로 신장되는 상기 제1 웰 영역(463) 내의 제1 베이스 영역(468)을 형성하기 위하여, 상기 반도체층(406)의 상면(upper surface)에 대해 45도 미만의 각도에서 상기 절연 스페이서 블록(469)에 인접한 상기 제1 웰 영역(463)의 다른 노출 부분 내부로 상기 제2 전도성 타입을 갖는 도판트 이온들(503)을 주입하는 단계와; 그리고

상기 제1 베이스 영역(468)과 상기 절연 스페이서 블록(467)에 인접한 애노드 영역(466)을 형성하기 위하여 상기 제1 베이스 영역(468)의 노출 부분 내부로 상기 제1 전도성 타입을 갖는 도판트 이온들(505)을 주입하는 단계를 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 5

제1 항에 있어서,

상기 제1 소스 영역(472), 상기 공통 드레인/캐소드 영역(474/464), 상기 제2 소스 영역(482), 상기 공통 드레인/소스 영역(484/492), 상기 드레인 영역(494), 상기 제1 베이스 영역(468), 상기 애노드 영역(466) 내에 주입된 도판트 이온들이 외향 측방 확산(outward lateral)되도록, 상기 도판트 이온들이 주입된 제1 소스 영역(472), 상기 도판트 이온들이 주입된 공통 드레인/캐소드 영역(474/464), 상기 도판트 이온들이 주입된 제2 소스 영역(482), 상기 도판트 이온들이 주입된 공통 드레인/소스 영역(484/492), 상기 도판트 이온들이 주입된 드레인 영역(494), 상기 도판트 이온들이 주입된 제1 베이스 영역(468), 상기 도판트 이온들이 주입된 애노드 영역(466)을 가열(heating)하는 단계를 더 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 6

제5 항에 있어서,

상기 공통 드레인/캐소드 영역(474/464) 및 상기 제4 게이트 구조(495/408) 내에 상기 공통 드레인/캐소드 영역(474/464)를 상기 제4 게이트 구조(495/408)에 전기적으로 연결(electronically coupling)하는 실리사이드 영역(444)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 7

제1 항에 있어서,

상기 제1 소스 영역(472), 상기 애노드 영역(466), 상기 제2 소스 영역(482), 및 상기 드레인 영역(494)과 전기적으로 컨택(electrically contact)하는 배선들(interconnects)(421, 428, 422, 429)을 형성하는 단계와; 그리고

상기 배선들(421, 428, 422, 429)과 전기적으로 컨택하는 제1 비아들(441, 448, 442, 449)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 8

제7 항에 있어서,

전력 공급 라인(power supply line)(432)과 기록 인에이블 라인(430)을 형성하는 단계를 더 포함하고, 상기 전력 공급 라인(432)은 제1 비아(448) 및 배선(428)을 통하여 상기 애노드 영역(466)과 전기적으로 컨택하고, 상기 기록 인에이블 라인(430)은 상기 제1 게이트 구조(465/408) 및 상기 제1 베이스 영역(468)과 전기적으로 컨택하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 9

제7 항에 있어서,

상기 제1 비아들(441, 442)과 전기적으로 컨택하는 제2 비아들(451, 455)을 형성하는 단계와; 그리고

상기 제1 소스 영역(472)과 전기적으로 컨택하는 기록 비트 라인(452) 및 상기 제2 소스 영역(482)과 전기적으로 컨택하는 판독 비트 라인(454)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 10

제7 항에 있어서,

상기 제1 소스 영역(472) 및 상기 제2 소스 영역(482)과 전기적으로 컨택하는 전력 공급 라인(420), 상기 제1 게이트 구조(465/408) 및 상기 제1 베이스 영역(468)과 전기적으로 컨택하는 기록 인에이블 라인(430), 그리고 상기 애노드 영역(466)을 상기 드레인 영역(494)에 전기적으로 연결하는 커넥터 라인(634)을 형성하는 단계와; 그리고

상기 제2 소스 영역(482)과 전기적으로 컨택하는 판독 비트 라인(454) 및 상기 애노드 영역(466)과 전기적으로 컨택하는 기록 비트 라인(452)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 디바이스 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 일반적으로 반도체 메모리 디바이스에 관한 것이다. 보다 구체적으로는, 본 발명의 실시예들은 게이트드 래티컬 사이리스터 기반 랜덤 액세스 메모리(gated lateral thyristor-based random access memory : GLTRAM) 메모리 셀 구조에 관한 것이며, 이러한 GLTRAM 메모리 셀들을 구현하는 메모리 디바이스 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 집적 회로 메모리는 정적 랜덤 액세스 메모리(static random access memory: SRAM)를 포함한다. 많은 SRAM 셀 구조들이 6-트랜지스터 또는 8-트랜지스터 메모리 셀들을 사용한다. SRAM 셀들의 많은 실시예들에서 사용되는 이러한 6-트랜지스터 및 8-트랜지스터 메모리 셀들과 관련된 커다란 레이아웃 영역은 고 밀도 SRAM 디바이스의 설계를 제약해왔다.

[0003] 이러한 단점으로 인해, 종래의 메모리 셀들과 비교하여 감소된 레이아웃 영역 및 간단한 레이아웃을 가진 사이리스터-기반 메모리 셀을 개발하려는 시도가 있어왔다. 사이리스터는 PNPN 구조로 배열된 P-타입 애노드 영역, N-타입 베이스 영역, 게이트형 전극(gated electrode)과 연결된 P-타입 베이스 영역, 그리고 N-타입 캐소드 영역을 포함하는 4 층 구조로 구성된 쌍안정형(bi-stable), 3 단자 디바이스(three terminal device)이다. PN 접합(junction)은 P-타입 애노드 영역과 N-타입 베이스 영역 사이, N-타입 베이스 영역과 P-타입 베이스 영역 사이, 그리고 P-타입 베이스 영역과 N-타입 캐소드 영역 사이에 형성된다. P-타입 애노드 영역, N-타입 캐소드 영역, 그리고 P-타입 베이스 영역에 콘택들이 만들어진다.

[0004] F-Nemati와 J.D.Plummer는 액세스 트랜지스터 및 게이트-어시스트형, 수직 PNPN 사이리스터를 포함하는 2-디바이스 사이리스터-기반 SRAM(T-RAM) 셀을 개시하였다. "A NOVEL Thristor-based SRAM Cell (T-RAM) for High-Speed, Low-Voltage, Giga-scale Memories, Center for Integrated Systems"(Stanford University, Stanford, CA., 1999; F.Nemati, J.D.Plummer)를 참조하기로 한다. T-RAM 셀의 성능은 수직 사이리스터의 턴오프 특성에 의존한다. 턴오프 특성은 PNPN 사이리스터의 P-타입 베이스 영역 내의 저장된 전하 및 캐리어 전이시간(carrier transit time)에 의존한다. 기록-제로 오퍼레이션(write-zero operation)을 위해 사이리스터를 역 바이어싱함으로써, 그리고 저장된 전하를 방전하기 위해 수직 사이리스터의 턴오프 스위칭을 보조하는 게이트형 전극을 사용함으로써, 수직 사이리스터의 턴오프 특성들이 수 밀리세컨드에서 수 나노세컨드로 개선된다.

[0005] 도 1은 T-RAM 셀(110)을 포함하는 종래의 사이리스터-기반 랜덤 액세스 메모리(T-RAM) 셀들의 어레이를 도시하는 회로도(100)이다.

[0006] 도 1에 도시된 바와 같이, T-RAM 셀(110)은 워드 라인들(120, 130), 공통 비트 라인(150), NMOS 액세스 트랜지스터(170)와 직렬인 TCCT(Thin Capacitively-Coupled Thyristor) 디바이스(160)로 구성된다. TCC 디바이스(160)는 사이리스터(162) 및 상기 사이리스터(160)의 게이트에 연결된 커패시터(165)를 포함하는 능동 저장 소자를 제공한다. NMOS 액세스 트랜지스터(170)가 TCCT 디바이스(160)의 캐소드 노드(146)와 공통 비트 라인(150) 사이에 연결된다. TCCT 디바이스(160)의 애노드 노드(148)는 양의 바이어스(positive bias)에서 고정된다. TCCT 디바이스(160)는 쌍안정 전류-대-전압(I-V) 특성을 보여준다. 상기 쌍안정 전류-대-전압 특성은 논리 1과 논리

0 데이터 상태를 사이에 넓은 판독 마진을 야기하는 바, 이는 두 상태들 사이의 온/오프 전류 비율이 1×10^5 보다 크기 때문이다. F.Nemati et al.을 참조하기로 한다. 쌍안정 전류-대-전압 특징은 결과적으로 양호한 판독 전류가 되게 하는바, 이는 논리 1 데이터 상태에서, TCC 디바이스(160)가 포워드 다이오드 모드에 있어서 보다 높은 전류가 야기 되기 때문이다. T-RAM 셀(110)에 논리 1을 저장하기 위하여, 대기 또는 홀딩 전류보다 큰 정 전류가 TCCT 디바이스(160) 및 NMOS 액세스 트랜지스터(170)를 통해 인가된다. 공통 비트 라인(150)을 통해 메모리 셀들 각각으로부터의 전류가 수집된다. 판독 동작 동안, 공통 비트 라인(150)의 전압 레벨은 특정 레벨(예를 들어, 접지 또는 $1/2(V_{dd})$)로 유지되어야 한다. 공통 비트 라인(150)에 연결된 각각의 메모리 셀들에서 전류가 흐르면, 공통 비트 라인(150)의 전압 레벨이 변동될 것이다. 선택된 셀 및 선택되지 않은 셀들로부터의 누설 전류 모두에 의해 공통 비트 라인(150)의 전압 레벨이 변경되므로, 이는 판독 동작이 방해되게 할 것이다("판독 방해(read disturbance)"라고도 지칭됨).

[0007] 도 2는 TCCT(Thin Capacitively-Coupled Thyristor)-DRAM 셀들(210, 270)을 포함하는 종래의 TCCT-DRAM 셀들의 어레이를 도시하는 회로도(200)이다. 통상적으로 MOSFET 디바이스 및 커패시터를 포함하는 종래의 DRAM 셀들과 다르게, TCCT-DRAM 셀(210)은 단일 TCCT 디바이스(260) 및 판독 인에이블 라인(230), 워드 라인(240), 및 비트 라인(250)을 포함하는 3개의 제어 라인들을 포함한다. 특히, TCCT-DRAM 셀(210)은 액세스 트랜지스터를 필요로 하지 않는다. TCCT 디바이스(260)는, 비트 라인(250)에 연결된 애노드 노드(248)와 워드 라인(240)에 연결된 캐소드 노드(246)를 포함하는 사이리스터(262), 그리고 사이리스터(262)의 P-베이스 영역(도시되지 않음) 위에서 직접 게이트 라인(판독 인에이블 라인(230)으로서 기능함)에 연결된 게이트 커패시터(265)로 구성된다. TCC-DRAM 셀(210)은 대기 모드(standby mode), 로직 1 기록 동작, 로직 0 기록 동작, 그리고 판독 동작을 포함하는 기본적인 판독/기록 동작들을 사용하여 동작된다.

[0008] 대기 모드에서, 비트 라인(250)과 워드 라인(240)이 모두 Vdd에 있고, 저장된 데이터는 사이리스터의 P-베이스 영역의 전하 상태에 의해 유지된다. TCCT DRAM의 워드 라인(240)은 기록 인에이블 라인(230)을 따라 연결된 TCC 셀들을 작동시킨다. 로직 1 기록 동작 중에, 워드 라인(240)이 접지 레벨인 상태에서 비트 라인(250)에 인가된 전압이 높게 유지되고 기록 인에이블 라인(230)에 펄스가 인가되어, TCCT 디바이스(260)가 래치하도록 트리거링 된다. 기록 0 동작의 바이어스 기법은 비트 라인(250)에 인가된 전압이 낮게 유지되어 기록 인에이블 라인(230)의 펄스가 TCC 디바이스(260)를 블로킹 상태로 스위칭시키는 것을 제외하고는 기록 1 동작과 동일하다. 판독 동작 동안, 워드 라인(240)은 낮게 유지되고, 비트 라인(250)의 전압 또는 전류에서의 변화가 감지 증폭기에 의해 판독된다.

[0009] 기록 0 동작 후 발생하는 대기 모드 또는 "홀딩 기간" 중에, 애노드 노드(248)로부터 캐소드 노드(246)으로 흐르는 역 누설 전류로 인하여 사이리스터의 P-베이스 영역(도시되지 않음)은 음으로 충전되고 P-베이스 영역의 전위가 점점 증가된다. 이 누설 전류 때문에, TCCT-DRAM 셀(210)은 판독 동작 중에 주기적으로 리프래시되어 TCCT-DRAM 셀(210)의 전하 상태가 리셋되게 하여야 한다. 리프래시 동작은 TCCT-DRAM 셀(210)로부터 저장된 값을 판독하는 것과 그후 상기 저장된 값을 TCCT-DRAM 셀(210)에 다시 기록하는 것을 포함한다.

발명의 내용

해결하려는 과제

[0010] 따라서, 작은 메모리 셀 사이즈와 빠른 동작 속도를 가진 메모리 디바이스 및 메모리 셀 구조, 그리고 그러한 메모리 디바이스 및 메모리 셀 구조를 제조하는 방법이 필요하다. 그러한 메모리 디바이스 및 메모리 셀 구조가 또한 주기적인 리프래시 동작을 수행할 필요를 없애줄 수 있다면 바람직할 것이다. 또한 그러한 메모리 디바이스 및 메모리 셀 구조가 판독 동작 중 발생할 수 있는 판독 방해와 같은 문제들을 경감 및/또는 해소해줄 수 있다면 바람직할 것이다.

과제의 해결 수단

[0011] 본 발명의 일 실시예에 따르면, 메모리 디바이스를 제조하는 방법이 제공된다. 반도체 층 내에 제1 전도성 타입의 제1, 제2, 제3 및 제4 웰 영역을 포함하는 반도체 층이 제공된다. 제1 게이트 구조는 제1 웰 영역 위에 놓이고, 제2 게이트 구조는 제2 웰 영역 위에 놓이고, 제3 게이트 구조는 제3 웰 영역 위에 놓이고 제2 게이트 구조와 일체형(integral)이며, 그리고 제4 게이트 구조는 제4 웰 영역 위에 놓인다. 측벽 스페이서들은 제1 게이트 구조의 제1 측벽, 및 제2 내지 제4 게이트 구조의 측벽들에 인접하게 형성되고 절연 스페이서 블록이 제1 웰 영역의 일부 및 제1 게이트 구조의 일부 위에 형성된다. 절연 스페이서 블록은 제1 게이트 구조의 제2 측벽에 인

접한다. 제1 소스 영역이 제1 게이트 구조에 인접하게 형성되고, 공통 드레인/캐소드 영역이 제1 게이트 구조와 제2 게이트 구조 사이에 형성되고, 제2 소스 영역이 제3 게이트 구조에 인접하게 형성되고, 공통 드레인/소스 영역이 제3 게이트 구조와 제4 게이트 구조 사이에 형성되며, 드레인 영역이 제4 게이트 구조에 인접하게 형성된다. 제1 게이트 구조에 인접한 절연 스페이서 블록 아래의 제1 웰 영역 내로 신장되는 제1 베이스 영역이 형성되고, 제1 베이스 영역에 인접한 제1 웰 영역 내로 신장되는 애노드 영역이 제1 웰 영역 내에 형성된다.

도면의 간단한 설명

[0012]

상세한 설명 및 청구항들을 하기의 도면들과함께 고려하여 참조함으로써 본 발명이 보다 완전히 이해될 것이다.

도 1은 종래의 사이리스터-기반 랜덤 액세스 메모리(T-RAM) 셀들의 어레이를 도시하는 회로도이다.

도 2는 종래의 TCCT(Thin Capacitive-Coupled Thyristor)-DRAM 셀의 어레이를 도시하는 회로도이다.

도 3은 본 발명의 실시예들과 사용할 수 있는 메모리 시스템의 블록도이다.

도 4는 본 발명의 실시예에 따른 메모리 셀을 도시하는 회로도이다.

도 5, 7, 8, 10-11, 13-14, 및 16-21은 본 발명의 다양한 실시예들에 따라 도 4의 메모리 셀 및 그 제조 방법 단계들을 단면도로 도시한다.

도 6, 9, 12, 15, 및 22는 본 발명의 다양한 실시예들에 따라 도 4의 메모리 셀 및 그 제조 방법 단계들을 평면도로 도시한다.

도 23은 본 발명의 실시예에 따라 도 4의 메모리 셀의 동작 중에 제어 라인들에 인가된 전압을 도시하는 타이밍도이다.

도 24는 본 발명의 또 다른 실시예에 따른 메모리 셀을 도시하는 회로도이다.

도 5, 7, 8, 10-11, 13-14, 및 16-21은 본 발명의 다양한 실시예들에 따라 도 24의 메모리 셀 및 그 제조 방법 단계들을 단면도로 도시한다.

도 6, 9, 10, 12, 및 25는 본 발명의 다양한 실시예들에 따라 도 24의 메모리 셀 및 그 제조 방법 단계들을 평면도로 도시한다.

도 26은 본 발명의 실시예에 따라 도 24의 메모리 셀의 동작 중에 제어 라인들에 인가되는 전압을 도시하는 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0013]

하기의 상세한 설명은 단지 예시적인 것이며 본 발명 또는 출원 및 본 발명의 사용을 제한하려 의도된 것이 아니다. 본 명세서에서 용어 "예시적인"은 "예제, 예시, 또는 설명으로서 기능하는"을 의미하기 위해 사용된다. 본 명세서에서 "예시적인"것으로서 기술된 임의의 실시예들이 반드시 다른 실시예들에 비해 선호되거나 유익한 것으로 해석될 필요는 없다. 하기에 기술되는 모든 실시예들은 당업자로 하여금 본 발명을 설계 또는 사용할 수 있기 위해 제공된 것이지, 청구항들에 의해 정의되는 본 발명의 범주를 제한하려 의도된 것이 아니다. 또한, 선행 기술 분야, 배경기술, 간략한 요약 또는 하기의 상세한 설명에서 제시되는 임의의 표현된 또는 내재된 이론은 본 발명을 제약하기 위해 의도된 것이 아니다.

[0014]

간결성을 위하여, 트랜지스터 설계 및 제조, 메모리 디바이스들의 제어, 메모리 셀 프로그래밍, 메모리 셀 소거, 그리고 디바이스 및 시스템의 다른 기능 양상들(및 디바이스 및 시스템의 개별 동작 컴포넌트들)에 관련된 종래의 기법들은 본 명세서에서 자세히 설명되지 않기로 한다. 또한, 본 명세서에 포함된 다양한 피쳐들에 도시된 연결 라인들은 예시적인 기능 관계 및/또는 다양한 소자들 간의 물리적 결합을 나타내기 위해 의도된 것이다. 많은 대안적인 또는 추가적인 기능 관계들 또는 물리적 연결들이 본 발명의 실시예에 제시될 수 있다.

[0015]

하기의 설명은 함께 "연결" 또는 "결합"되는 소자들 또는 노드들 또는 피쳐들에 관한 것이다. 본 명세서에서 사용된 바와 같이, 명시적으로 다르게 언급되지 않는 한, "연결된(connected)"은 한 소자, 노드, 또는 피쳐가 또 다른 소자, 노드 또는 피쳐에 직접적으로 조인(join)된(또는 직접 통신하는) 것을 의미한다. 마찬가지로, 명시적으로 다르게 언급되지 않는 한, "결합된(coupled)"은 한 소자, 노드, 또는 피쳐가 또다른 소자, 노드, 또는 피쳐에 직접 또는 간접적으로 조인된(또는 직접 또는 간접적으로 통신하는) 것을 의미한다.

- [0016] 설명 및 청구항들에서, 표현 "제1", "제2", "제3", "제4"와 같은 서수들이 사용된다면, 이 서수들은 유사한 소자들 간의 구분을 위하여 사용되는 것이고, 반드시 특정한 순차적 또는 시간연대적 순서를 설명하기 위하여 사용되는 것은 아니다. 이렇게 사용된 표현들은 서로 교체가능하다는 것이 이해될 것이다. 적절한 환경하에서, 본 명세서에 설명된 발명의 실시예들은 본 명세서에서 도시되거나 설명된 것과 다른 순서로 제조 또는 동작될 수 있다.
- [0017] 또한, 표현 "구성한다", "포함한다", "가진다", 및 이것들의 임의의 변형은, 소자들의 리스트를 포함하는 공정, 방법, 물품, 또는 장치들이 반드시 그 소자들에 국한되는 것이 아니라, 명시적으로 열거되지 않거나 그러한 공정, 방법, 물품, 또는 장치들에 내재된 다른 소자들을 포함할 수 있는, 비배타적인 포함(non-exclusive inclusions)을 커버하도록 의도된 것이다.
- [0018] 도 3은 본 발명의 실시예들에서 사용될 수 있는 메모리 시스템(340)의 블럭도이다. 메모리 시스템(340)은 예시적인 실시예를 간략하게 나타낸 것이고, 실제 시스템(340)은 또한 도 3에 도시되지 않은 종래의 소자들, 로직, 컴포넌트들, 및 기능을 포함할 수 있다. 메모리 시스템(340)은 메모리 어레이(342)와 관련하여 기록 1, 판독 1, 기록 0, 판독 0을 포함하는 동작들을 수행할 수 있다.
- [0019] 메모리 시스템(340)은 복수의 메모리 셀(상기 메모리 셀들의 워드 라인 및 비트 라인은 일반적으로 각각 행 및 열로 배열된다), 행 디코더(344), 열 디코더(348), 그리고 감지 증폭기 회로(346)를 포함한다. 각각의 메모리 셀은 행 주소 및 열 주소로 지정된다. 특정 메모리 셀에 대해, 특정 워드 라인이, 특정 비트 라인 상에서 운반되는 신호(논리 "0" 또는 논리 "1"을 나타냄)를 저장 소자에 기록(또는 저장 소자로부터 판독)할 수 있게 하거나 또는 이를 금지함으로써 그 특정 저장 소자에 대한 액세스를 제어한다. 그러므로, 각각의 메모리 셀(100)은 1비트의 데이터를 논리 "0" 또는 논리 "1"로서 저장할 수 있다.
- [0020] 메모리 어레이(342)의 비트 라인들은 감지 증폭기 회로(346)에 연결될 수 있으며, 메모리 어레이의 워드 라인들은 행 디코더(344)에 연결될 수 있다. 어드레스 및 제어 신호들이 어드레스/제어 라인들(361) 상에서 메모리 시스템(340)으로 입력된다. 어드레스/제어 라인들(361)은 열 디코더(348), 감지 증폭기 회로(346), 및 행 디코더(344)에 연결된다. 어드레스/제어 라인들(361)은, 다른 기능들 보다도, 메모리 어레이(342)에 대한 판독 및 기록 액세스를 얻기위해 사용된다.
- [0021] 열 디코더(348)는 열 선택 라인들(362) 상의 제어 및 열 선택 신호들을 통해 감지 증폭기 회로(346)에 연결된다. 감지 증폭기 회로(346)는 입/출력(I/O) 데이터 라인들(363)을 통해 메모리 어레이(342)로 향하는 입력 데이터를 수신하고 상기 메모리 어레이(342)로부터 판독된 데이터를 출력한다. 행 디코더(344)를 통해 워드 라인을 활성화(activate)시킴으로써 메모리 어레이(342)의 셀들로부터 데이터가 판독되고, 상기 워드 라인은 그 워드 라인에 대응하는 모든 메모리 셀들을 각각의 비트 라인들(360)(어레이의 열들을 정의함)에 연결한다. 하나 이상의 비트 라인들이 또한 작동된다. 특정 워드 라인 및 비트 라인이 활성화되고, 그럼으로써 비트 또는 비트들이 선택될 때, 비트 라인에 연결된 감지 증폭기 회로(346)는 활성화된 비트 라인과 기준 라인(reference line) 사이의 전위 차를 측정함으로써 선택된 비트 내의 데이터를 검출하고 증폭시킨다.
- [0022] 도 4는 본 발명의 실시예에 따른 메모리 셀(410)을 도시하는 회로도이다. 도 4에는 하나의 메모리 셀(410)이 도시되었으나, 당업자는 실제 실시예들에서 메모리 셀(410)이 집적 회로 내의 서로 연결된 다수의 메모리 셀들 중 하나일 수 있다는 것을 이해할 것이다. 당업자는 메모리 셀(410)이 수천개 이상의 그러한 메모리 셀들을 포함할 수 있는 메모리 셀 어레이 내에 구현될 수 있다는 것을 이해할 것이다. 일 실시예에서, 메모리 셀(410)은 도 3에 도시된 메모리 시스템(340)의 메모리 어레이(342) 내의 메모리 셀들 중 하나로서 구현될 수 있다.
- [0023] 메모리 셀(410)은 GLT(gated lateral thyristor) 디바이스(460), 기록 액세스 트랜지스터(470), 판독 액세스 트랜지스터(480) 및 감지 트랜지스터(490)를 포함한다. 워드 라인(420), 판독 인에이블 라인(430), 공급 라인(432), 기록 비트 라인(452), 및 판독 비트 라인(454)을 포함하는 복수의 제어 라인들이 메모리 셀(410)을 동작 시키는데 사용된다. 일 구현예에서, 워드 라인(420)은 폴리실리콘을 포함하고, 기록 인에이블 라인(430) 및 공급 라인(432)은 각각 제1 금속층을 포함하고, 기록 비트 라인(452) 및 판독 비트 라인(454) 각각은 제2 금속층을 포함한다.
- [0024] 일 실시예에서, 트랜지스터들(470, 480, 490) 각각은 MOSFET이며, 따라서 소스 전극, 드레인 전극, 및 게이트 전극을 포함한다. 용어 "MOSFET"는 금속 게이트 전극 및 옥사이드 게이트 절연체를 가지는 디바이스를 적절하게 지칭하지만, 이 용어는 반도체 기관(실리콘 또는 다른 반도체 물질) 위에 배치된 게이트 절연체(옥사이드 또는 다른 절연체) 위에 위치한 전도성 게이트 전극(금속 또는 다른 전도성 물질)을 포함하는 임의의 반도체 디바이

스를 전체적으로 지칭하는데 사용될 수 있다. MOSFET 트랜지스터는 실시예에 따라 NMOSFET 또는 PMOSFET일 수 있다. 도 4에서, 소스 전극(472), 드레인 전극(474), 및 워드 라인(420)에 연결되는 게이트 전극(475)을 포함하는 기록 액세스 트랜지스터(470)이 도시된다. 판독 액세스 트랜지스터(480)는 소스 전극(482), 드레인 전극(484), 게이트 전극(485)을 포함한다. 감지 트랜지스터(490)는 소스 전극(492), 드레인 전극(494), 및 게이트 전극(495)을 포함한다.

[0025] GLT(gated-lateral thyristor) 디바이스가 도 4에 기호(460)으로 표시된다. GLT 디바이스(460)는, 예를 들어 도 20에 도시된 바와 같이, 사이리스터(462)(직렬인 두개의 다이오드들로 표시됨) 및 상기 사이리스터(462)에 연결된 MOS(Metal Oxide Silicon) 커패시터를 포함하는 것으로 이해되어야 한다. 일반적으로, 사이리스터는 게이트 전극(465), 캐소드 영역(464), 애노드 영역(466), 및 상기 애노드 영역(466)과 캐소드 영역(464) 사이에 배치된 한 쌍의 베이스 영역(도시되지 않음)을 포함하는 쌍 안정형, 3 단자 디바이스이다. 애노드 영역(466)에 컨택이 형성되어 애노드 단자가 생성되고, 캐소드 영역(464)에 컨택이 형성되어 캐소드 단자가 생성되며, 게이트 전극(465)에 컨택이 형성되어 게이트 단자가 생성된다. PN 또는 NP 접합들이 베이스 영역들중의 하나와 애노드 영역(466) 사이, 베이스 영역들의 쌍 사이, 그리고 베이스 영역들중 다른 하나와 캐소드 영역(464) 사이에 형성된다. GLT 디바이스(460)에서, MOS 커패시터(도시되지 않음)는 사이리스터(462)의 베이스 영역들(도시되지 않음) 중 하나에 연결된다.

[0026] 도 5-20과 관련하여 하기에서 설명될 메모리 셀(410)의 일 예시적인 실시예에서, 트랜지스터들(470, 480, 490)은 MOSFET이고, GLT 디바이스(460)는 MOS 커패시터에 연결된 PNPN 사이리스터(462)를 포함한다. 도 20에 도시된 바와 같이, PNPN 사이리스터(462)는 게이트형 전극(465)(MOS 커패시터의 일 플레이트로서 기능함), PNPN 구조로 배열된 P-타입 애노드 영역(466), N-타입 베이스 영역(468), P-타입 베이스 영역(463) 및 N-타입 캐소드 영역(464)을 포함하며, 여기서 N-타입 베이스 영역(468)과 P-타입 베이스 영역(463)은 P-타입 애노드 영역(466)과 N-타입 캐소드 영역(464) 사이에 횡으로(laterally) 배치된다. 위와 같이, P-타입 애노드 영역(466), N-타입 캐소드 영역(464), 게이트형 전극(465)에 컨택들이 형성된다. PN 접합은 P-타입 애노드 영역(466)과 N-타입 베이스 영역(468) 사이에 형성되고, 또다른 PN 접합이 N-타입 베이스 영역(468)과 P-타입 베이스 영역(463) 사이에 형성되며, 또다른 PN 접합이 P-타입 베이스 영역(463)과 N-타입 캐소드 영역(464) 사이에 형성된다. GLT 디바이스(460)의 MOS 커패시터는 게이트형 전극(465), P-타입 베이스 영역, 그리고 상기 게이트형 전극(465)과 P-타입 베이스 영역 사이에 배치된 게이트 절연층을 포함한다. 게이트 절연층은 커패시터 유전체로서 기능한다. N-타입 베이스 영역 및 P-타입 베이스 영역은 서로 인접해 있다. MOS 커패시터는 사이리스터의 P-베이스 영역에 연결된다. 대안적인 예시적 실시예에서, 트랜지스터들(470, 480, 490)은 PMOSFET이고, GLT 디바이스(460)는 MOS 커패시터에 연결된 사이리스터를 포함하며, 여기서 상기 사이리스터는 NPNP 구조로 배열되고, MOS 커패시터가 N-베이스에 연결된다.

[0027] 도 4는 메모리 셀(410)을 구성하는 서로 다른 디바이스들(460, 470, 480, 490) 및 다양한 제어 라인들(420, 430, 432, 452, 454) 사이의 전기적 및/또는 물리적 결합(coupling)을 설명하는 것을 돕기 위해 다양한 노드들(441, 442, 443, 444, 445, 446, 448, 449)을 도시한다. 상기 다양한 노드들이, 메모리 셀(410)을 구성하는 서로 다른 디바이스들(460, 470, 480, 490) 및 다양한 제어 라인들(420, 430, 432, 452, 454)이 반드시 직접적 서로 연결된다는 것을 의미하는 것은 아니며, 몇몇 실시예들에서, 특정 디바이스와 소정 노드 사이에 추가적인 매개 디바이스(intervening device)(도시되지 않음)가 제공될 수 있다.

[0028] GLT 디바이스(460)의 캐소드 노드(464)는 노드(444)에서 기록 액세스 트랜지스터(470)의 드레인 전극(474) 및 판독 액세스 트랜지스터(480)의 게이트 전극(495)에 연결된다. GLT 디바이스(460)의 게이트형 전극(465)은 노드(446)에서 기록 인에이블 라인(430)에 연결되고, GLT 디바이스(460)의 애노드 노드(466)는 노드(448)에서 공급 라인(432)에 연결된다.

[0029] 감지 트랜지스터(490)는 노드(449)에서 공급 라인(432)에 연결되고, 노드(444)에서 GLT 디바이스(460)의 캐소드 노드(464) 및 기록 액세스 트랜지스터(470)의 드레인 전극(474)에 연결된다. 감지 트랜지스터(490)의 소스 전극(492)은 노드(445)에서 판독 액세스 트랜지스터(480)의 드레인 전극(484)에 연결된다. 감지 트랜지스터(490)는 노드(444)에서 전압을 감지한다. 예를 들어, GLT 디바이스(460)가 논리 1을 저장하면, 노드(444)에서의 전압 레벨이 "HIGH"(예를 들어, 0.5 볼트보다 큼)가 되어 감지 트랜지스터(490)를 턴온시키기에 충분히 클 것이고, 감지 트랜지스터(490)는 판독 비트 라인(454)에 전압 변화를 야기한다. GLT 디바이스(460)가 논리 0을 저장하면, 노드(444)에서의 전압 레벨은 대략 0.0볼트가 될 것이고, 감지 트랜지스터(490)가 오프로 유지될 것이므로 감지 트랜지스터(490)는 판독 비트 라인(454)에 전압 변화를 야기하지 않을 것이다.

- [0030] 도 4의 회로도에서, 기록 액세스 트랜지스터(470) 및 판독 액세스 트랜지스터(480)는 워드 라인(420)에 연결되는 것으로서 도시되며, 판독 액세스 트랜지스터(480)의 게이트 전극(485)이 노드(443)에서 기록 액세스 트랜지스터(470)의 게이트 전극(475)에 연결되는 것으로서 도시된다. 게이트 전극들(475, 485)이 노드(443)에서 연결되는 것으로 도시되었으나, 당업자는 게이트 전극들(475, 485)이 실제로 워드 라인(420) 부분들이며, 폴리실리콘과 같은 전도성 물질의 공통층으로부터 형성된다는 것을 이해할 것이다.
- [0031] 도 4에 도시된 실시예에서, 기록 액세스 트랜지스터(470)의 소스 전극(472)이 노드(441)에서 기록 비트 라인(452)에 연결되고, 판독 액세스 트랜지스터(480)의 소스 전극(482)이 노드(442)에서 판독 비트 라인(454)에 연결되며, 감지 트랜지스터(490)의 드레인 전극(494)이 노드(449)에서 공급 라인(432)에 연결된다. 기록 액세스 트랜지스터(470)는 기록 비트 라인(452)이 대기 모드가 아닐 때에만 스위칭함으로써 기록 비트 라인을 통해 기록 동작 중에 기록 액세스를 제어한다. 대기 모드는, 워드 라인(420)이 대기 모드에 있는 동안 판독 동작과 기록 동작 사이의 홀딩 상태를 지칭한다. 판독 액세스 트랜지스터(480)는 판독 비트 라인(454)을 통해 판독 동작 동안 판독 액세스를 제어한다. 별도의 기록 액세스 트랜지스터(470)와 별도의 판독 액세스 트랜지스터(480)와 함께 별도의 판독 및 기록 비트 라인들(452, 454)을 제공함으로써, 판독 경로와 기록 경로가 서로 디커플링되므로 판독 동작 및 기록 동작이 서로 완전히 분리되며, 그럼으로써 위에서 언급된 판독 방해 문제가 해소된다. 메모리 셀(410)의 동작은, 메모리 셀(410)을 제조하는데 사용되는 방법 단계들의 설명 후 도 23을 참조로 하기에서 보다 자세히 설명될 것이다.
- [0032] 도 5-22는 메모리 셀(410) 및 본 발명의 다양한 실시예들에 따라 상기 메모리 셀(410)을 제조하기 위한 방법 단계들을 도시한다. 구체적으로, 도 6, 9, 12, 15, 22는 메모리 셀(410)의 평면도 및 상기 메모리 셀(410)의 제조 방법 단계들인 반면, 도 5, 7, 8, 10-11, 13-14, 16-21은 메모리 셀(410)의 단면도 및 그 제조 방법 단계들을 도시한다. 도 6, 9, 12, 15, 22에 도시된 평면도는 상부 및 하부 단면 라인들을 포함한다. 도 7, 11, 13, 16, 18 및 20은 상부 단면 라인을 따라 취해진 메모리 셀(410)의 단면도를 도시하며, 도 8, 10, 14, 17, 19, 21은 하부 단면 라인을 따라 취해진 메모리 셀(410)의 단면도를 도시한다.
- [0033] 하기에서 설명되는 예시적인 실시예들에서, 예시적인 메모리 셀(410)은 세개의 N-채널 MOS(NMOS) 트랜지스터들(470, 480, 490), 및 MOS 커패시터에 연결된 PNPN 사이리스터를 포함하는 GLT 디바이스(460)를 포함한다. 그러나, 하기에서 설명될 바와 같이, 유사한 방법 단계들이, 3개의 P-채널 MOS(PMOS) 트랜지스터들, 및 MOS 커패시터에 연결된 NPNP 사이리스터를 포함하는 GLT 디바이스를 포함하는 또다른 메모리 셀을 제조하는 데 사용될 수 있다.
- [0034] 메모리 셀들 제조의 다양한 단계들에서, MOS 트랜지스터들 및 사이리스터들은 잘 알려져 있으며, 따라서, 간략성을 위하여, 많은 종래의 단계들은 본 명세서에서 간략하게 언급되거나 잘 알려진 공정 세부사항들을 제공함이 없이 전체적으로 생략될 것이다. 위에서 언급한 바와 같이, 본 명세서에서 사용되는 용어 "MOS 트랜지스터"는 제한적이지 않은 의미로 해석되어야 하며, 반도체 기판 위에 위치한 게이트 절연체 위에 위치한 전도성 게이트 전극을 포함하는 임의의 반도체 디바이스를 지칭한다.
- [0035] 메모리 셀(410)을 제조하는 초기 단계들은 통상적인 것이므로, 초기 단계들 그 자체는 자세히 도시되거나 설명되지 않을 것이다. 제조는 메모리 셀(410)이 제작되는 반도체 구조 또는 기판(401)을 제공하는 것으로 시작한다. 반도체 기판(401)은 벌크 반도체 물질 또는 SOI(semiconductor-on-insulator) 기판일 수 있다. 도 5에 도시된 본 발명의 실시예에 따라, 반도체 기판(401)은, 매립 옥사이드 절연층(404)이 캐리어 웨이퍼(402)와 반도체층(406) 사이에 배치되도록, 캐리어 웨이퍼 또는 기판(402)에 의해 지지되는 매립 옥사이드 절연층(404) 위에 배치되는 반도체 물질(406)의 적어도 하나의 얇은 층을 포함하는 SOI 구조(401)로서 도시된다. 반도체 기술 분야의 당업자는 상기 반도체층(406)이 실리콘 층, 게르마늄 층, 게르마늄 아세나이드층, 또는 다른 반도체 물질일 수 있다는 것을 이해할 것이다. 일 실시예에서, 반도체 층(406)은 매립 옥사이드 절연층(404) 위의 얇은 실리콘 단결정층(thin monocrystalline layer of silicon)을 포함한다. 상기 얇은 실리콘 단결정층은 (100) 표면 결정 배향(surface crystal orientation)을 가지는 실리콘 기판일 수 있다. 상기 얇은 실리콘층은 바람직하게는 스퀘어당 적어도 약 1-35 옴의 저항률을 가진다. 본 명세서에서, 용어 "실리콘층"은, 상대적으로 순수한 실리콘 물질들 또는 반도체 산업에서 일반적으로 사용되는 약하게 불순물 도핑된 단결정 실리콘 물질들, 그리고 게르마늄, 탄소, 등과 같은 소량의 다른 성분들과 혼합된 실리콘, 그리고 보론, 인(phosphorus), 비소(arsenic)와 같은 불순물 도판트 성분들과 혼합된 실리콘을 포함하는 것으로 사용될 것이다. 일 실시예에서, 매립 옥사이드 절연층(404)은, 예를 들어, 바람직하게는 약 40-200nm의 두께를 가지는 실리콘 다이옥사이드층일 수 있다.

- [0036] 반도체층(406)은 형성될 NMOS 트랜지스터들(470, 480, 490) 및 GLT 디바이스(460)의 전도성 타입에 따라 N-타입 전도성 결정 불순물들 또는 P-타입 전도성 결정 불순물들로 불순물 도핑될 수 있다. NMOS 실시예에서, 반도체층(406)은 P-타입 전도성 결정 불순물들로 도핑되어, 반도체층(406) 내에 P-웰 영역들(463, 471, 486, 493)을 형성한다. 불순물 도핑은, 예를 들어, 보론과 같은 도판트 이온들의 주입 및 후속적인 열 어닐링에 의해 될 수 있다. 대안적으로, PMOS 실시예에서, 반도체층(406)이 N-타입 전도성 결정 불순물들로 도핑되어 상기 반도체층(406) 내에 N-웰 영역들(도시되지 않음)을 형성할 수 있다. 불순물 도핑은, 예를 들어 인 및 비소와 같은 도판트 이온들의 주입 및 후속적인 열 어닐링에 의해 될 수 있다.
- [0037] P-웰 영역들(463, 471, 486, 493)이 형성되면, 인접 메모리 셀들 사이에 유전체 분리 영역들(도시되지 않음)을 형성하도록, 트렌치들이 반도체층(406)에 식각될 수 있다. 예를 들어, 메모리 셀(410)은 유전체 분리 영역(dielectric isolation region)(도시되지 않음)(바람직하게는, 얇은 트렌치 분리(STI) 영역))에 의해 다른 메모리 셀들(도시되지 않음)으로부터 전기적으로 분리될 수 있다. 잘 알려져 있는 바와 같이, STI를 형성하는 데 사용될 수 있는 많은 공정들이 있으며, 따라서 그 공정이 본 명세서에서 자세히 설명될 필요는 없다. 일반적으로, STI는 반도체층(406)의 표면에 식각되는 얇은 트렌치를 포함하며, 상기 트렌치는 후속적으로 절연 물질로 충전된다. 트렌치가 옥사이드와 같은 절연 물질로 충전된 후, 표면은 보통, 예를 들어, 화학 기계적 평탄화(CMP)에 의해 평탄화된다.
- [0038] 도 6-8에 도시된 바와 같이, 게이트 절연 물질 층(408)이 반도체층(406) 위에 형성되며, 게이트 전극(465, 475, 485, 495)이 게이트 절연 물질(408) 및 각각의 불순물 도핑 P-웰 영역들(463, 471, 486, 493) 위에 놓이도록 형성된다. 게이트 절연 물질층(408)은 열적으로 성장한 실리콘 다이옥사이드, 또는 대안적으로 실리콘 옥사이드, 실리콘 니트라이드, 또는 실리콘 다이옥사이드에 비해 높은 유전 상수(k)를 가지는 높은 유전 상수(k) 절연체 물질 층일 수 있다. "높은-k 유전체" 물질은 하프늄 및 지르코늄 실리케이트 및 그 산화물(하프늄 산화물(HfO₂), 하프늄 실리케이트(HfSiO) 등을 포함하나, 이에 국한되지는 않음)을 포함한다. 증착되는 절연체는, 예를 들어, 화학 증기 증착(CVD), 저압 화학 증기 증착(LPCVD), 플라즈마 인핸스드 화학적 증기 증착(PECVD) 또는 원자층 증착(ALD)에 의해 증착될 수 있다. 게이트 절연층(408)은 바람직하게는 약 1-10nm의 두께를 가지나, 그 실제 두께는 구현되는 회로에 근거하여 결정될 수 있다.
- [0039] 게이트 전극들(465, 475, 485, 495)은, 게이트 절연 물질층(408) 위에 게이트 형성 물질층(도시되지 않음)을 증착하고, 그리고 나서 상기 게이트 형성 물질층 (및 그 아래에 놓인 게이트 절연 물질층(408))을 패터닝하고 식각하여, 도 6에 도시된 것과 같이 게이트 절연 물질의 나머지 부분들을 위에 놓이는 게이트 형성 물질 스트립들(420, 421, 422)을 형성함으로써 형성된다. 게이트 형성 물질층, 및 게이트 전극들(465, 475, 485, 495)은 다결정 실리콘 층 또는 금속과 같은 다른 전도성 물질들의 층으로부터 형성될 수 있다. 일 실시예에서, 게이트 형성 물질층은, 약 100-300nm 두께를 가진 도핑되지 않은 다결정 실리콘층을 포함한다. 다결정 실리콘은, 예를 들어, 저압 화학 증기 증착(LPCVD)와 같은 CVD 반응에서 실란(SiH₄)을 감소(reduction)시킴으로써 증착될 수 있다.
- [0040] 게이트 형성 물질층 및 게이트 절연 물질층(408)을 패터닝 및 식각한 후, 게이트 전극들(465, 475, 485, 495)이 형성되었고, 상기 게이트 전극들은 게이트 절연 물질(408)의 나머지 부분들 위에 놓인다. 도 9-11에 도시된 바와 같이, 게이트 절연 물질(408) 내의 개구들은 게이트 전극들(465, 475, 485, 495)에 인접한 P-웰 영역 부분들(463, 471, 486, 493)을 노출시키며, 마스크층(498)이 P-웰 영역의 일부(463) 위에 형성된다. P-웰 영역들(463, 471, 486, 493)의 노출 부분들의 적어도 표면 부분은, 게이트 전극들(465, 475, 485, 495)에 인접한 반도체층(406) 내에 약하게 도핑된 신장 영역들(456)을 생성하도록, N-타입 전도성 결정 불순물들로 불순물 도핑될 수 있다. 불순물 도핑은, 예를 들어, 비소와 같은 도판트 이온들을 주입하고 후속적으로 열 어닐링 함으로써 될 수 있다.
- [0041] 도 12-14에 도시된 바와 같이, 그후 측벽 스페이서들(469) 및 절연 스페이서 블록(467)이 형성된다. 일 실시예에서, 실리콘 산화물 및/또는 실리콘 질화물의 유전체 층과 같은 절연 물질의 블랭킷 층(도시되지 않음)이, 게이트 전극들(465, 475, 485, 495) 및 약하게 도핑된 확장 영역들(456)을 포함하는 반도체층(406)의 노출 부분들 위에 등각으로(conformally) 증착된다. 포토레지스트와 같은 감광성 물질층이 그후 절연 물질의 블랭킷층 위에 도포되고, 나머지 부분(496)을 남기고 블랭킷 절연층의 다른 부분들을 노출시키도록 패터닝된다. 블랭킷 절연층의 노출 부분들(즉, 나머지 감광성 물질(496)에 의해 덮이지 않은 부분들)은 반응성 이온 식각(RIE)에 의해 부식제(etchants)로 이방성으로 식각되어, 게이트 전극들(465, 475, 485, 495)의 측벽들(412, 413, 414, 416, 417, 418, 419) 위에 측벽 스페이서들(469)을 형성하고, 게이트 전극(465)의 측벽(415) 위에 절연 스페이서 블

록(467)을 형성한다. 실리콘 산화물 및 실리콘 질화물은, 예를 들어, CHF_3 , CF_4 , 또는 SF_6 화학제에서 식각될 수 있다. 절연 스페이서 블록(467)은 반도체층(406)의 일부, 게이트 전극(465)의 일부, 그리고 게이트 전극(465)의 측벽(415) 위에 놓인다. 감광성 물질(496)의 나머지 부분들이 그후 제거된다.

[0042] 도 15-17에 도시된 바와 같이, 마스크링 물질의 또다른 층, 예를 들어, 포토레지스트 층이 그후 도포되고 패터닝 되어 이온 주입 마스크(499)를 제공할 수 있다. 이온 주입 마스크(499)는 N-타입 베이스 영역/애노드 영역(468, 466)의 최종 위치들에 대응하는 반도체 층(406) 영역들을 덮으며, 소스 영역(472), 공통 드레인/캐소드 영역(474, 464), 소스 영역(482), 공통 드레인/소스 영역(484, 492), 및 드레인 영역(494)의 최종 위치들에 대응하는 반도체층(406)의 영역들을 노출시킨다. 소스 영역(472), 드레인/캐소드 영역(474, 464), 소스 영역(482), 공통 드레인/소스 영역(484, 492), 및 드레인 영역(494)은 화살표(497)로 나타낸 바와 같이 거의 0도로 주입된다. 이 실시예에서, 인 또는 비소와 같은 N-타입 전도성 결정 이온들이 주입된다. 마스크링 물질 층(499)이 그후 제거 된다.

[0043] 도 15, 18, 19에 도시된 바와 같이, 예를 들어, 포토레지스트층일 수 있는 마스크링 물질(501) 층이, 게이트 전극 들(465, 475, 485, 495) 위에 도포되고, N-베이스 영역(468) 및 애노드 영역(466)의 최종 위치들에 대응하는 반도체 층(406)의 영역들을 노출시키는 이온 주입 마스크를 제공하도록 패터닝된다. N-베이스 영역(468)은, 절연 스페이서 블록(467) 아래로 신장되는 N-베이스 영역(468)을 생성도록, 화살표(503)에 의해 표시된 것과 같이, 반도체층(406)의 상부 표면에 수직인 라인(504)에 대하여 임의의 각도에서 주입된다. N-베이스 영역(468)은 바람직하게는 반도체층(406)의 상부 표면에 수직인 라인(504)에 대하여 0도보다 크고 45도 이하인 각도에서 주입 된다. 이 예시적인 실시예에서, 인 또는 비소와 같은 N-타입 전도성 결정 이온들이 주입된다. 그후, 도 15, 20, 21에 도시된 바와 같이, 애노드 영역(466)이, 화살표(505)에 의해 나타낸 것과 같이 대략 0도에서 고-에너지 이온 빔을 사용하여 보론과 같은 P-타입 전도성 결정 이온들로 주입되어, GLT 디바이스(420)의 P-타입 애노드 영역(466)을 형성한다. 대안적인 실시예에서, 인 또는 비소와 같은 N-타입 전도성 결정 이온들이 주입된다. P-타입 애노드 영역(466)은 N-타입 베이스 영역/애노드 영역(468, 466)을 두개의 영역들(GLT 디바이스(420)의 N-타입 베이스 영역(468) 및 P-타입 애노드 영역(466))로 분할한다. N-타입 베이스 영역(468)은 P-웰 영역(463)과 P-타입 애노드 영역(466) 사이에 배치된다.

[0044] 마스크링 물질층(501)이 그후 제거되고, 결과적인 메모리 셀(410) 구조가, 고온의 제어된 기간동안 상기 메모리 셀(410)을 노출시킴으로써 고속 열 어닐링(RTA) 공정 처리된다. RTA 단계는, N-타입 소스 영역(472), N-타입 드레인/캐소드 영역(474, 464), N-타입 베이스 영역(468), P-타입 애노드 영역(466), N-타입 소스 영역(482), N-타입 공통 드레인/소스 영역(484, 492), 그리고 N-타입 드레인 영역(494) 내의 이온들을 전기적으로 활성화(activation)시키며, 상기 영역들에 주입된 도판트 이온들이 외향 측방 확산(outward lateral diffusion)(도시되지 않음) 되게 한다. 또한, 도시되지 않았지만, 실리사이드 영역(도시되지 않음)이 게이트 전극들(465, 475, 485, 495), N-타입 소스 영역(472), N-타입 드레인/캐소드 영역(474, 464), N-타입 베이스 영역(468), P-타입 애노드 영역(466), N-타입 소스 영역(482), N-타입 공통 드레인/소스 영역(484, 492), 그리고 N-타입 드레인 영역(494)의 노출된 영역들의 표면에 형성될 수 있다. 이 실리사이드 영역들은 컨택들을 이 영역들에 전기적으로 커플링하기 위한 메커니즘을 제공한다. 또한, N-타입 드레인/캐소드 영역(474, 464)이 도 22에 도시된 바와 같이 실리사이드 영역(444)을 통해 게이트 전극(495)에 전기적으로 연결될 수 있다.

[0045] 도 22에 도시된 바와 같이, 메모리 셀(410)은 유전체 물질 층을 증착하는 단계, 상기 유전체 물질을 통해 개구 들을 식각하는 단계, 그리고 다양한 디바이스들에 전기적으로 컨택하기 위해 상기 개구들을 통하여 신장되는 금속화부를 형성하는 단계와 같은 잘 알려진 단계들(도시되지 않음)에 의해 완성될 수 있다. 예를 들어, 절연 물질이, N-타입 소스 영역(472), N-타입 드레인/캐소드 영역(474, 464), P-타입 애노드 영역(466), N-타입 소스 영역(482), N-타입 공통 드레인/소스 영역(484, 492), 및 N-타입 드레인 영역(494)를 포함하는 반도체층(406)의 노출 부분들 및 게이트 전극들(465, 475, 485, 495) 위에 증착되고 식각되어 상기 절연 물질을 통하여 N-타입 소스 영역(472), P-타입 애노드 영역(466), N-타입 소스 영역(482), 및 N-타입 드레인 영역(494)으로 신장되는 컨택 홀들 또는 개구들을 형성한다. 배선 금속(interconnect metal) 또는 다른 전도성 금속의 전도성 층(도시되지 않음)이 컨택 홀들 내에 증착될 수 있으며, N-타입 소스 영역(472), N-타입 애노드 영역(466), N-타입 소스 영역(482) 및 N-타입 드레인 영역(494) 위에 형성되는 실리사이드 영역들(도시되지 않음)에 대한 배선 금속화를 포함하는 나머지 부분들을 남기도록 패터닝될 수 있다. 그후, 절연 물질의 또다른 층을 통하여 배선 금속화까지 신장되는 비아들이 형성되어, 배선 금속화에 대한 전기적 경로를 제공한다. 금속-1 층이 적어도 비아들 위에 증착되고 패터닝되어, GLT 디바이스(460)의 게이트 전극(465)과 N-타입 베이스 영역(468)에 전기적으로 컨택되는 기록 인에이블 라인(430), 및 GLT 디바이스(460)의 P-타입 애노드 영역(466)의 실리사이드 영역과 감지 트랜지

스터(490)의 N-타입 드레인 영역(494) 상에 형성된 실리사이드 영역에 전기적으로 접촉되는 공급 라인(432)을 형성한다. 절연 물질의 또다른 층(도시되지 않음)이 그후 기록 인에이블 라인(430)과 공급 라인(432) 위에 증착될 수 있으며, 절연 물질을 통하여 신장되는 비아들(451, 455)이 형성될 수 있고, 그후 금속-2 층이 적어도 비아들(451, 455) 위에 증착되고 패터닝되어, 비아(455)와 전기적으로 접촉하는 판독 비트 라인(454) 및 비아(451)과 전기적으로 접촉하는 기록 비트 라인(452)을 형성할 수 있다.

[0046] 그러므로, 도 4 및 22에 도시된 바와 같이, 메모리 셀(410)은 GLT 디바이스(460), NMOS 기록 액세스 트랜지스터(470), NMOS 판독 액세스 트랜지스터(480) 및 감지 트랜지스터(490)를 포함한다. NMOS 기록 액세스 트랜지스터(470)는, 반도체 층(406) 위의 NMOS 판독 액세스 트랜지스터(480) 및 GLT 디바이스(460)에 인접하게 제조되며, 감지 트랜지스터(490)는 반도체층(406) 위의 GLT 디바이스(460) 및 NMOS 판독 액세스 트랜지스터(480)에 인접하게 제조된다.

[0047] GLT 디바이스(420)는 MOS 커패시터(463, 408, 465)에 연결되는 측방 NPNP 사이리스터(lateral NPNP thyristor)를 포함한다. 상기 측방 NPNP 사이리스터는, P-타입 애노드 영역(466), N-타입 베이스 영역(468), P-타입 베이스 영역(463) 그리고 N-타입 캐소드 영역(464)을 포함하는 교대하는 N-타입 및 P-타입 물질을 포함하며, 여기서 베이스 영역들(463, 468)은 P-타입 애노드 영역(466)과 N-타입 캐소드 영역(464) 사이에 측방으로 배치된다. PN 접합(J_1)이 P-타입 애노드 영역(466)과 N-타입 베이스 영역(468) 사이에 형성되고, 또 다른 PN 접합(J_2)이 N-타입 베이스 영역(468)과 P-타입 베이스 영역(463) 사이에 형성되며, 또 다른 PN 접합(J_3)이 P-타입 베이스 영역(463)과 N-타입 캐소드 영역(464) 사이에 형성된다. GLT 디바이스(460)의 MOS 커패시터(463, 408, 465)는 게이트 전극(465), P-타입 베이스 영역(463), 그리고 상기 게이트 전극(465)과 P-타입 베이스 영역(463) 사이에 배치된 게이트 절연층(408)을 포함한다. 게이트 절연층(408)은 커패시터 유전체로서 기능한다. N-타입 베이스 영역(468)과 P-타입 베이스 영역(463)은 서로 인접해 있다. 게이트 전극(465)에 전압이 인가되지 않은 상태에서 P-타입 애노드 영역(466)이 N-타입 캐소드 영역(464)에 대해 양의 전위(positive potential)에 있을 때, PN 접합(J_1)과 PN 접합(J_3)은 포워드 바이어스되고, PN 접합(J_2)은 역바이어스된다. PN 접합(J_2)이 역바이어스되므로, 전도(conduction)가 발생하지 않는다(오프 상태). P-타입 애노드 영역(466)에 인가된 양의 전위가 사이리스터의 브레이크다운 전압(V_{BR})을 초과하여 증가되면, PN 접합(J_2)의 애벌랜치 브레이크다운(avalanche breakdown)이 발생하고 사이리스터가 전도를 시작한다(ON 상태). N-타입 캐소드 영역(464)에 대하여 양의 전위(V_G)가 게이트 전극(465)에 인가되면, 낮은 값의 양 전위에서 접합 PN 접합(J_2)의 브레이크다운이 발생한다. 적절한 V_G 값을 선택함으로써, 사이리스터는 온 상태로 신속하게 스위칭될 수 있다.

[0048] MOS 커패시터(463, 408, 465)는 사이리스터의 P-베이스 영역(463)에 용량적으로 결합(capacitively coupling)되고, 전하를 보유하며 그럼으로써 사이리스터의 P-베이스 영역(463)의 전위를 제어한다. P-베이스 영역(463)의 전압 레벨이, N-타입 베이스 영역(648), P-타입 베이스 영역(463), 그리고 N-타입 캐소드 영역(464)의 NPN 동작이 트리거될지 여부를 결정한다.

[0049] 위의 예는 NMOS 실시예이지만, 당업자는, 디바이스들을 구성하는 다양한 영역들의 전도성 타입들을 스위칭함으로써 대안적인 PMOS 실시예가 제조될 수 있다는 것을 이해할 것이다. 예를 들어, 대안적인 예시적인 실시예에서, 사이리스터들(470, 480, 490)은 PMOS 트랜지스터들을 포함하고, GLT 디바이스(460)는 PNP 구조로 배열된 사이리스터를 포함하며, MOS 커패시터는 상기 사이리스터의 N-베이스에 연결된다. PMOS 실시예(도시되지 않음)에서, 웰 영역들(463, 471, 486, 493)은 N-웰 영역들이고, N-웰 영역들(463, 471, 486, 493)의 노출 부분들은 P-타입 전도성 결정 불순물들로 도핑되어, 반도체 층(406) 내에 약하게 도핑된 확장 영역들 및 소스/드레인 영역들을 생성할 수 있다. 소스/드레인 영역들의 보론 그리고 약하게 도핑된 확장 영역들의 보론 다이-플루오라이드(BF_2)와 같은 도판트 이온들의 주입 및 후속적인 열 어닐링을 통해 불순물 도핑이 이루어질 수 있다.

[0050] 도 23을 참조로 하기에서 설명될 바와 같이, 메모리 셀(410)은 워드 라인(420), 기록 인에이블 라인(430), 공급 라인(432), 기록 비트 라인(452), 그리고 판독 비트 라인(454)을 포함하는 복수의 제어 라인들을 사용하여 동작된다. 이 메모리 셀(410) 구성은, 다른 무엇보다도, 도 23을 참조로 하기에서 설명될 바와 같이, 판독 및 기록 비트 라인들(454, 452)을 디커플링함으로써 판독 오퍼레이션들 동안 판독 방해 방지한다.

[0051] 도 23은 본 발명의 실시예에 따라 메모리 셀(410)의 판독 및 기록 동작들 동안 도 4의 메모리 셀(410)의 제어 라인들(420, 430, 454, 452)에 인가되는 전압 파형들(510, 520, 530, 540)을 도시하는 타이밍도이다. 하기에서 설명되는 바와 같이, 메모리 셀(410)은 기록 1 모드(490), 판독 1 모드(592), 기록 0 모드(594), 및 판독 0 모

드(596)을 포함하는 다수의 서로 다른 모드들 중 임의의 한 모드에서 동작될 수 있다.

- [0052] 메모리 셀(410)은 서로 다른 전압들을 사용하여 동작하도록 설계될 수 있으며, 하기에 명시된 모든 값들은 단지 예시적인 것이고 제한적이지 않은 한가지 특정 실시예를 설명하기 위해 제공되는 것이다. 전압 공급 라인(432)은 메모리 셀(410) 동작 내내 접지되어 있으며, 따라서 도 23에는 도시되지 않는다. 워드 라인(420)에 인가된 전압 파형(510)은 약 0.0 볼트의 낮은 전압으로부터 약 1.2볼트의 높은 전압까지의 범위이다. 전압 파형(510)은 워드 라인(420)이 동작될 때 낮은 값에서부터 높은 값으로 천이(transition)된다. 기록 인에이블 라인(430)에 인가되는 전압 파형(520)은 약 -1.5 볼트의 낮은 값으로부터 약 0.0볼트의 높은 값까지의 범위이다. 기록 0 모드(594) 동안 발생하는 기록 0 동작 또는 기록 1 모드(590) 동안 발생하는 기록 1 동작 중에 기록 인에이블 라인(430)이 활성화될 때, 전압 파형(520)이 낮은 값에서부터 높은 값으로 천이된다. 기록 및 판독 비트 라인들(452, 454)에 인가되는 전압 파형(530, 540)은 약 0.0볼트의 낮은 값에서부터 약 2.0볼트의 높은 값의 범위이다. 구체적으로, 판독 1 모드(592) 동안 판독 비트 라인(454)이 활성화될 때 전압 파형(530)이 낮은 값으로부터 높은 값으로 천이되고, 기록 0 모드(594) 동안 기록 비트 라인(452)이 활성화될 때, 기록 비트 라인(452)에 인가되는 전압 파형(540)이 낮은 값에서부터 높은 값으로 천이된다.
- [0053] 기록 동작 중에, 높은 전압(Vdd)을 워드 라인(420)에 인가함으로써, 그리고 메모리 셀(410)의 판독 액세스 트랜지스터(480)를 턴 "오프"하기 위하여 낮은 전압을 판독 비트 라인(454)에 인가함으로써, 메모리 셀(410)이 선택되거나 활성화된다. 기록 인에이블 라인(430)이 GLT 디바이스(460)의 애노드 영역(466)에 비해 낮은 전압에 있을 때, 전압 펄스(522)(예를 들어, 0.0볼트)가 기록 인에이블 라인(430)에 인가될 때까지 GLT 디바이스(460)내에 전류가 흐르지 않는다. 기록 동작은 전압 펄스(522, 526)를 기록 인에이블 라인(430)에 인가함으로써 발생하고, 이는 GLT 디바이스(460) 내에 전류를 흐르게 하여 메모리 셀(410)에 0 또는 1이 기록될 수 있게 해준다.
- [0054] 기록 1 모드(590)동안 발생하는 기록 1 동작에서, 예를 들어 0.0 볼트 내지 0.5 볼트의 낮은 전압이 판독 및 기록 비트 라인들(452, 454) 모두에 인가되어 기록 액세스 트랜지스터(470)의 소스 전극(472) 및 판독 액세스 트랜지스터(480)의 소스 전극(482)에 낮은 전압이 인가되며, 워드 라인(420)에 높은 전압이 인가되고, 이에 따라 기록 액세스 트랜지스터(470)와 판독 액세스 트랜지스터(480)의 게이트 전극들(475, 485)에 높은 전압이 인가된다. 기록 인에이블 라인(430)은 GLT 디바이스(460)의 게이트 전극(465)에 결합된다. 전압 펄스(526)가 기록 인에이블 라인(430)에 인가될 때, 메모리 셀(410)에 1이 기록된다.
- [0055] 기록 0 모드(594) 동안 발생하는 기록 0 동작에서, 기록 비트 라인(452)에 높은 전압이 인가되어 기록 액세스 트랜지스터(470)의 소스 전극(472)에 높은 전압이 인가되며, 워드 라인(420)이 높은 전위로 유지되어 기록 액세스 트랜지스터(470)와 판독 액세스 트랜지스터(480)의 게이트 전극들(475, 485)에 높은 전압이 인가되고, 판독 비트 라인(454)은 낮은 전압에서 유지되어 판독 액세스 트랜지스터(480)의 소스 전극(482)에 낮은 전압이 인가된다. 판독 인에이블 라인(430)은 GLT 디바이스(460)의 p-베이스(463)에 용량적으로 결합되는 게이트형 전극(465)에 결합된다. 전압 펄스(522)가 GLT 디바이스(460)의 p-베이스(463) 전위를 감소시켜 GLT 디바이스(460)을 턴오프시키므로, 전압 펄스(522)가 기록 인에이블 라인(430)에 인가될 때 0이 메모리 셀(410)에 기록된다.
- [0056] 판독 동작 중에, 높은 전압을 워드 라인(420)에 인가하고, 낮은 전압을 기록 비트 라인(452)에 인가하거나 기록 비트 라인(452)를 접지시키고, 그리고 GLT 디바이스(460)에 전류가 흐르지 않도록 낮은 전압을 기록 인에이블 라인(430)에 인가하여 기록 동작이 발생하는 것을 방지함으로써, 메모리 셀(410)이 선택되거나 활성화된다. 기록 비트 라인(452)이 판독 동작들(492, 496) 동안에 낮은 전압에서 유지되므로, 판독 방해 문제가 해소될 수 있다. 또한, 판독 동작들(596, 592)과 기록 동작들(594, 590) 사이에 발생하는 "홀딩 상태" 또는 대기 모드 중에 캐소드 영역(464)와 애노드 영역(466) 사이의 전류가 제한되지 않으므로, 주기적인 리프레시 동작 없이 메모리 셀(410)이 동작될 수 있다.
- [0057] 판독 1 모드(592) 동안 발생하는 판독 1 동작에 대해, 메모리 셀(410)에는 전에 1으로 기록되었을 것이다. GLT 디바이스(460)는, GLT 디바이스(460)와 기록 액세스 트랜지스터(474) 사이의 노드의 전위를 상승시키는 높은 상태("포워드 브레이킹 모드"라고도 지칭됨)에 있을 것이다. 노드(444)에서의 높은 전위는 감지 트랜지스터(490)을 턴 "온"시킨다. 판독 비트 라인(454)은 그라운드(0.0볼트)로 프리차지된다. 높은 전압이 워드 라인(420)에 인가될 때, 판독 액세스 트랜지스터(480)이 턴오프되고, 감지 트랜지스터(490) 및 판독 액세스 트랜지스터(480)는 공급 라인(432)을 통해 애노드(466)로부터 판독 비트 라인(454)으로 전류가 흐를 수 있게 해준다. 비트 라인(454)에 인가되는 전압이 증가할 때, 감지 증폭기 회로(346)는 데이터 1이 메모리 셀(410)로부터 판독되고 있다는 것을 감지한다.
- [0058] 판독 0 모드(596) 동안 발생하는 판독 0 동작에 대해, 메모리 셀(410)에는 전에 0으로 기록되었을 것이다. GLT

디바이스(460)는 낮은 상태("역 브레이킹 모드"라고도 지칭됨)에 있을 것이다. GLT 디바이스(460)와 기록 액세스 트랜지스터(474) 사이의 노드(444)에서의 전위는 약 0이며, GLT 디바이스(460)를 통하여 전류가 전혀 흐르지 않는다. 노드(444)에서 0 바이어스가 감지 트랜지스터(490)에 인가될 때, 감지 트랜지스터(490)는 "오프"상태에 있을 것이고, 애노드(466)로부터 판독 비트 라인(454)으로 전류가 흐를 수 없다. 프리차지 판독 비트 라인(454) 상의 전압이 변경되지 않으면, 감지 증폭기 회로(346)는 데이터 0이 메모리 셀(410)로부터 판독되고 있다는 것을 감지한다.

[0059] 도 24는 본 발명의 또 다른 실시예에 따른 메모리 셀(610)을 도시하는 회로도이다. 도 24의 메모리 셀은 도 4의 메모리 셀(410)과 동일한 많은 소자들 및 배선들을 포함한다. 메모리 셀(610)의 배열 또는 구조가 변경되지 않는 한 도 4에서 사용된 동일한 도면 부호들이 도 24에서 재사용된다. 간결성을 위하여, 도 4와 24에 공통으로 번호가 매겨진 소자들은 여기에서 자세히 설명되지 않을 것이며, 도 24의 메모리 셀(610)과 도 4의 메모리 셀 사이의 차이만이 하기에서 설명될 것이다. 도 4에서와 같이, 메모리 셀(610)은 GLT(gated lateral thyristor) 디바이스, 기록 액세스 트랜지스터(470), 판독 액세스 트랜지스터(480), 그리고 감지 트랜지스터(490)를 포함하며, 워드 라인(420), 기록 인에이블 라인(430), 공급 라인(632), 기록 비트 라인(452), 및 판독 비트 라인(454)을 포함하는 복수의 제어 라인들이 메모리 셀(610)을 동작시키는 데 사용된다.

[0060] 도 24에 도시된 메모리 셀(610)은, 공급 라인(632)이 노드(633)에서 기록 액세스 트랜지스터(470)의 소스 전극(472)에 결합되도록 재배치되어있다는 점에서 도 4의 메모리 셀(510)과는 다르다. 또한, GLT 디바이스(460)의 애노드(466)와 감지 트랜지스터(490)의 드레인(494)이 노드(488)을 노드(449)에 연결시키는 전도성 라인(634)을 통해 서로 연결된다. 노드(448, 449)는 또한 노드(635)에서 기록 비트 라인(452)에 연결된다. 감지 트랜지스터(490)는 도 4와 관련하여 위에서 설명된 것과 유사한 방식으로 노드(444)에서의 전압을 감지하며, 기록 액세스 트랜지스터(470)은 도 4와 관련하여 위에서 설명된 것과 유사한 방식으로 기록 액세스를 제어하고, 판독 액세스 트랜지스터(480)는 도 4와 관련하여 위에서 설명된 것과 유사한 방식으로 판독 액세스를 제어한다. 따라서, 이 소자들의 동작은 여기에서 설명되지 않을 것이다. 도 4에서와 같이, 메모리 셀(610)은, 판독 경로와 기록 경로를 서로 분리(decoupling)하기 위해 개별적인 판독 및 기록 비트 라인들(452, 454)을 제공함으로써 위에서 언급된 판독 방해 문제를 해소할 수 있다. 메모리 셀(610)의 동작은 메모리 셀(610)을 제조하기 위해 사용되는 방법 단계들에 대한 설명 후 도 26을 참조로 하기에서 자세히 설명될 것이다.

[0061] 도 5-21 그리고 25는 본 발명의 다양한 실시예들에 따라 메모리 셀(610) 및 그 제조 방법 단계들을 도시한다. 도 5-21은 위에서 설명되었으며, 간결성을 위하여 반복하여 설명하지 않기로 한다. 메모리 셀(610)의 제조 방법 단계들이 이제 메모리 셀(610)의 평면도를 도시하는 도 25를 참조로 설명될 것이다. 도 25의 대안적인 메모리 셀(610) 레이아웃에서, 금속-1 층이 비아들(442, 446, 448, 449) 및 절연 물질 층(409)의 나머지 부분들 위에 증착되고, 비아(448)를 비아(449)에 연결하는 금속 라인(634) 및 기록 인에이블 라인(430), 공급 라인(632)을 형성하도록, 예를 들어, 식각에 의해 패터닝된다. 비아(448)는 GLT 디바이스(460)의 P-타입 애노드(466) 상에 형성된 실리사이드 영역(도시되지 않음)에 전기적으로 컨택하며, 비아(449)는 감지 트랜지스터(490)의 N-타입 드레인 영역(494)에 형성된 실리사이드 영역(도시되지 않음)에 전기적으로 컨택한다. 공급 라인(632)은 비아(441)에 전기적으로 컨택되고, 상기 비아(441)는 기록 액세스 트랜지스터(470)의 소스 전극(472)의 실리사이드 영역(도시되지 않음)에 전기적으로 컨택된다. 절연 물질의 또다른 층(도시되지 않음)이 절연 물질(409), 공급 라인(632), 기록 인에이블 라인(430) 및 금속 라인(634) 위에 증착되고, 절연 물질의 부분들이 그후 이방성으로 식각되어 절연 물질(411)을 통해 비아(442) 및 금속 라인(634)으로 신장되는 비아 홀을 형성한다. 비아 홀은 비아(442) 및 금속 라인(634)과 전기적으로 컨택하는 비아를 형성하도록 전도성 물질로 충전된다. 그후, 금속-2 층(도시되지 않음)이 적어도 비아들(455, 635) 및 절연 물질 층의 나머지 부분들 위에 증착될 수 있으며, 비아(455)에 전기적으로 컨택하는 판독 비트 라인(454) 및 비아(635)에 전기적으로 컨택하는 기록 비트 라인(452)을 형성하도록 패터닝된다.

[0062] 도 26은 본 발명의 실시예에 따라 메모리 셀(610)의 판독 및 기록 동작들 동안 도 24의 메모리 셀(610)의 제어 라인들(420, 430, 454, 452)에 인가되는 전압 파형(710, 720, 730, 740)을 도시하는 타이밍도이다. 하기에서 자세히 설명될 바와 같이, 메모리 셀(610)은 기록 1 모드(790), 판독 1 모드(792), 기록 0 모드(794), 및 판독 0 모드(796)를 포함하는 다수의 서로 다른 모드들 중 임의의 한 모드에서 동작될 수 있다.

[0063] 메모리 셀(610)은 서로 다른 전압들을 사용하여 동작되도록 설계될 수 있으며, 하기에서 명시되는 임의의 값들은 단지 예시적인 것이고, 하나의 특정한 제한적이지 않은 실시예를 설명하기 위해 제공된 것이다. 전원 공급 라인(632)은 메모리 셀(610)의 동작 내내 접지되며, 따라서 도 26에 도시되지 않는다. 워드 라인(420)에 인가되는 전압 파형(710)은 약 0.0 볼트의 낮은 전압에서부터 약 1.2 볼트의 높은 전압의 범위이다. 전압 파형(710)은

워드 라인(420)이 활성화될 때 낮은 값에서 높은 값으로 천이된다. 기록 인에이블 라인(320)에 인가되는 전압 파형(720)은 약 -1.5 볼트의 낮은 값에서부터 약 0.0 볼트의 높은 값까지의 범위이다. 기록 1 모드(790) 동안 발생하는 기록 1 동작 또는 기록 0 모드(794) 동안 발생하는 기록 0 동작 중에 기록 인에이블 라인(430)이 활성화될 때, 전압 파형(720)은 낮은 값에서 높은 값으로 천이된다. 기록 및 판독 비트 라인들(452, 454)에 인가되는 전압 파형들(730, 740)은 약 0.0 볼트의 낮은 값에서부터 약 1.2 볼트의 높은 값까지의 범위이다. 특히, 판독 1 모드(792) 동안 판독 비트 라인(454)이 활성화될 때, 전압 파형(730)이 0 볼트의 낮은 값에서부터 1.0 볼트의 높은 값으로 천이되고, 기록 0 모드(790) 동안 기록 비트 라인(452)이 활성화될 때, 기록 비트 라인(452)에 인가되는 전압 파형(740)이 높은 값으로부터 낮은 값으로 천이된다.

[0064] 기록 동작 중에, 높은 전압(Vdd)을 워드 라인(420)에 인가함으로써, 그리고 메모리 셀(610)의 판독 액세스 트랜지스터(480)을 턴 "오프"하도록 판독 비트 라인(454)에 낮은 전압을 인가함으로써 메모리 셀(610)이 선택되거나 활성화된다. 기록 인에이블 라인(430)이 GLT 디바이스(460)의 애노드 영역(466)에 비해 낮은 전압에 있으므로, 전압 펄스(722)(예를 들어, 0.0 볼트)가 기록 인에이블 라인(430)에 인가될 때까지 GLT 디바이스(460) 내에 전류가 흐르지 않는다. 기록 동작들은 전압 펄스(722, 726)를 기록 인에이블 라인(430)에 인가함으로써 발생하며, 이는 GLT 디바이스(460) 내에 전류가 흐르게 하여, 메모리 셀(610)에 0 또는 1이 기록될 수 있게 해준다.

[0065] 기록 1 모드(790) 동안에 발생하는 기록 1 동작에 대해, 판독 비트 라인(454)에 예를 들어, 0.0 볼트 내지 0.5 볼트 사이의 낮은 전압이 인가되어 판독 액세스 트랜지스터(480)의 소스 전극(482)에 낮은 전압이 인가되며, 기록 비트 라인(452)에 예를 들어, 1.0 볼트 내지 1.5 볼트의 높은 전압이 인가되어, 기록 액세스 트랜지스터(470)의 소스 전극(472)에 높은 전압이 인가되고, 워드 라인(420)에 높은 전압이 인가되며, 이에 따라 기록 액세스 트랜지스터(470) 및 판독 액세스 트랜지스터(480)의 게이트 전극들(475, 485)에 높은 전압이 인가된다. 기록 인에이블 라인은 GLT 디바이스(460)의 게이트형 전극(465)에 연결된다. 전압 펄스(726)가 기록 인에이블 라인(430)에 인가될 때 메모리 셀(610)에 1이 기록된다.

[0066] 기록 0 모드(794) 동안 발생하는 기록 0 오퍼레이션에 대해, 0.0 내지 0.5 볼트의 낮은 전압이 기록 비트 라인(452)에 인가되어 기록 액세스 트랜지스터(470)의 소스 전극(472)에 낮은 전압이 인가되고, 워드 라인(420)은 높은 전위에서 유지되어 기록 액세스 트랜지스터(470)와 판독 액세스 트랜지스터(480)의 게이트 전극들(475, 485)에 높은 전압이 인가되며, 판독 비트 라인(454)이 낮은 전압에서 유지되어 판독 액세스 트랜지스터(480)의 소스 전극(482)에 낮은 전압이 인가된다. 기록 인에이블 라인(430)은 GLT 디바이스(460)의 p-베이스(463)에 용량적으로 결합되는 게이트형 전극(465)에 결합된다. 전압 펄스(722)가 GLT 디바이스(460)의 p-베이스(463)의 전위를 감소시키므로, 전압 펄스(722)가 기록 인에이블 라인(430)에 인가될 때 메모리 셀(610)에 0이 기록된다.

[0067] 판독 동작 동안에, 높은 전압을 워드 라인(420)에 인가함으로써, 높은 전압을 기록 비트 라인(452)에 인가함으로써, 그리고 GLT 디바이스 내에 전류가 흐르지 않도록 기록 인에이블 라인(430)에 낮은 전압을 인가하여 기록 동작이 발생하는 것을 방지함으로써, 메모리 셀(610)이 선택되거나 활성화된다. 기록 비트 라인(452)은 판독 동작들(792, 796) 동안 높은 전압에서 유지되며, 판독 방해 문제가 해소될 수 있다. 또한, 판독 동작들(796, 792)과 기록 동작들(794, 790) 사이에 발생하는 "홀딩 상태" 또는 대기 모드 중에 애노드와 캐소드(464) 사이의 전류가 제한되지 않으므로 메모리 셀(610)이 주기적인 리프레시 동작 없이 동작될 수 있다.

[0068] 판독 1 모드(792) 동안 발생하는 판독 1 동작에 대해, 메모리 셀(610)은 전에 1로 기록되었을 것이다. GLT 디바이스(460)는 GLT 디바이스(460)와 기록 액세스 트랜지스터(474) 사이의 노드(444)의 전위를 상승시키는 HIGH 상태(또한, "포워드 브레이킹 모드"라 칭해짐)에 있을 것이다. 노드(444)에서의 높은 전위는 감지 트랜지스터(490)를 "온(on)" 시킨다. 판독 비트 라인(454)은 그라운드(0.0V)로 프리차지된다. 워드 라인(420)에 높은 전압이 인가될 때, 판독 액세스 트랜지스터(480)가 턴 온 되고, 감지 트랜지스터(490)와 판독 액세스 트랜지스터(480)는 라인(634)을 통해 애노드(466)로부터 기록 비트 라인(452) 및 감지 트랜지스터(490)의 드레인(494)으로 전류가 흐를 수 있게 해준다. 비트 라인(454) 상에 인가된 전압이 증가할 때, 감지 증폭 회로(346)는 메모리 셀(610)로부터 데이터 1이 판독되고 있음을 감지한다.

[0069] 판독 0 모드(796) 동안 발생하는 판독 0 동작에 대해, 메모리 셀(610)은 전에 0으로 기록되었을 것이다. GLT 디바이스(460)는 낮은 상태(low state)(또한, "역방향 브레이킹 모드(reverse breaking mode)라 칭해짐)에 있을 수 있다. GLT 디바이스(460)와 기록 액세스 트랜지스터(474) 사이의 노드(444)에서 전위는 대략 0이고, 어떠한 전류도 GLT 디바이스(460)를 통과하지 않는다. 노드(444)에서 제로 바이어스가 감지 트랜지스터(490)에 인가될 때, 감지 트랜지스터(490)는 "오프" 상태에 있을 수 있고 전류는 라인(634)을 통해 애노드(466)로부터 기록 비트 라인(452)으로 그리고 감지 트랜지스터(490)의 드레인(494)으로 흐를 수 없다. 만약 프리차지된 판독 비트 라인

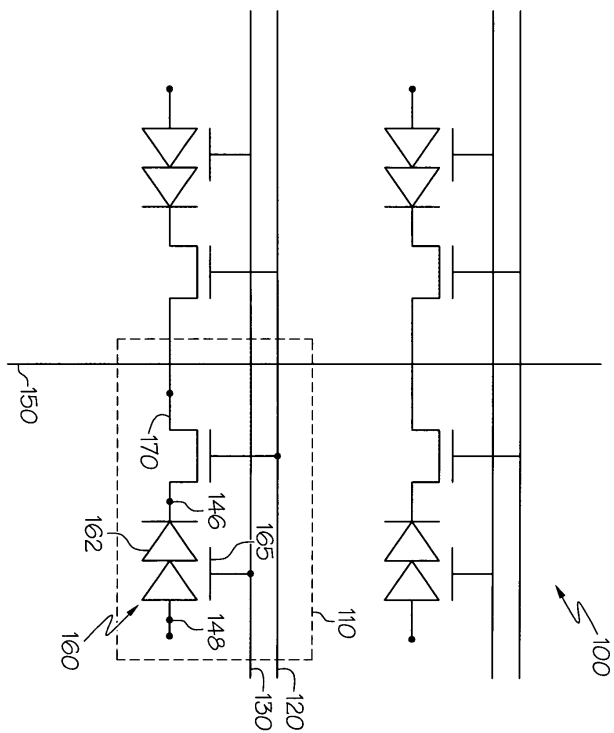
(454) 상의 전압이 변하지 않으면, 감지 증폭 회로(346)는 메모리 셀(610)로부터 데이터 0이 판독되고 있음을 감지한다.

[0070]

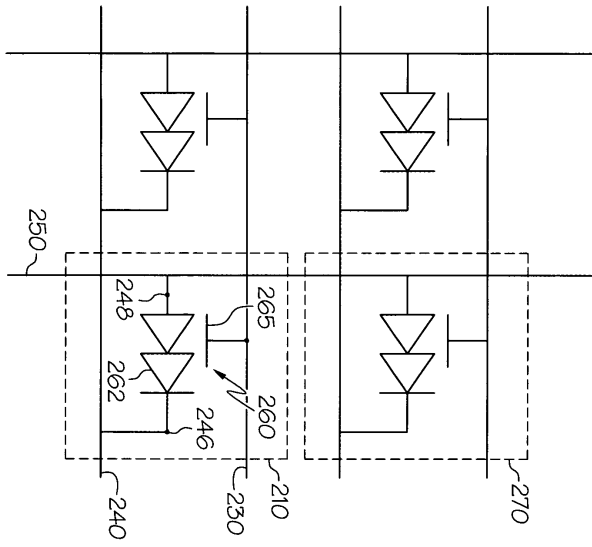
앞서 상세한 설명에서 적어도 하나의 예시적 실시예가 제시되었지만, 본 발명의 다양한 변형이 있을 수 있음을 이해하여야 한다. 또한, 예시적 실시예 혹은 예시적 실시예들은 단지 예시적인 것이며, 본 발명의 범위, 이용 가능성, 혹은 구성 가능성을 한정하려 하는 것이 아니다. 오히려, 앞서 상세한 설명은 본 기술 분야의 당업자들에게 이러한 예시적 실시예 및 예시적 실시예들을 구현하는 데 있어 편리한 로드 맵을 제공할 것이다. 첨부되는 특허 청구 범위에서 설명되는 본 발명의 범위 및 그 법률적 등가의 범위를 벗어남이 없이 구성 요소들의 기능 및 배열에 있어 다양한 변경이 이루어질 수 있음을 이해하여야 한다.

도면

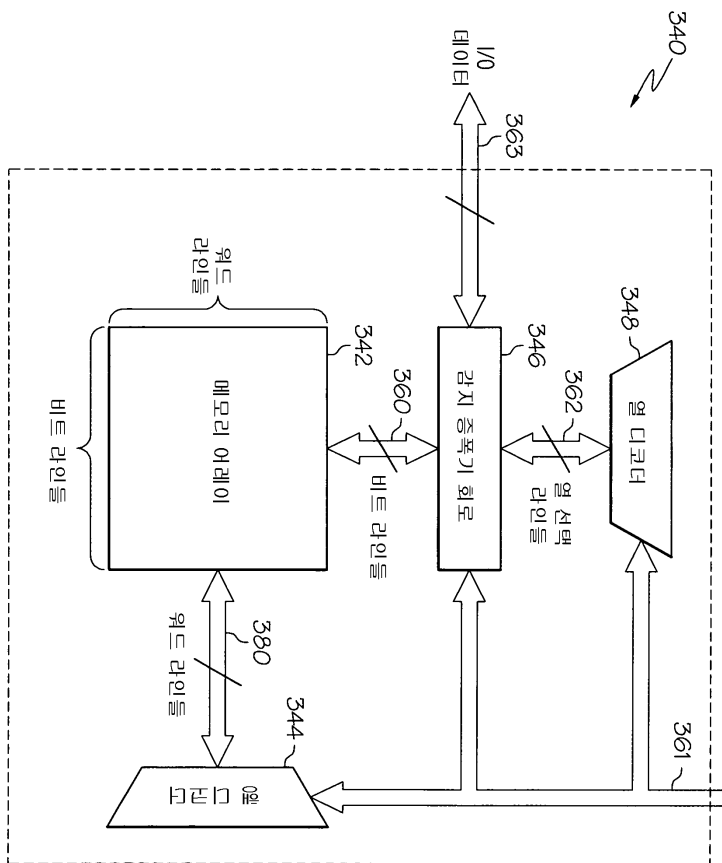
도면1



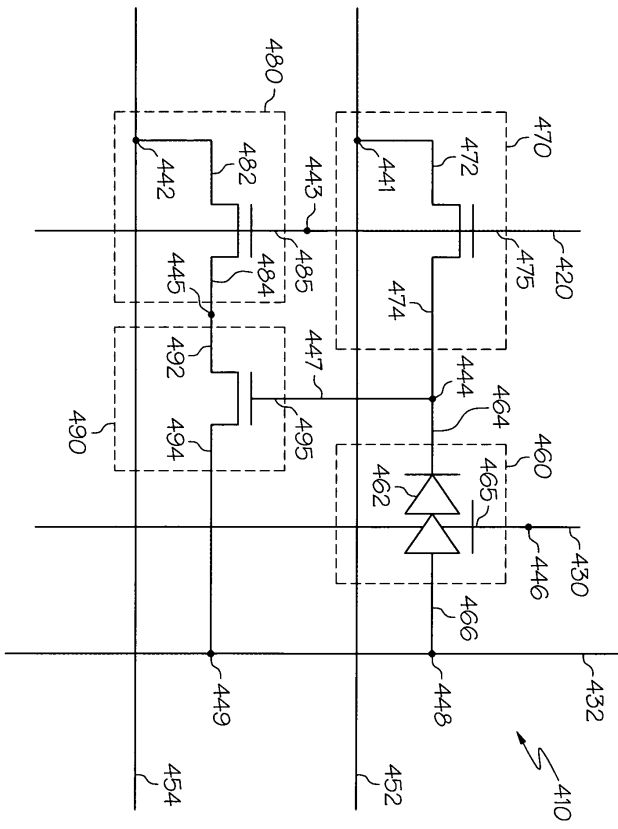
도면2



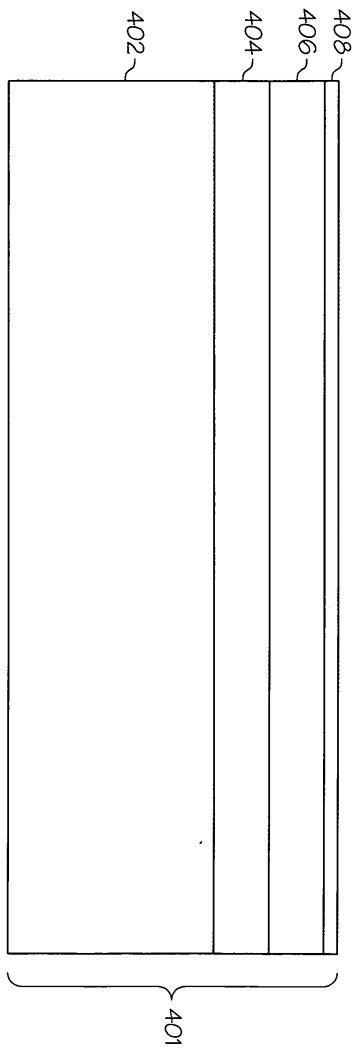
도면3



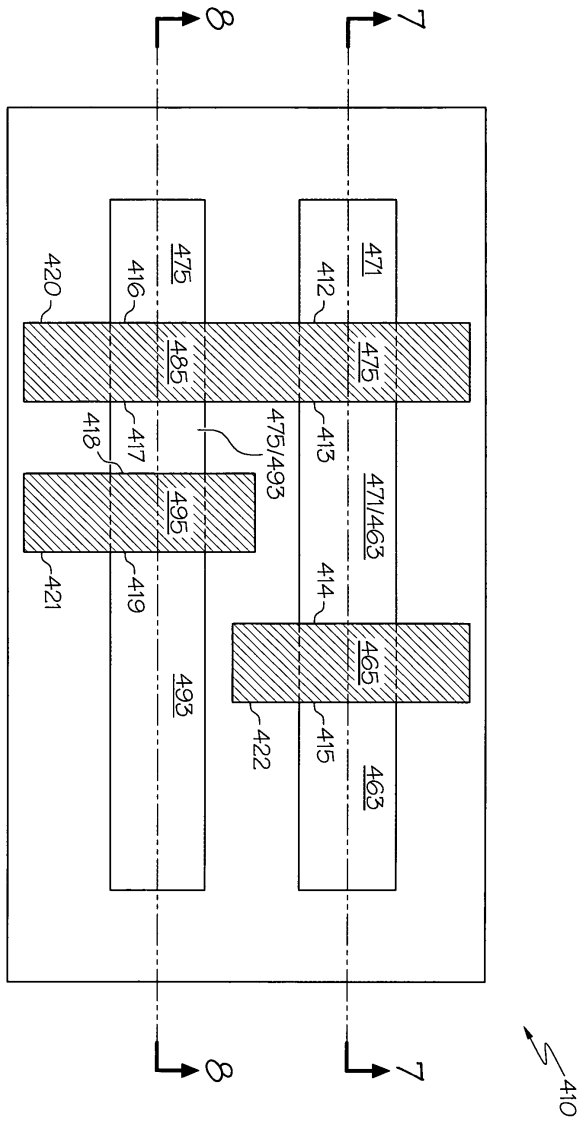
도면4



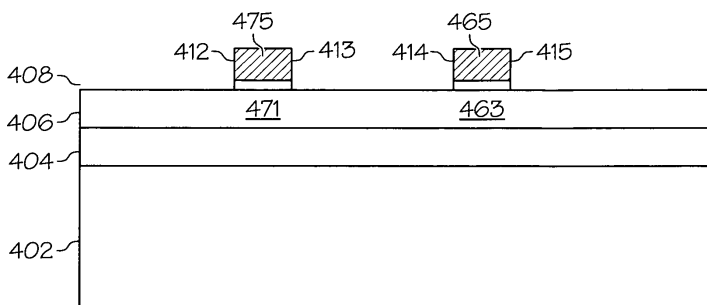
도면5



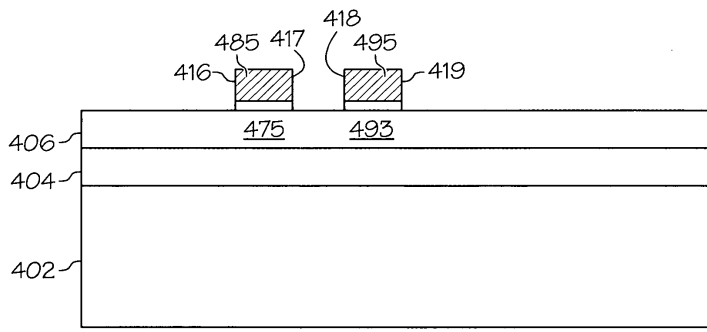
도면6



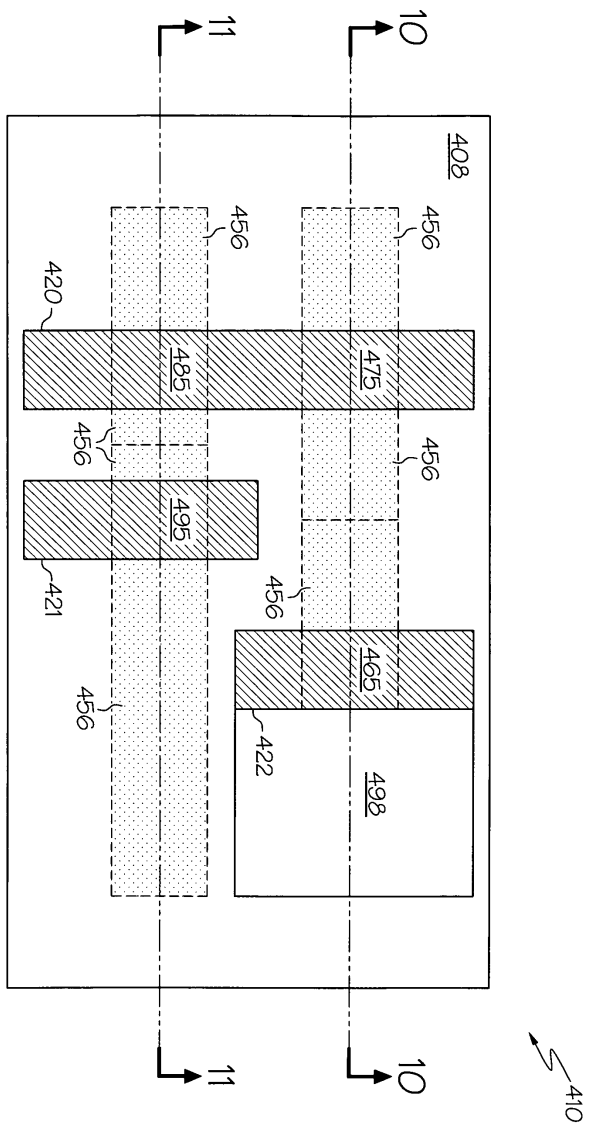
도면7



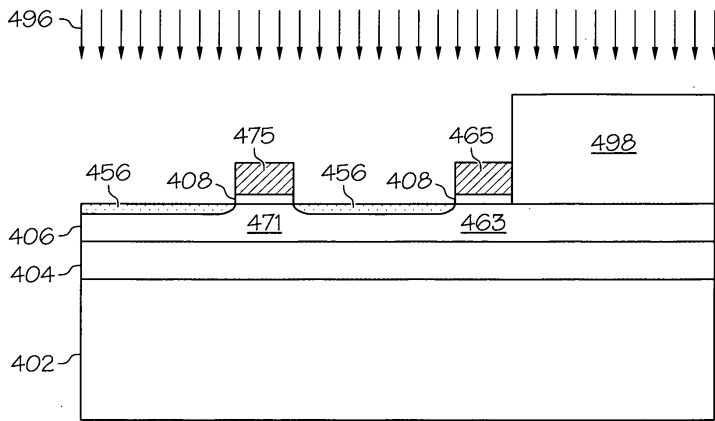
도면8



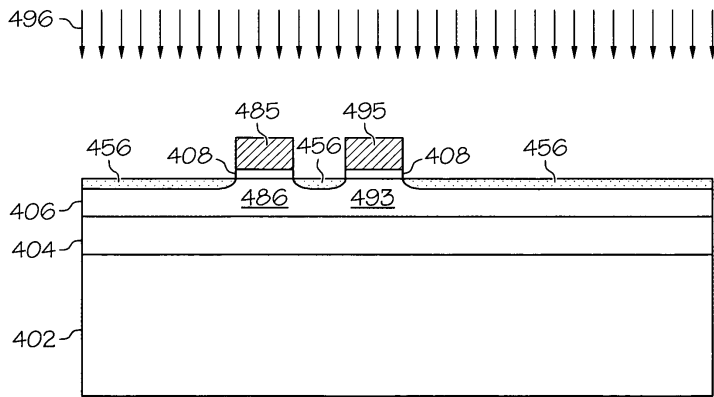
도면9



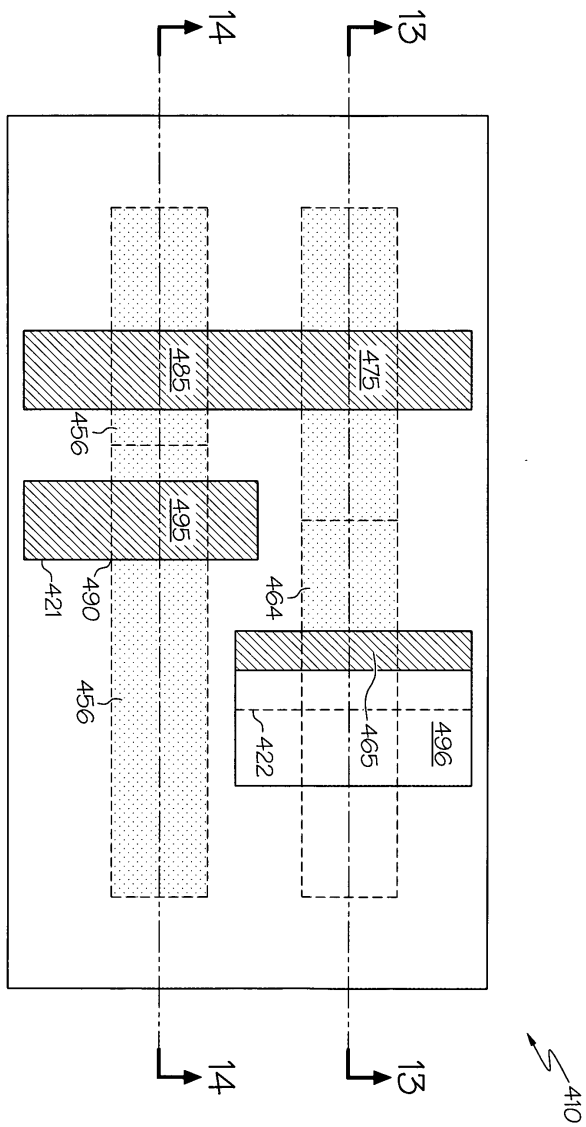
도면10



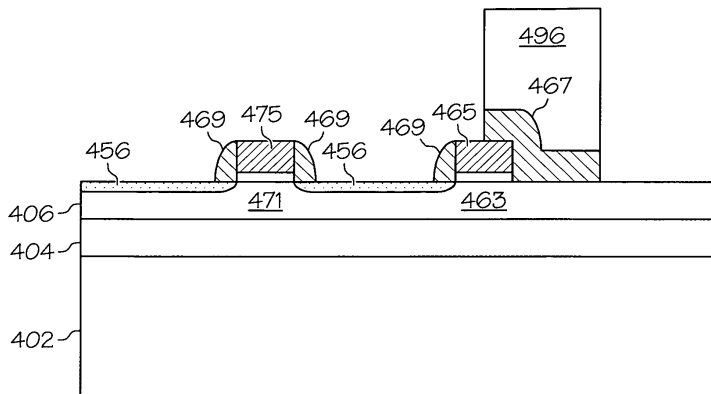
도면11



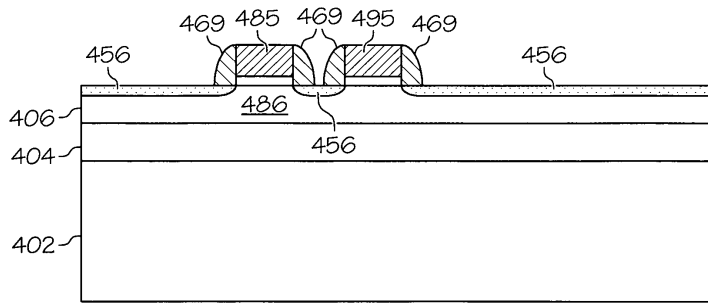
도면12



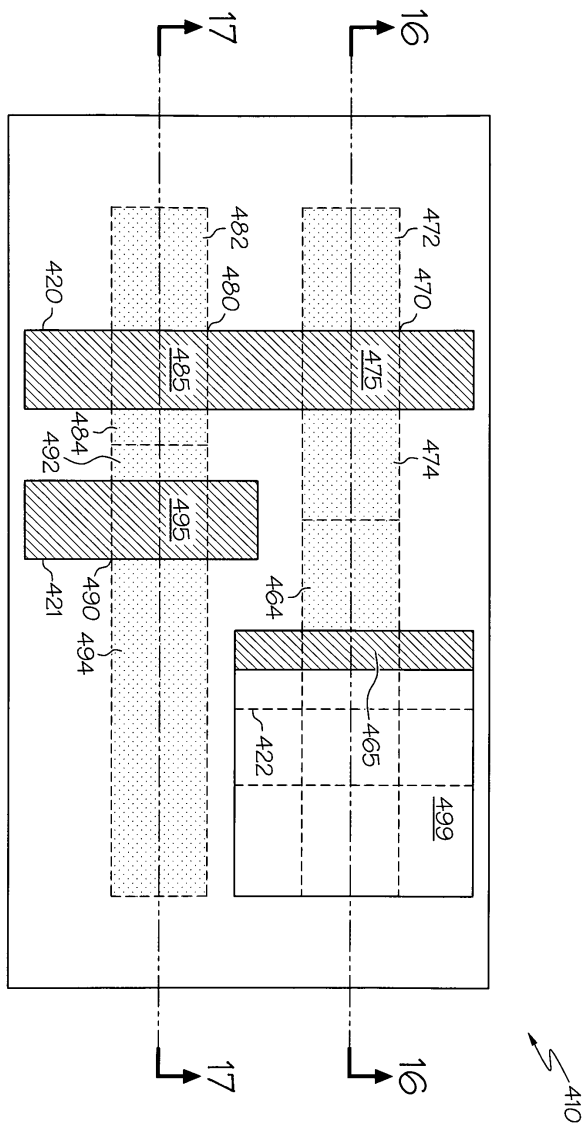
도면13



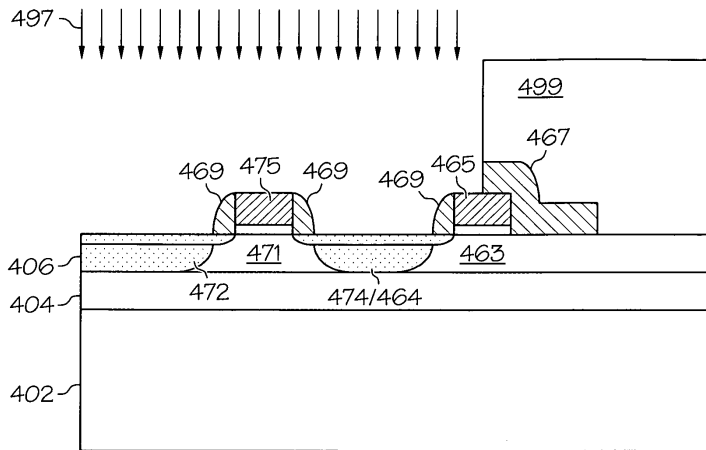
도면14



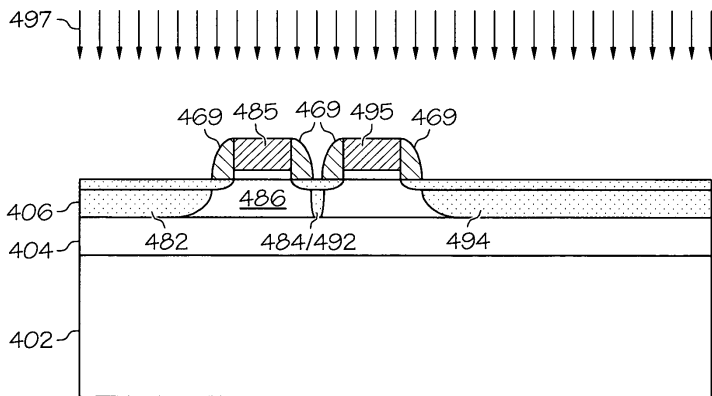
도면15



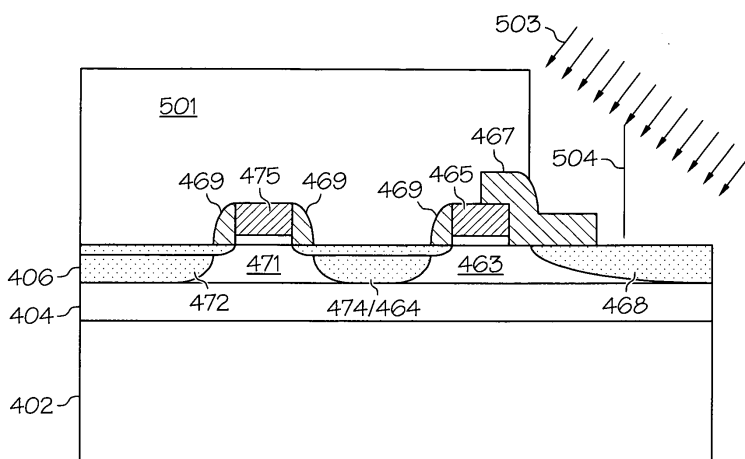
도면16



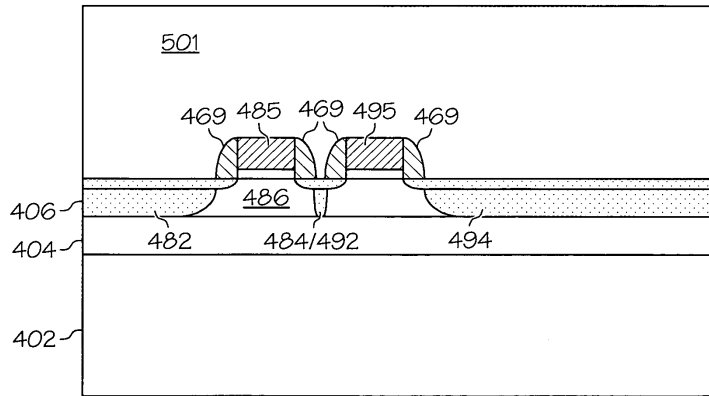
도면17



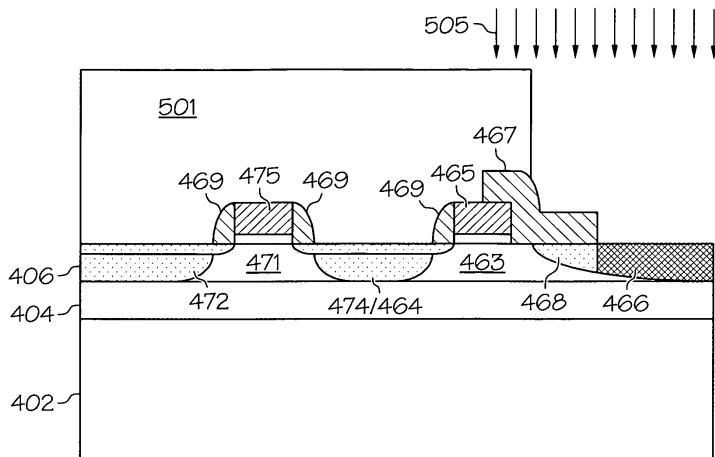
도면18



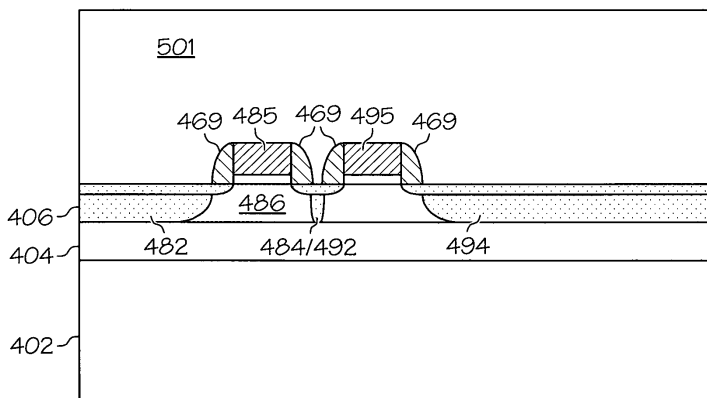
도면19



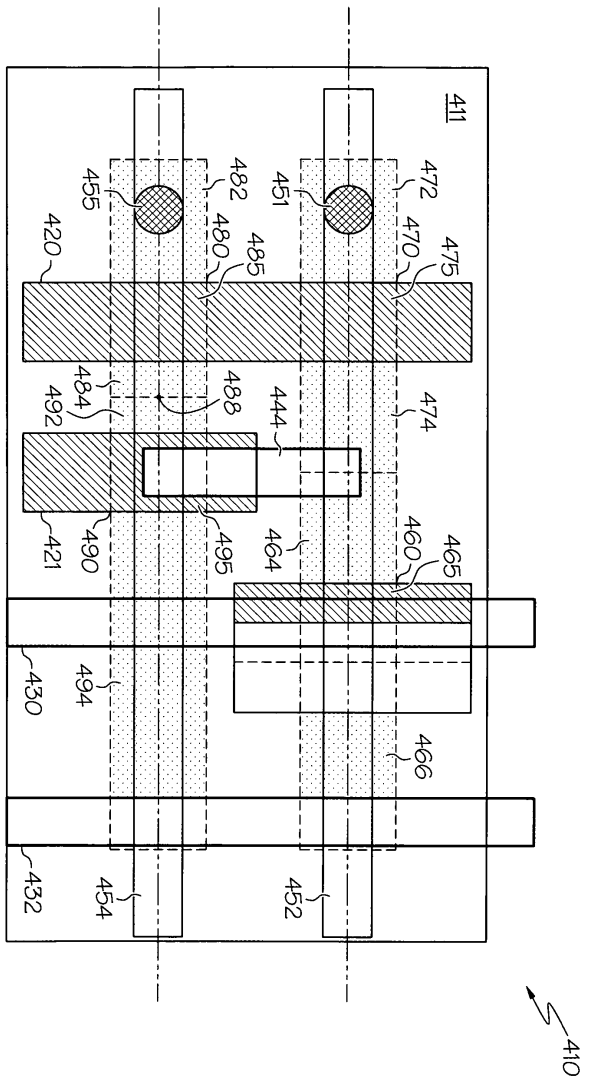
도면20



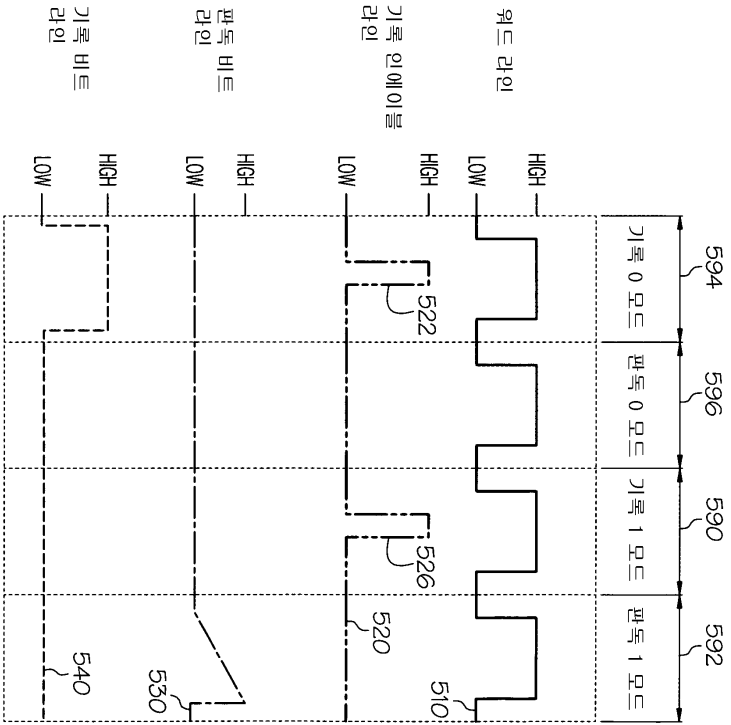
도면21



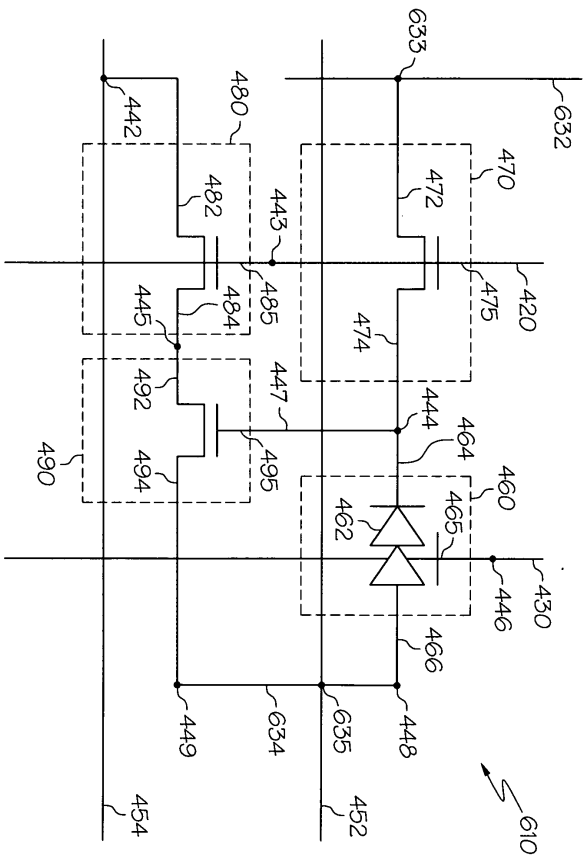
도면22



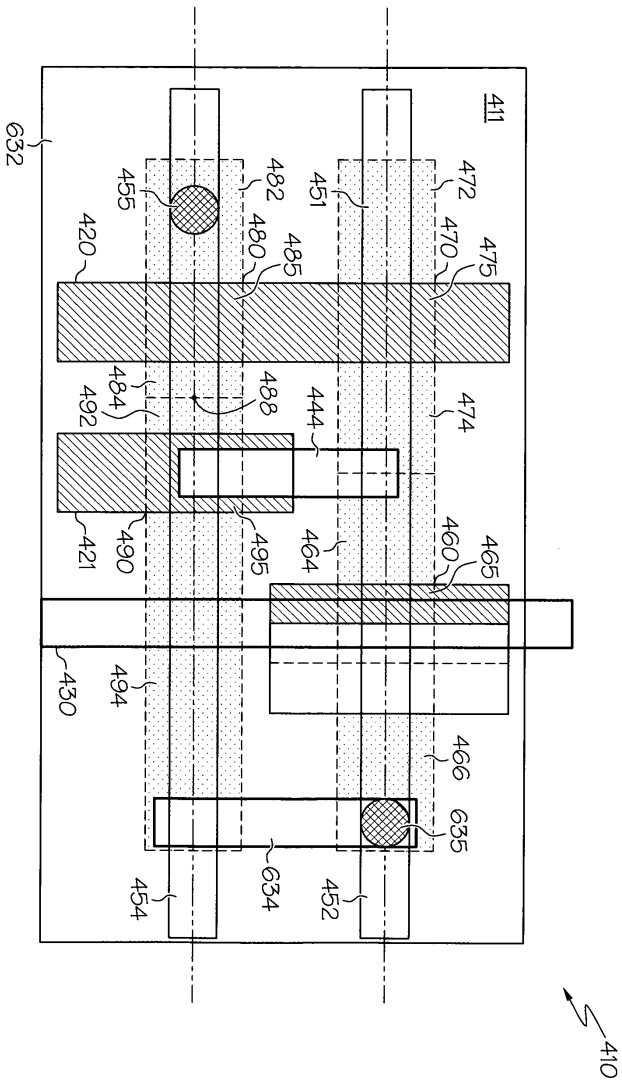
도면23



도면24



도면25



도면26

