

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-124084

(P2007-124084A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
HO 4 N 5/335 (2006.01)	HO 4 N 5/335 P	4 M 1 1 8
HO 1 L 21/339 (2006.01)	HO 1 L 29/76 3 O 1 B	5 C 0 2 4
HO 1 L 29/762 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2005-310899 (P2005-310899)	(71) 出願人	000001889 三洋電機株式会社
(22) 出願日	平成17年10月26日 (2005.10.26)		大阪府守口市京阪本通2丁目5番5号
		(74) 代理人	100075258 弁理士 吉田 研二
		(74) 代理人	100096976 弁理士 石田 純
		(72) 発明者	谷本 孝司 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	4M118 AA04 AB01 BA12 DB11 FA06 5C024 HX50 HX52 JX28

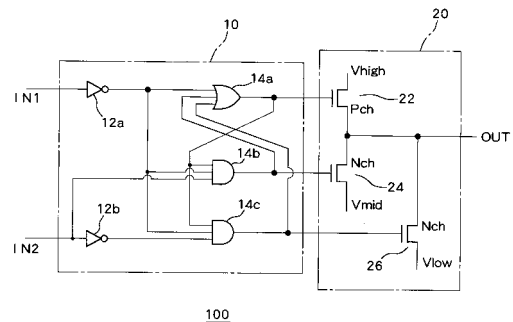
(54) 【発明の名称】 3値パルス発生回路

(57) 【要約】

【課題】スイッチング素子の貫通電流を抑制し、消費電力を低減させた3値パルス発生回路を実現する。

【解決手段】3つの論理素子14a, 14b, 14cを含む論理回路部10と、3つの論理素子14a, 14b, 14cの各々の出力によって制御される3つのスイッチング素子22, 24, 26を含むスイッチング制御部20とを備え、3つのスイッチング素子22, 24, 26が同時にオン状態とならないように制御することによって互いに異なる3つの電圧値 V_{high} , V_{mid} , V_{low} を切り替えて出力する3値パルス発生回路10によって上記課題を解決することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

互いに異なる 3 つの電圧値を出力する 3 値パルス発生回路であって、
3 つの論理素子を含む論理回路部と、前記 3 つの論理素子の各々の出力によって制御される 3 つのスイッチング素子を含むスイッチング制御部と、を備え、
前記 3 つのスイッチング素子それぞれの一端には、互いに異なる 3 つの電圧値がそれぞれ入力され、他端から電圧値を出力し、
前記スイッチング制御部は、前記 3 つのスイッチング素子が同時にオン状態とならないように制御することによって前記 3 つの電圧値を切り替えて出力することを特徴とする 3 値パルス発生回路。

10

【請求項 2】

請求項 1 に記載の 3 値パルス発生回路であって、
前記 3 つの論理素子のうち 1 つの出力を他の 2 つの論理素子のうち少なくとも 1 つの入力にフィードバックすること特徴とする 3 値パルス発生回路。

【請求項 3】

請求項 2 に記載の 3 値パルス発生回路であって、
前記論理回路部は、OR 素子及び第 1 の AND 素子及び第 2 の AND 素子を含んで構成され、
前記 OR 素子の出力は、前記第 1 の AND 素子及び前記第 2 の AND 素子の入力にフィードバックされ、
前記第 1 の AND 素子の出力及び前記第 2 の AND 素子の出力は、前記 OR 素子の入力にフィードバックされていることを特徴とする 3 値パルス発生回路。

20

【請求項 4】

請求項 2 に記載の 3 値パルス発生回路であって、
前記論理回路部は、OR 素子及び第 1 の AND 素子及び第 2 の AND 素子及びマルチバイブレータ回路を含んで構成され、
前記 OR 素子の出力は、前記第 1 の AND 素子及び前記第 2 の AND 素子の入力にフィードバックされ、
前記第 1 の AND 素子の出力及び前記第 2 の AND 素子の出力は、前記 OR 素子の入力にフィードバックされると共に、前記マルチバイブレータ回路を介して前記第 1 の AND 素子及び前記第 2 の AND 素子の入力にフィードバックされていることを特徴とする 3 値パルス発生回路。

30

【請求項 5】

請求項 2 に記載の 3 値パルス発生回路であって、
前記論理回路部は、第 1 の OR 素子及び第 2 の OR 素子及び AND 素子及びマルチバイブレータ回路を含んで構成され、
前記 AND 素子の出力は、前記第 1 の OR 素子及び前記第 2 の OR 素子の入力にフィードバックされ、
前記第 1 の OR 素子の出力及び前記第 2 の OR 素子の出力は、前記 AND 素子の入力にフィードバックされると共に、前記マルチバイブレータ回路を介して前記第 1 の OR 素子及び前記第 2 の OR 素子の入力にフィードバックされていることを特徴とする 3 値パルス発生回路。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、スイッチング素子の貫通電流を抑制して消費電力を低減させた 3 値パルス発生回路に関する。

【背景技術】**【0002】**

固体撮像装置は、光電変換部と電荷転送部の機能を備え、光電変換部で入射光に対応し

50

て生成された情報電荷を電荷転送部によって転送することによって画像データを得るための装置である。固体撮像装置としては、CCD (Charge Coupled Device) 固体撮像装置が例示される。

【0003】

例えば、フレーム転送型のCCD固体撮像装置は、光電変換素子と垂直シフトレジスタとを兼ね合わせた撮像部、撮像部から転送されてきた情報電荷を一時的にバッファリングする垂直シフトレジスタを備えた蓄積部、蓄積部から1行分ずつ出力された情報電荷を転送する水平シフトレジスタを備えた水平転送部、及び、水平転送部から1ビットずつ出力された情報電荷に応じた電圧を出力する出力部とを備える。フレーム転送型のCCD固体撮像装置では、撮像時には、撮像部にマトリクス状に配置された光電変換素子のビット毎に入射光強度に応じた情報電荷が生成される。また、フレーム転送時には、撮像部の各ビットで生成された情報電荷が垂直シフトレジスタにより1フレーム分垂直転送され蓄積部にバッファリングされると共に、蓄積部にバッファリングされていた情報電荷が1行分ずつ水平転送部へと転送される。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

固体撮像装置では、撮像時の情報電荷の蓄積能力と、垂直転送時の情報電荷の転送効率を高めるために撮像時と垂直転送時とで異なる電圧値のクロックパルスで撮像部及び蓄積部に印加する3値のクロックパルスで制御を行うことが必要とされてきている。

20

【0005】

そこで、本発明は、スイッチング素子の貫通電流を抑制して消費電力を低減させた3値パルス発生回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、互いに異なる3つの電圧値を出力する3値パルス発生回路であって、3つの論理素子を含む論理回路部と、前記3つの論理素子の各々の出力によって制御される3つのスイッチング素子を含むスイッチング制御部と、を備え、前記3つのスイッチング素子それぞれの一端には、互いに異なる3つの電圧値がそれぞれ入力され、他端から電圧値を出力し、前記スイッチング制御部は、前記3つのスイッチング素子が同時にオン状態とならないように制御することによって前記3つの電圧値を切り替えて出力することを特徴とする。

30

【0007】

ここで、前記3つの論理素子のうち1つの出力を他の2つの論理素子のうち少なくとも1つの入力にフィードバックすることによって、前記3つのスイッチング素子が同時にオン状態とならないように制御することが可能となる。

【0008】

具体的には、前記論理回路部は、OR素子及び第1のAND素子及び第2のAND素子を含んで構成され、前記OR素子の出力は、前記第1のAND素子及び前記第2のAND素子の入力にフィードバックされ、前記第1のAND素子の出力及び前記第2のAND素子の出力は、前記OR素子の入力にフィードバックされていることが好適である。

40

【0009】

また、前記論理回路部は、OR素子及び第1のAND素子及び第2のAND素子及びマルチバイプレータ回路を含んで構成され、前記OR素子の出力は、前記第1のAND素子及び前記第2のAND素子の入力にフィードバックされ、前記第1のAND素子の出力及び前記第2のAND素子の出力は、前記OR素子の入力にフィードバックされると共に、前記マルチバイプレータ回路を介して前記第1のAND素子及び前記第2のAND素子の入力にフィードバックされていることも好適である。

【0010】

これらの論理回路は、前記3つのスイッチング素子として2つのNチャンネルMOSF

50

ETと1つのPチャンネルMOSFETを用いて構成した前記スイッチング制御部に適用することができる。

【0011】

また、前記論理回路部は、第1のOR素子及び第2のOR素子及びAND素子及びマルチバイブレータ回路を含んで構成され、前記AND素子の出力は、前記第1のOR素子及び前記第2のOR素子の入力にフィードバックされ、前記第1のOR素子の出力及び前記第2のOR素子の出力は、前記AND素子の入力にフィードバックされると共に、前記マルチバイブレータ回路を介して前記第1のOR素子及び前記第2のOR素子の入力にフィードバックされていることも好適である。

【0012】

この論理回路は、前記3つのスイッチング素子として1つのNチャンネルMOSFETと2つのPチャンネルMOSFETを用いて構成した前記スイッチング制御部に適用することができる。

【発明の効果】

【0013】

本発明によれば、3値パルス発生回路におけるスイッチング素子の貫通電流を抑制し、消費電力を低減させることができる。

【発明を実施するための最良の形態】

【0014】

<第1の実施の形態>

本発明の第1の実施の形態における3値パルス発生回路100は、図1に示すように、論理回路部10及びスイッチング制御部20を含んで構成される。論理回路部10は、論理素子を含み、スイッチング素子のスイッチングを制御する制御信号を生成して出力する。スイッチング制御部20は、複数のスイッチング素子を含み、論理回路部10で生成された制御信号に応じて所定の3つの電圧値 V_{high} 、 V_{mid} 、 V_{low} のうち1つを選択して出力信号OUTとして出力する。3値パルス発生回路100は、例えば、フレーム転送方式のCCD固体撮像装置における撮像部の駆動用ドライバとして利用されるが、これに限定されるものではなく、他の装置の駆動用ドライバとしても利用することができる。

【0015】

論理回路部10は、バッファを兼ねるNOT素子12a、12b、OR素子14a、AND素子14b、14cを含んで構成することができる。本実施の形態におけるOR素子14a、AND素子14b、14cは、3つの入力端子をそれぞれ有する。また、スイッチング制御部20は、PチャンネルのMOSFET22、NチャンネルのMOSFET24、26を含んで構成される。

【0016】

NOT素子12aには第1の入力信号IN1が入力され、NOT素子12bには第2の入力信号IN2が入力される。第2の入力信号IN2は、さらにAND素子14bにも入力される。NOT素子12aの出力は、OR素子14a及びAND素子14b、14cに入力される。また、NOT素子12bの出力は、AND素子14cに入力される。

【0017】

OR素子14aの出力は、スイッチング制御部20のMOSFET22のゲートに入力されると共に、AND素子14b、14cに入力される。AND素子14bの出力は、スイッチング制御部20のMOSFET24のゲートに入力されると共に、OR素子14aに入力される。AND素子14cの出力は、スイッチング制御部20のMOSFET26のゲートに入力されると共に、OR素子14aに入力される。

【0018】

スイッチング制御部20のMOSFET22のソースには第1の電圧 V_{high} が印加され、MOSFET24のソースには第1の電圧 V_{high} よりも低い第2の電圧 V_{mid} が印加され、MOSFET26のソースには第2の電圧 V_{mid} よりも低い第3の電圧

10

20

30

40

50

V_{low} が印加される。例えば、第 1 の電圧 V_{high} は 3 V、第 2 の電圧 V_{mid} は -5 V、第 3 の電圧 V_{low} は -7 V とされる。MOSFET 22, 24, 26 のドレインは共通に出力端子に接続される。

【0019】

次に、図 2 を参照して、3 値パルス発生回路 100 の作用について説明する。図 2 は、第 1 の入力信号 IN1 及び第 2 の入力信号 IN2 の状態に対する出力信号 OUT の変化を示すタイミングチャートである。

【0020】

第 1 の入力信号 IN1 がローレベル、第 2 の入力信号 IN2 もローレベルの場合、MOSFET 26 のみがオン状態となり、MOSFET 22, 24 はオフ状態となる。したがって、出力信号 OUT は第 3 の電圧値 V_{low} となる。第 1 の入力信号 IN1 がハイレベル、第 2 の入力信号 IN2 がローレベルの場合、MOSFET 22 のみがオン状態となり、MOSFET 24, 26 はオフ状態となる。また、第 1 の入力信号 IN1 及び第 2 の入力信号 IN2 が共にハイレベルの場合にも、MOSFET 22 のみがオン状態となり、MOSFET 24, 26 はオフ状態となる。したがって、出力信号 OUT は第 1 の電圧値 V_{high} となる。第 1 の入力信号 IN1 がローレベル、第 2 の入力信号 IN2 がハイレベルの場合、MOSFET 24 のみがオン状態となり、MOSFET 22, 26 はオフ状態となる。したがって、出力信号 OUT は第 2 の電圧値 V_{mid} となる。

【0021】

このとき、図 2 に示すように、第 1 の入力信号 IN1 がハイレベルである期間に第 2 の入力信号 IN2 をローレベルからハイレベルに変化させる。これによって、出力信号 OUT を、第 1 の電圧値 V_{high} と第 2 の電圧値 V_{mid} との間、又は、第 1 の電圧値 V_{high} と第 3 の電圧値 V_{low} との間で切り替え、3 値パルスを発生させることが可能となる。

【0022】

論理回路部 10 では、OR 素子 14a の出力が AND 素子 14b, 14c の入力にフィードバックされると共に、AND 素子 14b, 14c の出力が OR 素子 14a の入力にフィードバックされている。このように、スイッチング素子である 3 つの MOSFET 22, 24, 26 に対して制御信号を出力する 3 つの論理素子、すなわち OR 素子 14a, AND 素子 14b, 14c、の出力を相互にフィードバックすることによって、スイッチング制御部 20 に含まれるスイッチング素子、すなわち MOSFET 22, 24, 26、のいずれか 1 つのみがオン状態となるように制御することができる。MOSFET 22, 24 とが同時にオン状態となることによって MOSFET 22 のソースと MOSFET 24 のソースとが接続された状態、MOSFET 22, 26 とが同時にオン状態となることによって MOSFET 22 のソースと MOSFET 26 のソースとが接続された状態、MOSFET 24, 26 とが同時にオン状態となることによって MOSFET 24 のソースと MOSFET 26 のソースとが接続された状態、となることを防ぐことができる。すなわち、複数のスイッチング素子が同時にオン状態となることによる貫通電流の発生を防ぎ、3 値パルス発生回路 100 の消費電力を低減させることができる。

【0023】

< 第 2 の実施の形態 >

本発明の第 2 の実施の形態における 3 値パルス発生回路 200 は、図 3 に示すように、論理回路部 30 及びスイッチング制御部 40 を含んで構成される。論理回路部 30 は、第 1 の実施の形態と同様に論理素子を含み、スイッチング素子のスイッチングを制御する制御信号を生成して出力する。スイッチング制御部 40 は、第 1 の実施の形態と同様に複数のスイッチング素子を含み、論理回路部 30 で生成された制御信号に応じて所定の 3 つの電圧値 V_{high} , V_{mid} , V_{low} のうち 1 つを選択して出力信号 OUT として出力する。3 値パルス発生回路 200 は、例えば、フレームトランスファー方式の CCD 固体撮像装置における撮像部の駆動用ドライバとして利用されるが、これに限定されるものではなく、他の装置の駆動用ドライバとしても利用することができる。

10

20

30

40

50

【 0 0 2 4 】

論理回路部 30 は、バッファを兼ねる NOT 素子 32 a , 32 b、マルチバイブレータ回路を構成する NOR 素子 34 a , 34 b、OR 素子 36 a 及び AND 素子 36 b , 36 c を含んで構成することができる。本実施の形態における OR 素子 36 a、AND 素子 36 b , 36 c は、3つの入力端子をそれぞれ有する。また、スイッチング制御部 40 は、Pチャンネルの MOSFET 42、Nチャンネルの MOSFET 44 , 46 を含んで構成される。

【 0 0 2 5 】

NOT 素子 32 a には第 1 の入力信号 IN 1 が入力され、NOT 素子 32 b には第 2 の入力信号 IN 2 が入力される。第 2 の入力信号 IN 2 は、さらに NOR 素子 34 b にも入力される。NOT 素子 32 a の出力は、OR 素子 36 a , AND 素子 36 b , 36 c に入力される。NOT 素子 32 b の出力は、NOR 素子 34 a に入力される。また、NOR 素子 34 a の出力は AND 素子 36 b に入力され、NOR 素子 34 b の出力は AND 素子 36 c に入力される。

10

【 0 0 2 6 】

OR 素子 36 a の出力 A は、スイッチング制御部 40 の MOSFET 42 のゲートに入力されると共に、AND 素子 36 b , 36 c に入力される。AND 素子 36 b の出力 B は、スイッチング制御部 40 の MOSFET 44 のゲートに入力されると共に、OR 素子 36 a 及びマルチバイブレータ回路を構成する NOR 素子 34 b に入力される。AND 素子 36 c の出力 C は、スイッチング制御部 40 の MOSFET 46 のゲートに入力されると共に、OR 素子 36 a 及びマルチバイブレータ回路を構成する NOR 素子 34 a に入力される。

20

【 0 0 2 7 】

スイッチング制御部 40 は、第 1 の実施の形態におけるスイッチング制御部 20 と同様に 1 つの Pチャンネル MOSFET 42 及び 2 つの Nチャンネル MOSFET 44 により構成される。スイッチング制御部 40 の MOSFET 42 のソースには第 1 の電圧 V_{high} が印加され、MOSFET 44 のソースには第 1 の電圧 V_{high} よりも低い第 2 の電圧 V_{mid} が印加され、MOSFET 46 のソースには第 2 の電圧 V_{mid} よりも低い第 3 の電圧 V_{low} が印加される。例えば、第 1 の電圧 V_{high} は 3 V、第 2 の電圧 V_{mid} は - 5 V、第 3 の電圧 V_{low} は - 7 V とされる。MOSFET 42 , 44 , 46 のドレインは共通に出力端子に接続される。

30

【 0 0 2 8 】

次に、図 4 を参照して、3 値パルス発生回路 200 の作用について説明する。図 4 は、第 1 の入力信号 IN 1 及び第 2 の入力信号 IN 2 の状態に対する出力 A , B , C 及び出力信号 OUT の変化を示すタイミングチャートである。

【 0 0 2 9 】

第 1 の入力信号 IN 1 がローレベル、第 2 の入力信号 IN 2 もローレベルの場合、出力 A 及び出力 C がハイレベル、出力 B がローレベルとなる。これにより、MOSFET 46 のみがオン状態となり、MOSFET 42 , 44 はオフ状態となる。したがって、出力信号 OUT は第 3 の電圧値 V_{low} となる。

40

【 0 0 3 0 】

次に、第 2 の入力信号 IN 2 がローレベルに保たれたまま、第 1 の入力信号 IN 1 がハイレベルとなると、まず AND 素子 36 c の出力 C がローレベルに変化する (ステップ S1)。続いて、AND 素子 36 c の変化を受けてマルチバイブレータ回路を構成する NOR 素子 34 a の出力がハイレベルとなり、NOR 素子 34 b の出力がローレベルとなる (ステップ S2)。これによって、AND 素子 36 c の出力 C の変換に遅れて OR 素子 36 a の出力 A がローレベルとなる。すなわち、MOSFET 46 がオフ状態となった後、MOSFET 42 のみがオン状態となる。したがって、出力信号 OUT は第 3 の電圧値 V_{low} から第 1 の電圧値 V_{high} に切り替わる。

【 0 0 3 1 】

50

第2の入力信号IN2がローレベルに保たれたまま、第1の入力信号IN1がローレベルとなると、少し遅れてOR素子36aの出力Aが再びハイレベルに戻り(ステップS3)、それに遅れてAND素子36cの出力Cがハイレベルとなる(ステップS4)。これによって、出力信号OUTは再び第3の電圧値 V_{low} となる。

【0032】

第1の入力信号IN1がハイレベルに保たれたまま、第2の入力信号IN2がハイレベルとなった場合、MOSFET22のみがオン状態となり、MOSFET24, 26はオフ状態となる。したがって、出力信号OUTは第1の電圧値 V_{high} となる。

【0033】

次に、第2の入力信号IN2がハイレベルに保たれたまま、第1の入力信号IN1がローレベルとなると、まずOR素子36aの出力Aがハイレベルに変化する(ステップS5)。続いて、OR素子36aの出力Aの変化を受けて、AND素子36bの出力Bがハイレベルとなる。すなわち、MOSFET42がオフ状態となった後、MOSFET44のみがオン状態となる。したがって、出力信号OUTは第1の電圧値 V_{high} から第2の電圧値 V_{mid} に切り替わる。

10

【0034】

第2の入力信号IN2がハイレベルに保たれたまま、第1の入力信号IN1がハイレベルに戻ると、少し遅れてAND素子36bの出力Bが再びローレベルに戻り(ステップS7)、それに遅れてOR素子36aの出力Aがローレベルとなる(ステップS8)。これによって、出力信号OUTは再び第1の電圧値 V_{high} となる。

20

【0035】

以上のように、スイッチング制御部40のスイッチング素子を同時に1つのみオン状態とするように制御しつつ、出力信号OUTを、第1の電圧値 V_{high} と第2の電圧値 V_{mid} との間、又は、第1の電圧値 V_{high} と第3の電圧値 V_{low} との間で切り替えることが可能となる。また、本実施の形態における3値パルス発生回路200では、スイッチング制御部40のスイッチング素子を同時に1つのみオン状態とするように制御しつつ、第2の電圧値 V_{mid} と第3の電圧値 V_{low} との間で切り替えることも可能である。

【0036】

論理回路部30では、OR素子36aの出力がAND素子36b, 36cの入力にフィードバックされると共に、AND素子36b, 36cの出力がマルチバイブレータ回路を介してそれぞれAND素子36c, 36bの入力にフィードバックされている。このように、スイッチング素子である3つのMOSFET42, 44, 46に対して制御信号を出力する3つ論理素子、すなわちOR素子36a, AND素子36b, 36c、の出力を相互にフィードバックすることによって、スイッチング制御部40に含まれるスイッチング素子、すなわちMOSFET42, 44, 46、のいずれか1つのみがオン状態となるように制御することができる。MOSFET42, 44とが同時にオン状態となることによってMOSFET42のソースとMOSFET44のソースとが接続された状態、MOSFET42, 46とが同時にオン状態となることによってMOSFET42のソースとMOSFET46のソースとが接続された状態、MOSFET44, 46とが同時にオン状態となることによってMOSFET44のソースとMOSFET46のソースとが接続された状態、となることを防ぐことができる。すなわち、複数のスイッチング素子が同時にオン状態となることによる貫通電流の発生を防ぎ、3値パルス発生回路200の消費電力を低減させることができる。

30

40

【0037】

<第3の実施の形態>

本発明の第3の実施の形態における3値パルス発生回路300は、図5に示すように、論理回路部50及びスイッチング制御部60を含んで構成される。論理回路部50は、第1の実施の形態と同様に論理素子を含み、スイッチング素子のスイッチングを制御する制御信号を生成して出力する。スイッチング制御部60は、第1の実施の形態と同様に複数

50

のスイッチング素子を含み、論理回路部 50 で生成された制御信号に応じて所定の 3 つの電圧値 V_{high} , V_{mid} , V_{low} のうち 1 つを選択して出力信号 OUT として出力する。3 値パルス発生回路 300 は、例えば、フレームトランスファー方式の CCD 固体撮像装置における撮像部の駆動用ドライバとして利用されるが、これに限定されるものではなく、他の装置の駆動用ドライバとしても利用することができる。

【0038】

論理回路部 50 は、バッファを兼ねる NOT 素子 52a , 52b、マルチバイブレータ回路を構成する NAND 素子 54a , 54b、OR 素子 56a , 56b 及び AND 素子 56c を含んで構成することができる。本実施の形態における OR 素子 56a , 56b、AND 素子 56c は、3 つの入力端子をそれぞれ有する。また、スイッチング制御部 60 は、P チャンネルの MOSFET 62 , 64、N チャンネルの MOSFET 66 を含んで構成される。

10

【0039】

NOT 素子 52a には第 1 の入力信号 IN1 が入力され、NOT 素子 52b には第 2 の入力信号 IN2 が入力される。第 2 の入力信号 IN2 は、さらに NAND 素子 54a にも入力される。NOT 素子 52a の出力は、OR 素子 56a , 56b 及び AND 素子 56c に入力される。NOT 素子 52b の出力は、NAND 素子 54b に入力される。また、NAND 素子 54a の出力は OR 素子 56a に入力され、NAND 素子 54b の出力は OR 素子 56b に入力される。

【0040】

OR 素子 56a の出力 A は、スイッチング制御部 60 の MOSFET 62 のゲートに入力されると共に、AND 素子 56c 及びマルチバイブレータ回路を構成する NAND 素子 54b に入力される。OR 素子 56b の出力 B は、スイッチング制御部 60 の MOSFET 64 のゲートに入力されると共に、AND 素子 56c 及びマルチバイブレータ回路を構成する NAND 素子 54a に入力される。AND 素子 56c の出力 C は、スイッチング制御部 60 の MOSFET 66 のゲートに入力されると共に、OR 素子 56a , 56b に入力される。

20

【0041】

スイッチング制御部 60 の MOSFET 62 のソースには第 1 の電圧 V_{high} が印加され、MOSFET 64 のソースには第 1 の電圧 V_{high} よりも低い第 2 の電圧 V_{mid} が印加され、MOSFET 66 のソースには第 2 の電圧 V_{mid} よりも低い第 3 の電圧 V_{low} が印加される。例えば、第 1 の電圧 V_{high} は 1 V、第 2 の電圧 V_{mid} は -3 V、第 3 の電圧 V_{low} は -7 V とされる。MOSFET 62 , 64 , 66 のドレインは共通に出力端子に接続される。

30

【0042】

次に、図 6 を参照して、3 値パルス発生回路 300 の作用について説明する。図 6 は、第 1 の入力信号 IN1 及び第 2 の入力信号 IN2 の状態に対する出力 A , B , C 及び出力信号 OUT の変化を示すタイミングチャートである。

【0043】

第 1 の入力信号 IN1 がローレベル、第 2 の入力信号 IN2 もローレベルの場合、出力 A、出力 B 及び出力 C が総てハイレベルとなる。これにより、MOSFET 66 のみがオン状態となり、MOSFET 62 , 64 はオフ状態となる。したがって、出力信号 OUT は第 3 の電圧値 V_{low} となる。

40

【0044】

次に、第 2 の入力信号 IN2 がローレベルに保たれたまま、第 1 の入力信号 IN1 がハイレベルとなると、まず AND 素子 56c の出力 C がローレベルに変化する (ステップ S10)。続いて、AND 素子 56c の変化を受けて、OR 素子 56b の出力がローレベルとなる (ステップ S11)。すなわち、MOSFET 66 がオフ状態となった後、MOSFET 64 のみがオン状態となる。したがって、出力信号 OUT は第 3 の電圧値 V_{low} から第 2 の電圧値 V_{mid} に切り替わる。

50

【 0 0 4 5 】

第2の入力信号 I N 2 がローレベルに保たれたまま、第1の入力信号 I N 1 がローレベルに戻されると、少し遅れて O R 素子 5 6 b の出力 B が再びハイレベルに戻り (ステップ S 1 2)、それに遅れて A N D 素子 5 6 c の出力 C がハイレベルとなる (ステップ S 1 3)。これによって、出力信号 O U T は再び第3の電圧値 $V_{l o w}$ となる。

【 0 0 4 6 】

第1の入力信号 I N 1 がローレベルに保たれたまま、第2の入力信号 I N 2 がハイレベルとなると、出力 A、出力 B 及び出力 C が総てハイレベルである状態が維持される。したがって、M O S F E T 6 6 のみがオン状態となり、出力信号 O U T は第3の電圧値 $V_{l o w}$ を維持する。

10

【 0 0 4 7 】

次に、第2の入力信号 I N 2 がハイレベルに保たれたまま、第1の入力信号 I N 1 がハイレベルとなると、まず A N D 素子 5 6 c の出力 C がローレベルに変化する (ステップ S 1 4)。続いて、A N D 素子 5 6 c の出力 C の変化を受けて、A N D 素子 5 6 a の出力 A がローレベルとなる (ステップ S 1 5)。すなわち、M O S F E T 6 6 がオフ状態となった後、M O S F E T 6 2 のみがオン状態となる。したがって、出力信号 O U T は第3の電圧値 $V_{l o w}$ から第1の電圧値 $V_{h i g h}$ に切り替わる。

【 0 0 4 8 】

第2の入力信号 I N 2 がハイレベルに保たれたまま、第1の入力信号 I N 1 がローレベルに戻ると、少し遅れて O R 素子 5 6 a の出力 A が再びハイレベルに戻り (ステップ S 1 6)、それに遅れて A N D 素子 5 6 c の出力 C がハイレベルとなる (ステップ S 1 7)。これによって、出力信号 O U T は再び第3の電圧値 $V_{l o w}$ となる。

20

【 0 0 4 9 】

次に、第1の入力信号 I N 1 がハイレベルに保たれたまま、第2の入力信号 I N 2 がローレベルからハイレベルになると、まず O R 素子 5 6 b の出力 B がハイレベルに変化する (ステップ S 1 8)。続いて、O R 素子 5 6 b の出力 B の変化を受けて、O R 素子 5 6 a の出力 A がローレベルとなる (ステップ S 1 9)。すなわち、M O S F E T 6 4 がオフ状態となった後、M O S F E T 6 2 のみがオン状態となる。したがって、出力信号 O U T は第2の電圧値 $V_{m i d}$ から第1の電圧値 $V_{h i g h}$ に切り替わる。

【 0 0 5 0 】

第1の入力信号 I N 1 がハイレベルに保たれたまま、第2の入力信号 I N 2 がローレベルに戻ると、少し遅れて O R 素子 5 6 a の出力 A が再びハイレベルに戻り (ステップ S 2 0)、それに遅れて O R 素子 5 6 b の出力 B がローレベルとなる (ステップ S 2 1)。これによって、出力信号 O U T は再び第2の電圧値 $V_{m i d}$ となる。

30

【 0 0 5 1 】

以上のように、スイッチング制御部 6 0 のスイッチング素子を同時に1つのみオン状態とするように制御しつつ、出力信号 O U T を、第1の電圧値 $V_{h i g h}$ と第2の電圧値 $V_{m i d}$ との間、又は、第1の電圧値 $V_{h i g h}$ と第3の電圧値 $V_{l o w}$ との間、又は、第2の電圧値 $V_{m i d}$ と第3の電圧値 $V_{l o w}$ との間で切り替えることが可能となる。

【 0 0 5 2 】

論理回路部 5 0 では、A N D 素子 5 6 c の出力が O R 素子 5 6 a , 5 6 b の入力にフィードバックされると共に、O R 素子 5 6 a , 5 6 b の出力がマルチバイプレータ回路を介してそれぞれ O R 素子 5 6 b , c の入力にフィードバックされている。このように、スイッチング素子である3つの M O S F E T 6 2 , 6 4 , 6 6 に対して制御信号を出力する3つの論理素子、すなわち O R 素子 5 6 a , 5 6 b、A N D 素子 5 6 c、の出力を相互にフィードバックすることによって、スイッチング制御部 6 0 に含まれるスイッチング素子、すなわち M O S F E T 6 2 , 6 4 , 6 6、のいずれか1つのみがオン状態となるように制御することができる。M O S F E T 6 2 , 6 4 とが同時にオン状態となることによって M O S F E T 6 2 のソースと M O S F E T 6 4 のソースとが接続された状態、M O S F E T 6 2 , 6 6 とが同時にオン状態となることによって M O S F E T 6 2 のソースと M O S F

40

50

ET66のソースとが接続された状態、MOSFET64, 66とが同時にオン状態となることによってMOSFET64のソースとMOSFET66のソースとが接続された状態、となることを防ぐことができる。すなわち、複数のスイッチング素子が同時にオン状態となることによる貫通電流の発生を防ぎ、3値パルス発生回路300の消費電力を低減させることができる。

【0053】

また、3値パルス発生回路300は、 $(V_{high} - V_{mid}) < (V_{mid} - V_{low})$ の場合、PチャンネルのMOSFET64を用いることによってバックゲートバイアスによる駆動能力の低下を避けることができる。したがって、 $(V_{high} - V_{mid}) < (V_{mid} - V_{low})$ の場合には3値パルス発生回路300を用いることが好適である。一方、 $(V_{high} - V_{mid}) > (V_{mid} - V_{low})$ の場合には3値パルス発生回路200を用いることが好適である。

10

【0054】

また、第1から第3の実施の形態における3値パルス発生回路100, 200, 300では、論理回路部10, 30, 50の駆動電圧を上げることによって後段のスイッチング制御部20, 40, 60の駆動能力を向上させることもできる。

【0055】

なお、本発明の技術的思想は上記実施の形態に限定されるものではなく、論理回路10, 30, 50とは異なる論理回路を用いてスイッチング制御部を制御してもよい。ただし、上記実施の形態の論理回路10, 30, 50を用いることによって他の論理回路よりも回路を簡易かつ小型にすることができ、製造コストを抑制することができる。

20

【図面の簡単な説明】

【0056】

【図1】本発明の第1の実施の形態における3値パルス発生回路の構成を示す回路図である。

【図2】本発明の第1の実施の形態における3値パルス発生回路の作用を示すタイミングチャートある。

【図3】本発明の第2の実施の形態における3値パルス発生回路の構成を示す回路図である。

【図4】本発明の第2の実施の形態における3値パルス発生回路の作用を示すタイミングチャートある。

30

【図5】本発明の第3の実施の形態における3値パルス発生回路の構成を示す回路図である。

【図6】本発明の第3の実施の形態における3値パルス発生回路の作用を示すタイミングチャートある。

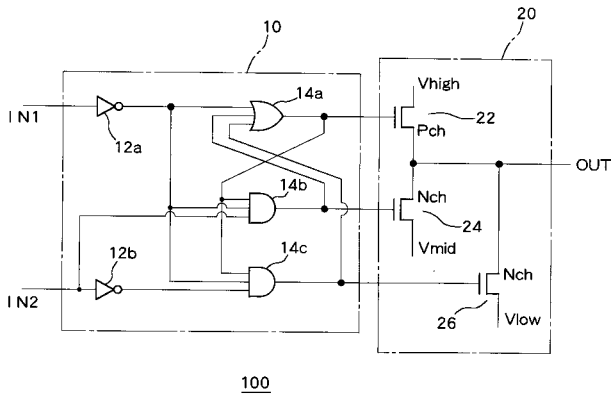
【符号の説明】

【0057】

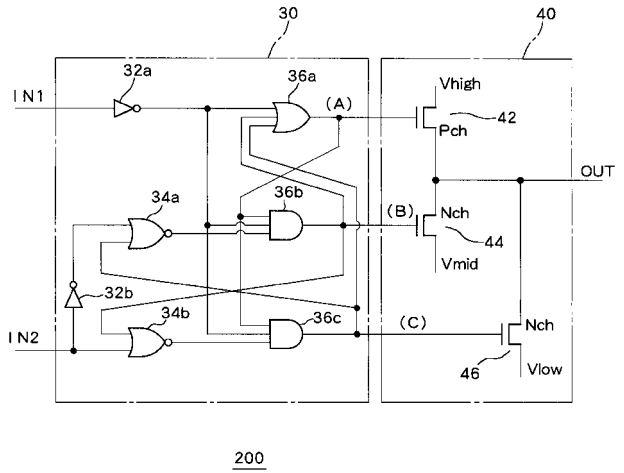
10, 30, 50 論理回路部、12a, 12b, 32a, 32b, 52a, 52b NOT素子、14a, 36a, 56a, 56b OR素子、14b, 14c, 36b, 36c, 56c AND素子、20, 40, 60 スwitching制御部、22, 42, 62, 64 PチャンネルMOSFET、24, 26, 44, 46, 66 NチャンネルMOSFET、34a, 34b NOR素子、54a, 54b NAND素子、100, 200, 300 3値パルス発生回路。

40

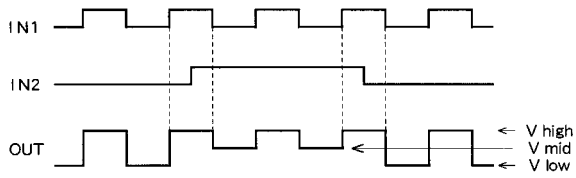
【 図 1 】



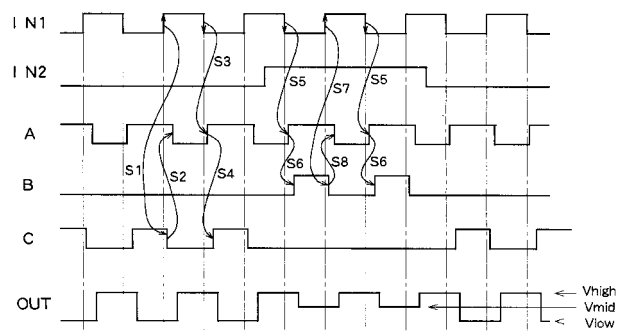
【 図 3 】



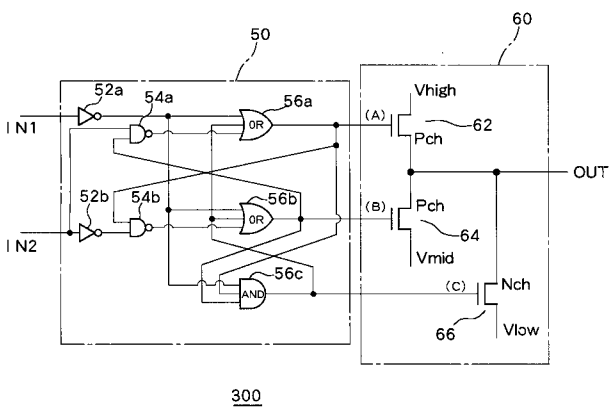
【 図 2 】



【 図 4 】



【 図 5 】



【 図 6 】

