

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-15289
(P2011-15289A)

(43) 公開日 平成23年1月20日(2011.1.20)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/693 (2006.01)	H03K 17/693 A	5F038
H03K 17/00 (2006.01)	H03K 17/00 E	5F048
H01L 27/04 (2006.01)	H01L 27/04 F	5J055
H01L 21/822 (2006.01)	H01L 27/06 1O2A	
H01L 27/06 (2006.01)	H01L 27/08 331E	

審査請求 未請求 請求項の数 20 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願2009-158995 (P2009-158995)
(22) 出願日 平成21年7月3日(2009.7.3)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100080001
弁理士 筒井 大和
(72) 発明者 近藤 将夫
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
(72) 発明者 後藤 聡
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
(72) 発明者 森川 正敏
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

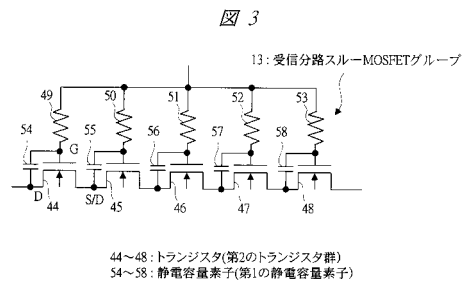
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 アンテナスイッチのスイッチング用トランジスタにSOI MOSFETを用いながら、高調波歪を大幅に低減する。

【解決手段】 アンテナスイッチの受信分路スルーMOSFETグループ13を構成するトランジスタ44~48のドレイン-ゲート間の片方に静電容量素子54~58を付加することにより、ソース-ゲート間とドレイン-ゲート間の電圧振幅が同じでなくなる。その結果、ソース-ドレイン間寄生容量の電圧依存は、電圧の極性に対して非対称となる。この非対称性は、同様の非対称性を有する信号歪を発生させるので、それを基板容量の電圧依存による2次高調波と同等の振幅と逆の位相を持つように設定することにより、2次高調波歪を打ち消すことができ、2次高調波歪を低減することができる。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

少なくとも 1 つのアンテナ端子と、少なくとも 1 つの送信端子と、少なくとも 1 つの受信端子とを有し、信号経路の切り替えを行うアンテナスイッチを備えた半導体集積回路装置であって、

前記アンテナスイッチは、

前記アンテナ端子と前記送信端子との間に接続された第 1 のトランジスタ群と、

前記アンテナ端子と前記受信端子との間に接続された第 2 のトランジスタ群と、

前記送信端子と基準電位との間に接続された第 3 のトランジスタ群と、

前記受信端子と基準電位との間に接続された第 4 のトランジスタ群と、

第 1 の静電容量素子とを備え、

前記第 1 ~ 前記第 4 のトランジスタ群は、

1 つ、または複数のトランジスタが直列接続された構成からなり、

前記第 1 の静電容量素子は、

前記第 1 ~ 前記第 4 のトランジスタ群を構成する少なくとも 1 つの前記トランジスタのゲート - ソース間、またはゲート - ドレイン間のいずれかに接続されていることを特徴とする半導体集積回路装置。

10

【請求項 2】

請求項 1 記載の半導体集積回路装置において、

前記第 1 の静電容量素子は、

前記第 2 のトランジスタ群に設けられたトランジスタに接続されていることを特徴とする半導体集積回路装置。

20

【請求項 3】

請求項 1 または 2 記載の半導体集積回路装置において、

前記第 1 の静電容量素子は、SOI 基板上に形成されていることを特徴とする半導体集積回路装置。

【請求項 4】

少なくとも 1 つのアンテナ端子と、少なくとも 1 つの送信端子と、少なくとも 1 つの受信端子とを有し、信号経路の切り替えを行うアンテナスイッチを備えた半導体集積回路装置であって、

30

前記アンテナスイッチは、

前記アンテナ端子と前記送信端子との間に接続された第 1 のトランジスタ群と、

前記アンテナ端子と前記受信端子との間に接続された第 2 のトランジスタ群と、

前記送信端子と基準電位との間に接続された第 3 のトランジスタ群と、

前記受信端子と基準電位との間に接続された第 4 のトランジスタ群と、

第 2 の静電容量素子と、

第 3 の静電容量素子とを備え、

前記第 1 ~ 前記第 4 のトランジスタ群は、

1 つ、または複数のトランジスタが直列接続された構成からなり、

前記第 2 の静電容量素子は、

40

前記第 1 ~ 前記第 4 のトランジスタ群を構成する少なくとも 1 つの前記トランジスタのゲート - ソース間に接続され、

前記第 3 の静電容量素子は、

前記トランジスタのゲート - ドレイン間に接続され、

前記第 2 の静電容量素子と前記第 3 の静電容量素子とは、異なる静電容量値であることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 4 記載の半導体集積回路装置において、

前記第 2、および前記第 3 の静電容量素子は、SOI 基板上に形成されていることを特徴とする半導体集積回路装置。

50

【請求項 6】

請求項 4 記載の半導体集積回路装置において、
前記第 2、および前記第 3 の静電容量素子は、
前記第 2 のトランジスタ群に設けられたトランジスタに接続されていることを特徴とする半導体集積回路装置。

【請求項 7】

少なくとも 1 つのアンテナ端子と、少なくとも 1 つの送信端子と、少なくとも 1 つの受信端子とを有し、信号経路の切り替えを行うアンテナスイッチを備えた半導体集積回路装置であって、

前記アンテナスイッチは、

前記アンテナ端子と前記送信端子との間に接続された第 1 のトランジスタ群と、

前記アンテナ端子と前記受信端子との間に接続された第 2 のトランジスタ群と、

前記送信端子と基準電位との間に接続された第 3 のトランジスタ群と、

前記受信端子と基準電位との間に接続された第 4 のトランジスタ群と、

第 4 の静電容量素子とを備え、

前記第 1 ~ 前記第 4 のトランジスタ群は、

1 つ、または複数のトランジスタが直列接続された構成からなり、

前記第 4 の静電容量素子は、

容量値が電圧依存性を有し、前記第 1 ~ 前記第 4 のトランジスタ群を構成する少なくとも 1 つの前記トランジスタのソース - ドレイン間に接続されていることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 7 記載の半導体集積回路装置において、

前記第 4 の静電容量素子は、SOI 基板上に形成されていることを特徴とする半導体集積回路装置。

【請求項 9】

請求項 7 または 8 記載の半導体集積回路装置において、

前記第 4 の静電容量素子は、

2 つの MOS 容量が接続された構成からなり、2 つの前記 MOS 容量の接続部が、抵抗を介して基準電位、または電源電圧に接続されていることを特徴とする半導体集積回路装置。

【請求項 10】

請求項 9 記載の半導体集積回路装置において、

前記 MOS 容量は、ゲート電極と、前記ゲート電極直下のゲート酸化膜と、シリコン基板とによって構成され、前記ゲート電極の周辺のシリコン基板領域を、前記ゲート電極の直下のシリコン基板領域よりも高不純物濃度とし、前記ゲート電極同士を電氣的に接続して 1 つのゲート端子とし、各々の前記ゲート電極周辺の高不純物濃度シリコン基板領域にそれぞれ 1 個の端子を設けたことを特徴とする半導体集積回路装置。

【請求項 11】

請求項 9 または 10 記載の半導体集積回路装置において、

前記アンテナスイッチは、第 5 の静電容量素子を備え、

前記第 5 の静電容量素子は、

一方の接続部が、前記第 1 ~ 前記第 4 のトランジスタ群を構成する少なくとも 1 つの前記トランジスタのゲートに接続され、他方の接続部が、前記第 4 の静電容量素子の 2 つの MOS 容量の接続部のノードに接続されていることを特徴とする半導体集積回路装置。

【請求項 12】

請求項 7, 8, 9 または 11 記載の半導体集積回路装置において、

前記第 4 の静電容量素子は、

前記第 2 のトランジスタ群に設けられたトランジスタに接続されていることを特徴とする半導体集積回路装置。

10

20

30

40

50

【請求項 13】

少なくとも1つのアンテナ端子と、少なくとも1つの送信端子と、少なくとも1つの受信端子とを有し、信号経路の切り替えを行うアンテナスイッチを備えた半導体集積回路装置であって、

前記アンテナスイッチは、

前記アンテナ端子と前記送信端子との間に接続された第1のトランジスタ群と、

前記アンテナ端子と前記受信端子との間に接続された第2のトランジスタ群と、

前記送信端子と基準電位との間に接続された第3のトランジスタ群と、

前記受信端子と基準電位との間に接続された第4のトランジスタ群と、

第6の静電容量素子とを備え、

10

前記第1～前記第4のトランジスタ群は、

1つ、または複数のトランジスタが直列接続された構成からなり、

前記第6の静電容量素子は、

一方の接続部が、前記第1～前記第4のトランジスタ群を構成する少なくとも1つの前記トランジスタのソース、またはドレインのいずれかに接続され、他方の接続部が抵抗を介して基準電位に接続されていることを特徴とする半導体集積回路装置。

【請求項 14】

請求項13記載の半導体集積回路装置において、

前記第6の静電容量素子は、SOI基板上に形成されていることを特徴とする半導体集積回路装置。

20

【請求項 15】

請求項13または14記載の半導体集積回路装置において、

前記アンテナスイッチは、第7の静電容量素子を備え、

前記第7の静電容量素子は、

一方の接続部が、前記第1～前記第4のトランジスタ群を構成する少なくとも1つの前記トランジスタのゲートに接続され、他方の接続部が、前記第5の静電容量素子と前記抵抗との接続ノードに接続されていることを特徴とする半導体集積回路装置。

【請求項 16】

請求項15記載の半導体集積回路装置において、

前記第6の静電容量素子は、

30

前記第2のトランジスタ群に設けられたトランジスタに接続されていることを特徴とする半導体集積回路装置。

【請求項 17】

請求項14または15記載の半導体集積回路装置において、

前記第7の静電容量素子は、SOI基板上に形成されていることを特徴とする半導体集積回路装置。

【請求項 18】

請求項11または15記載の半導体集積回路装置において、

前記第5の静電容量素子は、MOS容量であることを特徴とする半導体集積回路装置。

【請求項 19】

請求項15記載の半導体集積回路装置において、

40

前記第7の静電容量素子は、MOS容量であることを特徴とする半導体集積回路装置

。

【請求項 20】

請求項1～19のいずれか1項に記載の半導体集積回路装置において、

前記第1～前記第4のトランジスタ群を形成するトランジスタが、SOI基板上に形成されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、移動体通信機器などに用いられるアンテナスイッチの高調波歪の低減技術に関し、特に、S O I M O S F E T (Silicon On Insulator Metal Oxide Semiconductor Field Effect Transistor)を用いて構成したアンテナスイッチにおける2次高調波歪、および3次高調波歪の低減に有効な技術に関する。

【背景技術】

【0002】

一般に、携帯電話などに用いられる送受信切り替え用のアンテナスイッチは、スイッチング用トランジスタとしてH E M T (High Electron Mobility Transistor)などの化合物半導体F E Tが用いられているが、製造コストの低減などの要求に応えるために、該スイッチング用トランジスタとしてS O I M O S F E Tを用いることが知られている。

10

【0003】

たとえば、S P D T (Single pole double throw)型のアンテナスイッチの場合には、送信分路スルーM O S F E Tグループ、送信分路シャントM O S F E Tグループ、受信分路スルーM O S F E Tグループ、および受信分路シャントM O S F E Tグループが設けられている。

【0004】

送信分路スルーM O S F E Tグループは、送信端子とアンテナ端子との間に直列接続された複数のM O S F E Tからなり、各M O S F E Tのゲートには、抵抗の一方の接続部がそれぞれ接続されている。

【0005】

送信分路シャントM O S F E Tグループは、送信端子と基準電位V S Sとの間に直列接続された複数のM O S F E Tからなり、各M O S F E Tのゲートには、抵抗の一方の接続部がそれぞれ接続されている。

20

【0006】

受信分路スルーM O S F E Tグループは、受信端子とアンテナ端子との間に直列接続された複数のM O S F E Tからなり、各M O S F E Tのゲートには、抵抗の一方の接続部がそれぞれ接続されている。

【0007】

受信分路シャントM O S F E Tグループは、受信端子と基準電位V S Sとの間に直列接続された複数のM O S F E Tからなり、各M O S F E Tのゲートには、抵抗の一方の接続部がそれぞれ接続されている。

30

【0008】

これら送信分路スルーM O S F E Tグループ、送信分路シャントM O S F E Tグループ、受信分路スルーM O S F E Tグループ、および受信分路シャントM O S F E Tグループは、たとえば、5つのS O I nチャネルM O S F E Tを有する構成となっている。

【0009】

また、送信分路スルーM O S F E Tグループ、および受信分路シャントM O S F E Tグループにそれぞれ接続されている抵抗の他方の接続には、直流電圧V T Xがそれぞれ供給され、受信分路スルーM O S F E Tグループ、および送信分路シャントM O S F E Tグループにそれぞれ接続されている抵抗の他方の接続には、直流電圧V R Xがそれぞれ供給される構成となっている。

40

【0010】

そして、送信モードの場合は、直流電圧V T Xが正電圧、直流電圧V R Xが負電圧となり、送信分路スルーM O S F E Tグループと受信分路シャントM O S F E Tグループとがオン状態となり、受信分路スルーM O S F E Tグループと送信分路シャントM O S F E Tグループがオフ状態となる。

【0011】

受信モードの場合は、直流電圧V T Xが負電圧、直流電圧V R Xが正電圧となり、送信分路スルーM O S F E Tグループ、および受信分路シャントM O S F E Tグループがオフ状態となり、受信分路スルーM O S F E Tグループ、ならびに送信分路シャントM O S F

50

ETグループがオン状態となる。

【0012】

また、この種のSOI MOSFETを用いて構成されたアンテナスイッチとしては、たとえば、SOI層の支持基板として、シリコン(Si)基板ではなくサファイア基板を用いることにより、ソース-ドレイン拡散層に付随する基板容量を小さくし、2次高調波歪を低減するものが知られている(特許文献1参照)。

【0013】

さらに、特許文献1では、ボディにその電位を制御するための電極を設け、ボディに負電位を印加してボディを完全空乏化することにより、ソース拡散層、およびドレイン拡散層とボディとの間の接合容量を小さくし、3次高調波歪を低減している。

10

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特表2009-500868号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

ところが、上記のようなSOI MOSFETを用いたアンテナスイッチによるスイッチング技術では、次のような問題点があることが本発明者により見いだされた。

【0016】

アンテナスイッチ回路のスイッチング用トランジスタにSOI MOSFETを用いた場合には、化合物半導体FETを用いた場合と比較して、高調波歪が大きくなる問題がある。

20

【0017】

図28は、本発明者が検討したSOI MOSFETを用いた場合と化合物半導体FETを用いた場合における入力電力と発生した2次高調波歪電力との関係を示す説明図であり、図29は、本発明者が検討したSOI MOSFETを用いた場合と化合物半導体FETを用いた場合における入力電力と発生した3次高調波歪電力との関係を示す説明図である。

【0018】

図示するように、SOI MOSFETを用いた場合には、化合物半導体FETを用いた場合と比較して、発生した2次高調波歪は約10dB程度大きくなっており、3次高調波歪は約15dB程度大きくなっている。

30

【0019】

SOI MOSFETを用いた場合の2次高調波歪の主要発生原因は、SOI MOSFETのソース-ドレイン拡散層とBOX酸化膜下Si基板との間の寄生容量(基板容量)に電圧依存性があることによる。

【0020】

また、3次高調波歪の主要発生原因は、SOI MOSFETのソース拡散層、およびドレイン拡散層と、それら間にあるボディ(ゲート直下の半導体層)との間の接合容量に電圧依存性があることによる。

40

【0021】

化合物半導体FETの場合、半絶縁性基板上に形成されているため、上記の基板容量や接合容量がSOI MOSFETと比較して大幅に小さく、その結果高調波歪も小さい。

【0022】

さらに、前述したように、特許文献1の技術によれば、スイッチング用トランジスタにSOI MOSFETを用いながらも、化合物半導体FETを用いた場合と同等程度まで、高調波歪を低減している。

【0023】

しかしながら、サファイア上にSOI層を形成した基板(SOS基板: Silicon On Sap

50

phire) は、SOI基板と比較して高価であり、製造コストの低減という要求に応えられないという問題がある。

【0024】

また、ボディに負電位を給電する方法では、3次高調波は低減できるものの、2次高調波は低減できないという問題もある。

【0025】

本発明の目的は、アンテナスイッチのスイッチング用トランジスタにSOI MOSFETを用いながら、高調波歪を大幅に低減することのできる技術を提供することにある。

【0026】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

10

【課題を解決するための手段】

【0027】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0028】

本発明は、少なくとも1つのアンテナ端子と、少なくとも1つの送信端子と、少なくとも1つの受信端子とを有し、信号経路の切り替えを行うアンテナスイッチを備えた半導体集積回路装置であって、該アンテナスイッチは、アンテナ端子と送信端子との間に、接続された第1のトランジスタ群と、アンテナ端子と受信端子との間に接続された第2のトランジスタ群と、送信端子と基準電位との間に接続された第3のトランジスタ群と、受信端子と基準電位との間に接続された第4のトランジスタ群と、第1の静電容量素子とを備え、第1～第4のトランジスタ群は、1つ、または複数のトランジスタが直列接続された構成からなり、第1の静電容量素子は、第1～第4のトランジスタ群を構成する少なくとも1つのトランジスタのゲート-ソース間、またはゲート-ドレイン間のいずれかに接続されているものである。

20

【0029】

また、本発明は、前記第1の静電容量素子が、第2のトランジスタ群に設けられたトランジスタに接続されているものである。

【0030】

さらに、本発明は、少なくとも1つのアンテナ端子と、少なくとも1つの送信端子と、少なくとも1つの受信端子とを有し、信号経路の切り替えを行うアンテナスイッチを備えた半導体集積回路装置であって、該アンテナスイッチは、アンテナ端子と送信端子との間に、接続された第1のトランジスタ群と、アンテナ端子と受信端子との間に接続された第2のトランジスタ群と、送信端子と基準電位との間に接続された第3のトランジスタ群と、受信端子と基準電位との間に接続された第4のトランジスタ群と、第2の静電容量素子と、第3の静電容量素子とを備え、これら第1～第4のトランジスタ群は、1つ、または複数のトランジスタが直列接続された構成からなり、第2の静電容量素子は、第1～第4のトランジスタ群を構成する少なくとも1つのトランジスタのゲート-ソース間に接続され、第3の静電容量素子は、トランジスタのゲート-ドレイン間に接続され、第2の静電容量素子と第3の静電容量素子とは、異なる静電容量値よりなるものである。

30

40

【0031】

また、本発明は、前記第2、および前記第3の静電容量素子が、第2のトランジスタ群に設けられたトランジスタに接続されているものである。

【0032】

さらに、本発明は、少なくとも1つのアンテナ端子と、少なくとも1つの送信端子と、少なくとも1つの受信端子とを有し、信号経路の切り替えを行うアンテナスイッチを備えた半導体集積回路装置であって、該アンテナスイッチは、アンテナ端子と送信端子との間に、接続された第1のトランジスタ群と、アンテナ端子と受信端子との間に接続された第2のトランジスタ群と、送信端子と基準電位との間に接続された第3のトランジスタ群と

50

、受信端子と基準電位との間に接続された第4のトランジスタ群と、第4の静電容量素子とを備え、第1～第4のトランジスタ群は、1つ、または複数のトランジスタが直列接続された構成からなり、第4の静電容量素子は、容量値が電圧依存性を有し、第1～第4のトランジスタ群を構成する少なくとも1つのトランジスタのソース・ドレイン間に接続されているものである。

【0033】

また、本発明は、前記第4の静電容量素子が、2つのMOS容量が接続された構成からなり、2つのMOS容量の接続部が、抵抗を介して基準電位、または電源電圧に接続されているものである。

【0034】

さらに、本発明は、前記アンテナスイッチが、第5の静電容量素子を備え、該第5の静電容量素子は、一方の接続部が、第1～第4のトランジスタ群を構成する少なくとも1つのトランジスタのゲートに接続され、他方の接続部が、第4の静電容量素子の2つのMOS容量の接続部のノードに接続されているものである。

【0035】

また、本発明は、前記第4の静電容量素子が、第2のトランジスタ群に設けられたトランジスタに接続されているものである。

【0036】

さらに、本発明は、少なくとも1つのアンテナ端子と、少なくとも1つの送信端子と、少なくとも1つの受信端子とを有し、信号経路の切り替えを行うアンテナスイッチを備えた半導体集積回路装置であって、該アンテナスイッチは、アンテナ端子と送信端子との間に接続された第1のトランジスタ群と、アンテナ端子と受信端子との間に接続された第2のトランジスタ群と、送信端子と基準電位との間に接続された第3のトランジスタ群と、受信端子と基準電位との間に接続された第4のトランジスタ群と、第6の静電容量素子とを備え、第1～第4のトランジスタ群は、1つ、または複数のトランジスタが直列接続された構成からなり、第6の静電容量素子は、一方の接続部が、第1～第4のトランジスタ群を構成する少なくとも1つのトランジスタのソース、またはドレインのいずれかに接続され、他方の接続部が抵抗を介して基準電位に接続されているものである。

【0037】

また、本発明は、前記アンテナスイッチが、第7の静電容量素子を備え、該第7の静電容量素子は、一方の接続部が、第1～第4のトランジスタ群を構成する少なくとも1つのトランジスタのゲートに接続され、他方の接続部が、第6の静電容量素子と抵抗との接続ノードに接続されているものである。

【0038】

さらに、本発明は、前記第6の静電容量素子が、第2のトランジスタ群に設けられたトランジスタに接続されているものである。

【0039】

また、本発明は、前記第5、第7の静電容量素子が、MOS容量よりなるものである。

【0040】

さらに、本発明は、前記第1～前記第7の静電容量素子が、SOI基板上に形成されているものである。

【0041】

また、本願のその他の発明の概要を簡単に示す。

【0042】

本発明は、前記第4の静電容量素子が、MOS容量よりなり、ゲート電極と、ゲート電極直下のゲート酸化膜と、シリコン基板とによって構成され、ゲート電極の周辺のシリコン基板領域を、ゲート電極の直下のシリコン基板領域よりも高不純物濃度としたものである。

【0043】

また、本発明は、前記第4の静電容量素子が、ゲート電極同士を電氣的に接続して1

10

20

30

40

50

つのゲート端子とし、各々のゲート電極周辺の高不純物濃度シリコン基板領域にそれぞれ1個の端子を設けたものである。

【0044】

さらに、本発明は、前記第1～前記第4のトランジスタ群を形成するトランジスタが、SOI基板上に形成されているものである。

【発明の効果】

【0045】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0046】

(1) SOI MOSFETを用いて構成されたアンテナスイッチにおける2次高調波歪、および2次高調波歪を大幅に低減することができる。

【0047】

(2) 上記(1)により、アンテナスイッチの製造コストを大幅に低減しながら高性能なアンテナスイッチを実現することができる。

【図面の簡単な説明】

【0048】

【図1】本発明の実施の形態1による携帯電話機に設けられた送受信部における構成の一例を示すブロック図である。

【図2】図1の送受信部に設けられたアンテナスイッチの一例を示す回路図である。

【図3】図2のアンテナスイッチを構成する受信分路スルーMOSFETグループの一例を示す回路図である。

【図4】図3の受信分路スルーMOSFETグループにおけるレイアウトの一例を示す模式図である。

【図5】SOI MOSFETの基板容量の電圧依存を示す説明図である。

【図6】SOI MOSFETのソース・ドレイン間寄生容量における電圧依存を示す説明図である。

【図7】本発明の実施の形態2による受信分路スルーMOSFETグループの一例を示す回路図である。

【図8】図7の受信分路スルーMOSFETグループに設けられた2次高調波歪を低減する静電容量素子におけるレイアウトの一例を示す説明図である。

【図9】図8の静電容量素子における容量値の電圧依存を示す説明図である。

【図10】図8のa-b断面の一例を示す説明図である。

【図11】図8の静電容量素子におけるシンボル図である。

【図12】図7の受信分路スルーMOSFETグループの平面レイアウトの一例を示す説明図である。

【図13】本発明の実施の形態3による受信分路スルーMOSFETグループの一例を示す回路図である。

【図14】図13の受信分路スルーMOSFETグループに設けられた2次高調波歪を低減する静電容量素子におけるレイアウトの一例を示す説明図である。

【図15】容量素子を付加しない場合のSOI MOSFETにおけるソース・ドレイン間寄生容量の電圧依存を示す説明図である。

【図16】本発明の実施の形態4による受信分路スルーMOSFETグループの一例を示す回路図である。

【図17】図16の受信分路スルーMOSFETグループに設けられた3次高調波歪を低減する静電容量素子における容量値の電圧依存を示す説明図である。

【図18】図16の受信分路スルーMOSFETグループに設けられた静電容量素子におけるレイアウトの一例を示す説明図である。

【図19】図18のa-b断面を示す説明図である。

【図20】図18の静電容量素子におけるシンボル図である。

10

20

30

40

50

【図 2 1】図 1 6 の受信分路スルー MOS F E T グループの平面レイアウトの一例を示す説明図である。

【図 2 2】本発明の実施の形態 5 による受信分路スルー MOS F E T グループの一例を示す回路図である。

【図 2 3】図 2 2 の受信分路スルー MOS F E T グループの平面レイアウトの一例を示す説明図である。

【図 2 4】本発明の実施の形態 6 による受信分路スルー MOS F E T グループの一例を示す回路図である。

【図 2 5】図 2 4 の受信分路スルー MOS F E T グループの平面レイアウトの一例を示す説明図である。

【図 2 6】本発明の実施の形態 7 による受信分路スルー MOS F E T グループの一例を示す回路図である。

【図 2 7】図 2 6 の受信分路スルー MOS F E T グループの平面レイアウトの一例を示す説明図である。

【図 2 8】本発明者が検討した S O I MOS F E T を用いて構成したアンテナスイッチと化合物半導体 F E T を用いて構成したアンテナスイッチとの 2 次高調波歪特性の説明図である。

【図 2 9】本発明者が検討した S O I MOS F E T を用いて構成したアンテナスイッチと化合物半導体 F E T を用いて構成したアンテナスイッチとの 3 次高調波歪特性の説明図である。

【発明を実施するための形態】

【0049】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0050】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 による携帯電話機に設けられた送受信部における構成の一例を示すブロック図、図 2 は、図 1 の送受信部に設けられたアンテナスイッチの一例を示す回路図、図 3 は、図 2 のアンテナスイッチを構成する受信分路スルー MOS F E T グループの一例を示す回路図、図 4 は、図 3 の受信分路スルー MOS F E T グループにおけるレイアウトの一例を示す模式図、図 5 は、S O I MOS F E T の基板容量の電圧依存を示す説明図、図 6 は、S O I MOS F E T のソース - ドレイン間寄生容量における電圧依存を示す説明図である。

【0051】

本実施の形態 1 において、たとえば、携帯電話などに用いられる送受信部 1 は、図 1 に示すように、インタフェース部 2、ベースバンド部 3、R F 集積回路部 4、電力増幅器 5、低雑音増幅器 6、制御部 7、アンテナスイッチ 8、およびアンテナ 9 などが設けられている。

【0052】

インタフェース部 2 は、送受信部 1 の後段に設けられた回路とのインタフェースである。ベースバンド部 3 は、送信データを I 信号や Q 信号に変換したり、コントロール信号を出力し、R F 集積回路部の制御などを行う。R F 集積回路部 4 は、受信信号の復調や、送信信号の変調をそれぞれ行う。

【0053】

電力増幅器 5 は、R F 集積回路部 4 から出力された送信信号を増幅し、低雑音増幅器 6 は、アンテナ 9 が受信した受信信号を増幅する。制御部 7 は、ベースバンド部 3、R F 集積回路部 4、ならびにアンテナスイッチ 8 の制御を司る。

【0054】

アンテナスイッチ 8 は、制御部 7 からの制御信号に基づいて送受信する信号の切り替え

10

20

30

40

50

を行う。このアンテナスイッチ 8 は、アンテナ端子 ANT、送信端子 TX、および受信端子 RX を備えた SPDT 型からなる。アンテナ 9 は、信号電波の送受信を行う。

【0055】

アンテナスイッチ 8 は、図 2 に示すように、送信分路シャント MOSFET グループ 10、送信分路スルー MOSFET グループ 11、受信分路シャント MOSFET グループ 12、および受信分路スルー MOSFET グループ 13 から構成されている。

【0056】

送信分路シャント MOSFET グループ 10 は、SOI n チャネル MOSFET からなるトランジスタ 14 ~ 18、ならびに抵抗 19 ~ 23 から構成されており、送信分路スルー MOSFET グループ 11 は、n チャネル MOSFET からなるトランジスタ 24 ~ 28、および抵抗 29 ~ 33 から構成されている。また、受信分路シャント MOSFET グループ 12 は、SOI n チャネル MOSFET からなるトランジスタ 34 ~ 38、および抵抗 39 ~ 43 から構成されている。

【0057】

送信分路シャント MOSFET グループ 10 において、トランジスタ 14 ~ 18 は、送信端子 TX と基準電位 VSS との間に直列接続されており、個々のトランジスタ 14 ~ 18 のゲートには、抵抗 19 ~ 23 の一方の接続部がそれぞれ接続されている。そして、抵抗 19 ~ 23 の他方に接続部には、制御部 7 から出力される受信用の制御信号が印加される制御端子 VRX が接続されている。

【0058】

送信分路スルー MOSFET グループ 11 において、トランジスタ 24 ~ 28 は、送信端子 TX とアンテナ端子 ANT との間に直列接続されており、各々のトランジスタ 24 ~ 28 のゲートには、抵抗 29 ~ 33 の一方の接続部がそれぞれ接続されている。これら抵抗 29 ~ 33 の他方に接続部には、制御部 7 から出力される送信用の制御信号が印加される制御端子 VTX が接続されている。

【0059】

また、受信分路シャント MOSFET グループ 12 において、トランジスタ 34 ~ 38 は、受信端子 RX と基準電位 VSS との間に直列接続されており、各々のトランジスタ 34 ~ 38 のゲートには、抵抗 39 ~ 43 の一方の接続部がそれぞれ接続されている。これら抵抗 39 ~ 43 の他方に接続部には、制御部 7 から出力される送信用の制御信号が印加される制御端子 VTX が接続されている。

【0060】

また、トランジスタ 14 ~ 18 によって第 3 のトランジスタ群が構成されており、トランジスタ 24 ~ 28 によって第 1 のトランジスタ群が構成されており、トランジスタ 34 ~ 38 によって第 4 のトランジスタ群が構成されている。

【0061】

図 3 は、受信分路スルー MOSFET グループ 13 の一例を示す回路図である。

【0062】

受信分路スルー MOSFET グループ 13 は、SOI n チャネル MOSFET からなるトランジスタ 44 ~ 48、抵抗 49 ~ 53、および静電容量素子 54 ~ 58 から構成されている。

【0063】

そして、トランジスタ 44 ~ 48 により、第 2 のトランジスタ群が構成されており、静電容量素子 54 ~ 58 が第 1 の静電容量素子となる。

【0064】

トランジスタ 44 ~ 48 は、受信端子 RX とアンテナ端子 ANT との間に直列接続されており、各々のトランジスタ 44 ~ 48 のゲートには、抵抗 49 ~ 53 の一方の接続部がそれぞれ接続されている。

【0065】

抵抗 49 ~ 53 の他方に接続部には、制御部 7 から出力される受信用の制御信号が印加

10

20

30

40

50

される制御端子 V R X が接続されている。また、静電容量素子 5 4 ~ 5 8 の一方の接続部には、トランジスタ 4 4 ~ 4 8 のゲートがそれぞれ接続されており、該静電容量素子 5 4 ~ 5 8 の他方の接続部には、トランジスタ 4 4 ~ 4 8 の一方の接続部がそれぞれ接続されている。

【 0 0 6 6 】

アンテナスイッチ 8 において、アンテナ端子 A N T と送信端子 T X との間が送信分路となっており、アンテナ端子 A N T と受信端子 R X との間が受信分路となっている。

【 0 0 6 7 】

送信モードの場合には、制御端子 V T X の制御信号が正電圧となり、送信分路スルー M O S F E T グループ 1 1 のトランジスタ 2 4 ~ 2 8 と受信分路シャント M O S F E T グループ 1 2 のトランジスタ 3 4 ~ 3 8 がそれぞれオン状態となる。

10

【 0 0 6 8 】

また、制御端子 V R X の制御信号は負電圧となり、受信分路スルー M O S F E T グループ 1 3 のトランジスタ 4 4 ~ 4 8 と送信分路シャント M O S F E T グループ 1 0 のトランジスタ 1 4 ~ 1 8 がそれぞれオフ状態となる。

【 0 0 6 9 】

受信モードの場合は、制御端子 V T X が負電圧となり、送信分路スルー M O S F E T グループ 1 1 のトランジスタ 2 4 ~ 2 8 と受信分路シャント M O S F E T グループ 1 2 のトランジスタ 3 4 ~ 3 8 がそれぞれオフ状態となる。

【 0 0 7 0 】

20

また、制御端子 V R X は正電圧となり、受信分路スルー M O S F E T グループ 1 3 のトランジスタ 4 4 ~ 4 8 と送信分路シャント M O S F E T グループ 1 0 のトランジスタ 1 4 ~ 1 8 がそれぞれオン状態となる。

【 0 0 7 1 】

ここで、静電容量素子 5 4 ~ 5 8 は、2 次高調波を補償するために付加した素子であり、たとえば、2 層の配線層とその間の層間膜よりなる容量素子 (M I M (Metal-Insulator-Metal) 容量) から構成されている。

【 0 0 7 2 】

図 4 は、図 2 の受信分路スルー M O S F E T グループ 1 3 のレイアウトの一例を示す説明図である。

30

【 0 0 7 3 】

図 4 の上方の左から右にかけて、抵抗 4 9 ~ 5 3 がそれぞれレイアウトされており、抵抗 4 9 ~ 5 3 の下方には、静電容量素子 5 4 ~ 5 8 がそれぞれレイアウトされている。そして、静電容量素子 5 4 ~ 5 8 の下方には、トランジスタ 4 4 ~ 4 8 がそれぞれレイアウト (図中、点線で囲まれている領域) されている。

【 0 0 7 4 】

点線で囲まれたトランジスタ 4 4 のレイアウト領域において、左側には、ドレイン配線 5 9 が形成されており、その右側には、ゲート配線 6 0 が形成されている。また、点線で囲まれたトランジスタ 4 4 のレイアウト領域の左側には、該トランジスタ 4 4 のソース配線 6 1 が形成されている。このソース配線 6 1 は、隣接するトランジスタ 5 0 のドレイン配線と共通化された共通配線となっている。

40

【 0 0 7 5 】

トランジスタ 4 4 は、複数の分枝の M O S F E T のトランジスタが並列に配置されて構成からなり、各分枝のドレインは、楕形のドレイン配線 5 9 により接続され、各分枝のソースは、楕形のソース配線 6 1 により接続されている。

【 0 0 7 6 】

ソース配線 6 1 は、前述したように、隣接するトランジスタ 4 5 の各分枝のドレインとも接続されている。各分枝のゲートは梯子状のゲート配線 6 0 により接続され、抵抗 4 9 ~ 5 3 を介して他のトランジスタ 4 5 ~ 4 8 のゲート配線と束ねられて共通化されている。静電容量素子 5 4 には、ドレイン配線 5 9 とゲート配線 6 0 とがそれぞれ接続されてい

50

る。

【0077】

静電容量素子54～58の容量値は、該容量値に起因するソース・ドレイン間寄生容量の正負非対称電圧依存により生じる信号歪が、2次高調波歪を補償するように設定する。静電容量素子54～58は、以下で述べる他の実施の形態と異なり、必ずしも容量値の電圧依存性は必要としない。

【0078】

この場合、静電容量素子54～58が設けられていない場合と比較して、アンテナスイッチ8の3次高調波、損失、およびアイソレーションといった2次高調波以外の特性にはほとんど影響を与えることなく、2次高調波歪を約10dB程度低減することができる。

【0079】

次に、静電容量素子54～58が、トランジスタ44～48における寄生容量の、電圧依存の影響を補償できる理由について述べる。

【0080】

2次高調波歪の主要原因は、SOI MOSFETからなるトランジスタのソース/ドレイン拡散層とBOX酸化膜下シリコン基板との間の寄生容量(基板容量)の電圧依存にある。

【0081】

通常、シリコン基板は、基準電位VSSに接続され、アンテナスイッチ8の高周波信号は、基準電位VSSと同じ0Vを中心とした振幅を有する。その場合、基板容量には0Vを中心とした電圧振幅が印加される。

【0082】

基板容量は、BOX酸化膜下のシリコン基板での空乏層の広がり印加電圧の極性により異なるため、印加電圧の極性に対して非対称に変化する。基板を0Vとし、ソースもしくはドレインに電圧を印加した場合、基板容量は、図5に示すように、シリコン基板がn型の場合には電圧の増加と共に増加し、p型の場合には電圧の増加と共に減少する電圧依存を有する。

【0083】

デバイスの寄生容量の電圧変動は、同様の非対称性を有する信号歪を発生させる。従って、上記基板容量の電圧依存により、アンテナスイッチ8の高周波信号に電圧振幅の極性に対して非対称な高調波歪、すなわち偶数次の高調波歪が発生する。2次高調波歪はその中で最も大きい歪要素である。

【0084】

この2次高調波歪と逆の位相とほぼ同じ振幅を有する2次高調波を発生させる機構をアンテナスイッチ8に設けると、もともとの2次高調波歪が打ち消されるため、2次高調波の絶対値を低減することができる。そのため、図3に示したように、静電容量素子54～58を設けることにより、ソース・ドレイン間の寄生容量の電圧依存が、電圧の極性により非対称になる。

【0085】

その理由を以下に説明する。

【0086】

図6は、ソース・ドレイン間寄生容量の電圧依存の、その静電容量素子の有無による違いを示した説明図である。ソース・ドレイン間の寄生容量は、ソース・ゲート間寄生容量とソース・ボディ間寄生容量の並列接続と、ドレイン・ゲート間寄生容量とドレイン・ボディ間寄生容量の並列接続を直列に接続した構成となっている。

【0087】

それら4種類の寄生容量には電圧依存があり、ソース・ゲート間とドレイン・ゲート間の電圧振幅が同じ場合には、ソース・ドレイン間寄生容量の電圧依存は、電圧の極性に対して対称となる。

【0088】

10

20

30

40

50

一方、ソース - ゲート間またはドレイン - ゲート間の片方への容量素子の付加により、ソース - ゲート間とドレイン - ゲート間の電圧振幅が同じでなくなる。その結果、ソース - ドレイン間寄生容量の電圧依存は、電圧の極性に対して非対称となる。

【0089】

この非対称性は、同様の非対称性を有する信号歪を発生させるので、それを基板容量の電圧依存による2次高調波と同等の振幅と逆の位相を持つように設定することにより、2次高調波歪を打ち消すことができる。

【0090】

振幅の最適化は付加する容量値の調整により行い、位相の最適化は容量素子を接続する位置をソース - ゲート間にするかドレイン - ゲート間にするかにより行う。ソース - ゲート間とドレイン - ゲート間に異なる値の容量素子を付加することによっても、上記と同様な理由により、2次高調波歪を低減することができる。

【0091】

それにより、本実施の形態1によれば、静電容量素子54～58を付加することにより、SOI MOSFETを用いて構成されたアンテナスイッチ8における2次高調波を大幅に低減することができる。

【0092】

また、静電容量素子54～58を付加するだけなので、製造コストやチップサイズなどをほとんど増加させることがなく、安価で高性能なアンテナスイッチ8を実現することができる。

【0093】

なお、静電容量素子から信号歪を発生させるために、送信状態においてドレインとゲート間の電圧が変動する必要があるために、本実施の形態1では、2次高調波を補償する静電容量素子54～58を高調波歪が問題となる送信モードにおいてオフ状態となるトランジスタ44～48に付加したが、これら静電容量素子54～58は、送信分路シャントMOSFETグループ10のトランジスタ14～18に付加する構成としても良好な効果を得ることができる。

【0094】

但し、静電容量素子54～58の容量値が、トランジスタ14～18の寄生容量と比較して十分小さくないと2次高調波歪以外のスイッチ回路の特性を劣化させる可能性があるため、通常、よりゲート幅の大きい受信分路スルーMOSFETグループ13に付加する方が好ましい。この、容量素子を付加するMOSFETグループの選択に関しては、本実施の形態1のみならず、以下の全ての実施の形態において当てはまる。

【0095】

また、本実施の形態1では、トランジスタ44～48のゲート - ドレイン間に静電容量素子54～58をそれぞれ設けた構成としたが、たとえば、トランジスタ44～48のゲート - ドレイン間とゲートソース間とに静電容量が異なる静電容量素子(第2の静電容量素子、第3の静電容量素子)をそれぞれ設ける構成としても2次高調波を大幅に低減することができる。

【0096】

(実施の形態2)

図7は、本発明の実施の形態2による受信分路スルーMOSFETグループの一例を示す回路図、図8は、図7の受信分路スルーMOSFETグループに設けられた2次高調波歪を低減する静電容量素子におけるレイアウトの一例を示す説明図、図9は、図8の静電容量素子における容量値の電圧依存を示す説明図、図10は、図8のa - b断面の一例を示す説明図、図11は、図8の静電容量素子におけるシンボル図、図12は、図7の受信分路スルーMOSFETグループの平面レイアウトの一例を示す説明図である。

【0097】

本実施の形態2においては、アンテナスイッチ8の、所望の回路動作モードにおいてオフとなるトランジスタのソース - ドレイン間への、電圧の極性に対して非対称な電圧依存

10

20

30

40

50

性を有する静電容量素子を付加する技術について説明する。

【0098】

この非対称性は、同様の非対称性を有する信号歪を発生させるので、それを基板容量の電圧依存による2次高調波と同等の振幅と逆の位相を持つように設定することにより、2次高調波歪を打ち消すことができる。振幅の最適化は付加する容量値とその電圧依存性の調整により行い、位相の最適化は極性を有する容量素子のソース・ドレイン間への挿入の向きの選択により行う。

【0099】

この場合、アンテナスイッチ8は、前記実施の形態1の図2と同様に、送信分路シャントMOSFETグループ10、送信分路スルーMOSFETグループ11、受信分路シャントMOSFETグループ12、および受信分路スルーMOSFETグループ13から構成されている。

10

【0100】

この場合、受信分路スルーMOSFETグループ13の回路構成が、前記実施の形態1と異なる点である。受信分路スルーMOSFETグループ13は、図7に示すように、SOI nチャネルMOSFETからなるトランジスタ44~48、抵抗49~53、および静電容量素子62~66から構成されている。これら静電容量素子62~66によって第4の静電容量素子が構成されている。

【0101】

トランジスタ44~48と抵抗49~53との接続は、図3と同様である。また、トランジスタ44~48のソース・ドレイン間には、所望の電圧依存性を有する補償用の静電容量素子62~66がそれぞれされている。

20

【0102】

図8は、静電容量素子62(~66)の平面構造の一例を示した説明図である。

【0103】

静電容量素子62(~66)は、たとえば、図8に示したMOS型静電容量素子3分枝が並列に配置された構成からなる。

【0104】

図8の左側には、トランジスタのソースに相当する端子Aが形成されている。この端子Aは、図8の上方から下方にかけて楕円に形成されたソース配線67に接続されている。楕円に形成されたソース配線67の間には、ゲート電極68がそれぞれ形成されている。これらゲート電極68は、左右両側に形成されているゲート配線69に接続され、端子Bに共通接続されている。

30

【0105】

MOS型静電容量からなる静電容量素子62(~66)では、前述した端子Aと端子Bとの間に電圧を印加することにより、ゲート酸化膜下の空乏層の厚さが変化するため、容量値に電圧依存が発生する。

【0106】

端子Aを0Vとして端子Bの電圧を変化させた場合の、端子間電圧 V_{ba} と容量値との関係を図9に示す。

40

【0107】

ソース/ドレインとボディ(低不純物濃度シリコン層)に添加された不純物がn型の場合で、端子Bに負電圧を印加した場合には、ゲート酸化膜下の空乏層幅が広がるため、容量は減少する。

【0108】

端子Bに正電圧を印加しその値を増加させていった場合は、ゲート酸化膜下の空乏層は消滅し電子の蓄積層が形成されていくため、容量値は微増した後ほぼ一定となる。ソース/ドレインとボディに添加された不純物がp型の場合は不純物がn型の場合と比較して0Vを中心に反転させた依存性となる。いずれの場合も電圧の極性に対して非対称な電圧依存となる。

50

【0109】

また、この電圧依存の大きさは、ゲート酸化膜下のボディの不純物濃度を調整することにより、変化させることができる。従って、静電容量素子の不純物濃度とゲート幅を調整してその容量値の電圧変化量を最適化し、また、静電容量素子を接続する位置と極性を最適化することにより、基板容量の電圧依存による2次高調波歪を打ち消す効果を持たせることができる。最適化より容量値の絶対値は比較的小さくできるため、本容量素子の付加によって、偶数次高調波歪以外の特性には大きな影響を及ぼすことはない。

【0110】

図10は、図8のa - b断面の一例を示す説明図である。

【0111】

静電容量素子62(～66)は、たとえば、MOS型容量から構成されている。高抵抗シリコン基板70の上部には、シリコン酸化膜(BOX酸化膜)71が形成されている。このシリコン酸化膜71の上部の左側、および右側には、トランジスタのソース/ドレインと類似の高不純物濃度シリコン層72, 73がそれぞれ形成されている。

【0112】

シリコン酸化膜71の上部において、高不純物濃度シリコン層72, 73に挟まれるように低不純物濃度シリコン層(ボディ)74が形成されている。低不純物濃度シリコン層74の上部には、シリコン酸化膜(ゲート酸化膜)75を介してゲートとなる高不純物濃度多結晶シリコン膜76が形成されている。

【0113】

MOS型容量は、通常のMOSFETと近い構造であるが、高不純物濃度シリコン層72, 73のソース/ドレインに相当する部分、ならびに低不純物濃度シリコン層74のボディに添加された不純物の導電型が同じである点が異なっている。

【0114】

低不純物濃度シリコン層の不純物濃度、および分布を調節することにより、所望の電圧依存性を得ることができる。その不純物濃度は、およそ $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。また、高不純物濃度多結晶シリコン膜76の幅を調整することにより、所望の、電圧による容量変化の絶対値を得ることができる。

【0115】

2次高調波低減のためには、そのMOS型容量のソースに相当する部分(高不純物濃度シリコン層72)を端子A、ゲート(高不純物濃度多結晶シリコン膜76)を端子Bとする2端子素子を用い、MOSFETのソース、もしくはドレインとゲート間、またはソース-ドレイン間に接続する。図11に、静電容量素子62(～66)における2端子素子の回路図シンボルを示す。

【0116】

ゲート(高不純物濃度多結晶シリコン膜76)の幅は、それを付加するMOSFETの特性に大きな影響を与えないようにするため、SOI MOSFETのゲート幅の約1/5以下となるようにする。また、ゲート(高不純物濃度多結晶シリコン膜76)の長さは、低不純物濃度シリコン層74の抵抗が静電容量素子の寄生抵抗として顕著にならないようにするため、約1 μm以下とする。

【0117】

図12は、受信分路スルーMOSFETグループ13の平面レイアウトの一例を示す説明図である。

【0118】

図12上方の左から右にかけて、抵抗49～53がレイアウトされており、各々の抵抗49～53の下方には、トランジスタ44～48がそれぞれレイアウトされている。そして、トランジスタ44～48の下方には、静電容量素子62～66がそれぞれレイアウトされている。

【0119】

トランジスタ44(図中、点線内の領域)は複数の分枝のSOI MOSFETが並列

10

20

30

40

50

に配置されており、各分枝のドレインは、櫛形のドレイン配線 77 により接続され、各分枝のソースは、櫛形のソース配線 78 により接続されている。

【0120】

ソース配線 78 は、隣接するトランジスタ 45 の各分枝のドレインとも接続されている。各分枝のゲートは梯子状のゲート配線 79 により接続されている。そして、抵抗 49 ~ 53 を介して他のトランジスタ 44 ~ 48 のゲート配線と束ねられて共通化されている。

【0121】

静電容量素子 62 ~ 66 は、前述したように、トランジスタ 44 ~ 48 を隔てて抵抗 49 ~ 53 と反対側に配置され、それを介してドレイン配線 77 とソース配線 78 が接続されている。

10

【0122】

静電容量素子 62 ~ 66 の容量値とその電圧依存性は、それにより発生する信号歪が、2 次高調波歪を補償するように設定している。そのために、図 10 における低不純物濃度シリコン層 74 の不純物濃度は、約 $5 \times 10^{17} \text{ cm}^{-3}$ に制御され、ゲートとなる高不純物濃度多結晶シリコン膜 76 の幅はトランジスタ 44 ~ 48 のゲート幅の約 $1/10$ に設計されている。

【0123】

この場合、静電容量素子 62 ~ 66 の付加がない場合と比較して、アンテナスイッチ 8 の 3 次高調波、損失、アイソレーションといった 2 次高調波以外の特性にはほとんど影響を与えることなく、2 次高調波歪を約 10 dB 程度低減することができる。

20

【0124】

(実施の形態 3)

図 13 は、本発明の実施の形態 3 による受信分路スルー MOSFET グループの一例を示す回路図、図 14 は、図 13 の受信分路スルー MOSFET グループに設けられた 2 次高調波歪を低減する静電容量素子におけるレイアウトの一例を示す説明図である。

【0125】

本実施の形態 3 においては、受信分路スルー MOSFET グループ 13 におけるトランジスタ 44 ~ 48 のソース - グランド間、またはドレイン - グランド間に、電圧の極性によって電圧依存性が異なる静電容量素子を挿入する。また、それらの静電容量素子の電圧依存性は、それにより、基板容量の電圧の極性に対して非対称な電圧依存性の、回路特性に及ぼす効果が補償されるように設定する。

30

【0126】

アンテナスイッチ 8 は、前記実施の形態 1 の図 2 と同様に、送信分路シャント MOSFET グループ 10、送信分路スルー MOSFET グループ 11、受信分路シャント MOSFET グループ 12、および受信分路スルー MOSFET グループ 13 から構成されている。

【0127】

この場合も、受信分路スルー MOSFET グループ 13 の回路構成が、前記実施の形態 1, 2 と異なる点である。受信分路スルー MOSFET グループ 13 は、図 13 に示すように、SOI nチャネル MOSFET からなるトランジスタ 44 ~ 48、抵抗 49 ~ 53, 80 ~ 84、および静電容量素子 85 ~ 94 から構成されている。

40

【0128】

そして、静電容量素子 85 ~ 89 によって第 5 の静電容量素子が構成されており、静電容量素子 90 ~ 94 によって第 6 の静電容量素子が構成されている。

【0129】

トランジスタ 44 ~ 48 と抵抗 49 ~ 53 との接続は、図 3 と同様である。また、トランジスタ 44 ~ 48 のドレインには、静電容量素子 85 ~ 89 の一方の接続部がそれぞれ接続されている。

【0130】

静電容量素子 85 ~ 89 の他方の接続部には、抵抗 80 ~ 84 の一方の接続部、ならび

50

に静電容量素子 90 ~ 94 の一方の接続部がそれぞれ接続されており、これら抵抗 80 ~ 84 の他方の接続部には、基準電位 VSS がそれぞれ接続されている。

【0131】

また、トランジスタ 44 ~ 48 のゲートには、静電容量素子 90 ~ 94 の他方の接続部がそれぞれ接続されている。静電容量素子 90 ~ 94 は、そのノードをゲートに AC 的に短絡させる役割を持つ。

【0132】

図 14 は、図 13 の受信分路スルー MOSFET グループ 13 における平面レイアウトの一例を示した説明図である。

【0133】

図 14 上方の左側から右側にかけて、抵抗 49 ~ 53 がそれぞれレイアウトされており、各々の抵抗 49 ~ 53 の下方には、トランジスタ 44 ~ 48 がそれぞれレイアウトされている。

【0134】

トランジスタ 44 (図中、点線で囲んだ領域) の下方左側には、静電容量素子 85 がレイアウトされており、該静電容量素子 85 の右側には、静電容量素子 90 がレイアウトされている。その他のトランジスタ 45 ~ 48 においても、同様に、静電容量素子 86 ~ 89 と静電容量素子 91 ~ 94 がレイアウトされている。

【0135】

トランジスタ 44 は、複数の分枝の MOSFET が並列に配置された構成からなり、各分枝のドレインは、楕形のドレイン配線 77 により接続され、各分枝のソースは、楕形のソース配線 78 により接続されている。

【0136】

ソース配線 78 は、隣接するトランジスタ 45 の各分枝のドレインとも接続されている。各分枝のゲートは梯子状のゲート配線 79 により接続され、抵抗 49 ~ 53 を介して他のトランジスタ 44 ~ 48 のゲート配線と束ねられて共通化されている。

【0137】

図示するように、静電容量素子 85 ~ 89、抵抗 80 ~ 84、および静電容量素子 90 ~ 94 は、トランジスタ 44 ~ 48 を隔てて抵抗 49 ~ 53 と反対側に配置されている。

【0138】

静電容量素子 85 ~ 89 一方の端子はドレイン配線 77 にそれぞれ接続され、もう一方の端子は静電容量素子 90 ~ 94 を介してゲート配線 79 にそれぞれ接続されると共に、抵抗 49 ~ 53 を介して束ねられ、基準電位 VSS に接続されている。

【0139】

静電容量素子 85 ~ 89 における容量値とその電圧依存性は、それにより発生する信号歪が、2 次高調波歪を補償するように設定している。そのために、図 10 における低不純物濃度シリコン層 74 の不純物濃度は約 $5 \times 10^{17} \text{ cm}^{-3}$ に制御され、高不純物濃度多結晶シリコン膜 76 の幅はトランジスタ 44 ~ 48 のゲート幅の約 $1/10$ に設計されている。

【0140】

本実施の形態 3 によると、静電容量素子 85 ~ 89 の付加がない場合と比較して、アンテナスイッチ 8 の 3 次高調波、損失、アイソレーションといった 2 次高調波以外の特性にはほとんど影響を与えることなく、2 次高調波歪を約 10 dB 低減することができる。

【0141】

(実施の形態 4)

図 15 は、容量素子を付加しない場合の SOI MOSFET におけるソース - ドレイン間寄生容量の電圧依存を示す説明図、図 16 は、本発明の実施の形態 4 による受信分路スルー MOSFET グループの一例を示す回路図、図 17 は、図 16 の受信分路スルー MOSFET グループに設けられた 3 次高調波歪を低減する静電容量素子における容量値の電圧依存を示す説明図、図 18 は、図 16 の受信分路スルー MOSFET グループに設け

10

20

30

40

50

られた静電容量素子におけるレイアウトの一例を示す説明図、図19は、図18のa-b断面を示す説明図、図20は、図18の静電容量素子におけるシンボル図である。

【0142】

本実施の形態4においては、アンテナスイッチ8における3次高調波歪を低減する技術について説明する。

【0143】

3次高調波歪の主要原因は、アンテナスイッチ8を構成するSOI MOSFETのトランジスタのソース、およびドレインとボディとの間の寄生容量の電圧依存にある。それらの寄生容量の接続により構成されているソース-ドレイン間寄生容量は、図15に示すように、電圧の極性によらず電圧印加により容量が増加する電圧依存性となり、それが奇数次高調波歪、特に3次高調波歪を発生させる。

10

【0144】

この3次高調波歪と逆の位相とほぼ同じ振幅を有する3次高調波を発生させる機構をアンテナスイッチ8に設けると、もともとの3次高調波歪が打ち消されるため、3次高調波の絶対値を低減することができる。

【0145】

具体的には、アンテナスイッチ8の、所望の回路動作モードにおいてオフとなるSOI MOSFETのトランジスタのソース-ドレイン間に、補償用の静電容量素子を付加する。

【0146】

その静電容量素子に、ソース-ドレイン間寄生容量と反対の電圧依存性、すなわち、電圧の極性によらず電圧印加により容量が減少する電圧依存性を持たせる。この電圧依存性は、ソース-ドレイン間寄生容量の電圧依存に起因する3次高調波とは逆の位相の3次高調波を発生するので、その振幅を調整することにより、3次高調波歪を打ち消すことができる。振幅の最適化は付加する容量値とその電圧依存性の調整により行うことができる。

20

【0147】

アンテナスイッチ8は、前記実施の形態1の図2と同様に、送信分路シャントMOSFETグループ10、送信分路スルーMOSFETグループ11、受信分路シャントMOSFETグループ12、および受信分路スルーMOSFETグループ13から構成されている。

30

【0148】

この場合も、受信分路スルーMOSFETグループ13における構成が、前記実施の形態1~2と異なる点である。受信分路スルーMOSFETグループ13は、図16に示すように、SOI nチャネルMOSFETからなるトランジスタ44~48、抵抗49~53, 80~84、および静電容量素子90~94, 95~99から構成されている。

【0149】

また、トランジスタ44~48、抵抗49~53, 80~84、ならびに静電容量素子90~94の接続構成については、前記実施の形態3の図13と同様となっている。トランジスタ44~48のドレインとソースには、静電容量素子95~99がそれぞれ接続されている。

40

【0150】

これら静電容量素子95~99は、端子Bを有している。静電容量素子95の端子Bは、抵抗80と静電容量素子90との接続部に接続されている。他の静電容量素子96~99における端子Bも同様に、抵抗81~84と静電容量素子91~94との接続部にそれぞれ接続されている。

【0151】

ここで、静電容量素子95(~99)について説明する。

【0152】

静電容量素子95(~99)は、たとえば、図10に示した2個の静電容量素子により構成され、ゲート同士を接続してそれを端子Bとし、それぞれのMOS容量のソース、も

50

しくはドレインの一方のみに端子を設け、それぞれ端子 A、端子 C としている。

【0153】

端子 B を基準電位 VSS に接続し、端子 A、ならびに端子 C に符号が逆で同じ大きさの電圧を印加した場合、図 10 に示した静電容量素子 2 個の電圧依存の組み合わせとなるため、その容量値は、図 17 に示すように端子間電圧（端子 B の電圧 - 端子 A の電圧）の極性に関わらず電圧が増加すると減少する電圧依存性を示す。

【0154】

また、この電圧依存の大きさは、ゲート酸化膜下のボディの不純物濃度を調整することにより、変化させることができる。この容量の電圧依存は、図 15 に示した MOSFET のソース - ドレイン間寄生容量の、電圧の極性によらず電圧印加により容量が層増加する電圧依存とは逆の依存性となっている。

10

【0155】

従って、静電容量素子 95（～99）の不純物濃度とゲート幅を調整してその容量値の電圧変化量を最適化することにより、基板容量の電圧依存による 3 次高調波歪を打ち消す効果を持たせることができる。最適化より容量値の絶対値は比較的小さくできるため、本容量素子の付加によって奇数次高調波歪以外の特性には大きな影響を及ぼすことはない。

【0156】

図 18 は、静電容量素子 95（～99）の平面構造の一例を示した説明図である。

【0157】

静電容量素子 95（～99）は、後述する（図 19）MOS 容量 3 分枝が並列に配置された構成からなり、図 18 の左側には、端子 A が形成されており、図 18 の右側には、端子 C が形成されている。

20

【0158】

端子 A は、図 18 の上方から下方にかけて楕円形に形成されたソース配線 67 に接続されており、端子 C は、同じく図 18 の上方から下方にかけて楕円形に形成されたドレイン配線 59 に接続されている。

【0159】

楕円形に形成されたソース配線 67 とドレイン配線 59 との間には、ゲート電極 68 がそれぞれ形成されている。これらゲート電極 68 は、左右両側に形成されているゲート配線 69 に接続され、端子 B に共通接続されている。

30

【0160】

図 19 は、図 18 の a - b 断面の一例を示す説明図である。

【0161】

静電容量素子 95（～99）は、たとえば、2 個の MOS 型容量から構成されている。高抵抗シリコン基板 70 上部の左右には、シリコン酸化膜（BOX 酸化膜）71, 71a がそれぞれ形成されている。

【0162】

シリコン酸化膜 71 の上部の左側、および右側には、トランジスタのソース/ドレインに類似した高不純物濃度シリコン層 72, 73 がそれぞれ形成されており、シリコン酸化膜 71a の上部の左側、および右側には、同様な高不純物濃度シリコン層 72a, 73a がそれぞれ形成されている。また、高不純物濃度シリコン層 73 と高不純物濃度シリコン層 73a との間には、絶縁膜となるシリコン酸化膜 71a が形成されている。

40

【0163】

シリコン酸化膜 71 の上部において、高不純物濃度シリコン層 72, 73 に挟まれるように低不純物濃度シリコン層（ボディ）74 が形成されている。同様に、シリコン酸化膜 71a の上部には、高不純物濃度シリコン層 72a, 73a に挟まれるように低不純物濃度シリコン層 74a が形成されている。

【0164】

低不純物濃度シリコン層 74 の上部には、シリコン酸化膜（ゲート酸化膜）75 を介してゲートとなる高不純物濃度多結晶シリコン膜 76 が形成されており、低不純物濃度シリ

50

コン層 74a の上部には、シリコン酸化膜 75a を介してゲートとなる高不純物濃度多結晶シリコン膜 76a が形成されている。

【0165】

低不純物濃度シリコン層 74, 74a の不純物濃度、分布を調節することにより、所望の電圧依存性を得る。その不純物濃度は、約 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。MOS型容量 2 個のゲートとなる高不純物濃度多結晶シリコン膜 76, 76a を接続してそれを端子 B とし、それぞれの高不純物濃度シリコン層の一方のみ（高不純物濃度シリコン層 72, 73a）に端子をそれぞれ設け、それぞれ端子 A、端子 C とする。

【0166】

また、図 20 に、静電容量素子 95（～99）における 3 端子素子の回路図シンボルを示す。

10

【0167】

端子 B は、抵抗 R を介して基準電位 VSS、もしくは電源電圧 VDD に接続し、端子 A、端子 C をトランジスタ 44～48 のソースとドレインにそれぞれ接続する。

【0168】

ゲート（高不純物濃度多結晶シリコン膜 76, 76a）の幅を調整することにより、所望の、電圧による容量変化の絶対値を得る。ゲート（高不純物濃度多結晶シリコン膜 76, 76a）の幅は、それを付加するトランジスタの特性に大きな影響を与えないようにするため、トランジスタ 44～48 のゲート幅の約 1/5 以下となるようにする。

【0169】

また、ゲート（高不純物濃度多結晶シリコン膜 76, 76a）の長さは、低不純物濃度シリコン層（ボディ）74 の抵抗が静電容量素子の寄生抵抗として顕著にならないようにするため、約 1 μm 以下とする。

20

【0170】

図 21 は、図 16 の受信分路スルー MOSFET グループ 13 の平面レイアウトの一例を示す説明図である。

【0171】

図 21 上方の左側から右側にかけて、抵抗 49～53 がそれぞれレイアウトされており、各々の抵抗 49～53 の下方には、トランジスタ 44～48 がそれぞれレイアウトされている。

30

【0172】

トランジスタ 44（図中、点線で囲んだ領域）の下方には、静電容量素子 95 がレイアウトされている。同様に、トランジスタ 45～48 の下方には、静電容量素子 96～99 がそれぞれレイアウトされている。

【0173】

静電容量素子 95 の下方には、左から右にかけて、抵抗 80、および静電容量素子 90 がそれぞれレイアウトされている。同様に、静電容量素子 96～99 の下方には、左から右にかけて、抵抗 81～84、ならびに静電容量素子 91～94 がそれぞれレイアウトされている。

【0174】

トランジスタ 44 は、複数の分枝の MOSFET が並列に配置された構成からなり、各分枝のドレインは、櫛形のドレイン配線 77 により接続され、各分枝のソースは、櫛形のソース配線 78 より接続されている。

40

【0175】

ソース配線 78 は、隣接するトランジスタ 45 の各分枝のドレインとも接続されている。各分枝のゲートは梯子状のゲート配線 79 により接続され、抵抗 49～53 を介してトランジスタ 44～48 のゲート配線と束ねられて共通化されている。

【0176】

静電容量素子 95～99、抵抗 80～84、および静電容量素子 90～94 は、トランジスタ 44 を隔てて抵抗 49～53 と反対側に配置されている。静電容量素子 95～99

50

の端子Cは、ソース配線78に接続され、端子Aはドレイン配線77に接続され、端子Bは、静電容量素子90～94を介してゲート配線79に接続されると共に、抵抗80～84を介して束ねられ、基準電位VSSに接続されている。

【0177】

静電容量素子95～99の容量値とその電圧依存性は、それにより発生する信号歪が、3次高調波歪を補償するように設定している。そのために、図19における低不純物濃度シリコン層74, 74aの不純物濃度は、約 $5 \times 10^{17} \text{ cm}^{-3}$ に制御され、高不純物濃度多結晶シリコン膜76, 76aの幅は、トランジスタ44～48のゲート幅の約1/10に設計されている。

【0178】

本実施の形態4によると、静電容量素子95～99が設けられていない場合と比較して、アンテナスイッチ8の2次高調波、損失、アイソレーションといった2次高調波以外の特性にはほとんど影響を与えることなく、3次高調波歪を約10dB以上低減することができる。

【0179】

(実施の形態5)

図22は、本発明の実施の形態5による受信分路スルーMOSFETグループの一例を示す回路図、図23は、図22の受信分路スルーMOSFETグループの平面レイアウトの一例を示す説明図である。

【0180】

本実施の形態5においては、前記実施の形態1による2次高調波歪を低減する技術と、前記実施の形態4による3次高調波歪を低減する技術とを組み合わせた技術について説明する。

【0181】

この場合、アンテナスイッチ8における受信分路スルーMOSFETグループ13は、図22に示すように、SOI MOSFETからなるトランジスタ44～48、抵抗49～53, 80～84、静電容量素子54～58, 90～99から構成されている。

【0182】

トランジスタ44～48、抵抗49～53、ならびに静電容量素子54～58については、前記実施の形態1の図3と同様の接続構成となっており、抵抗80～84、および静電容量素子90～99については、前記実施の形態4の図16と同様の接続構成となっているので説明は省略する。

【0183】

図23は、図22の受信分路スルーMOSFETグループ13における平面レイアウトの一例を示す説明図である。

【0184】

図23上方の左から右にかけて、抵抗49～53がそれぞれレイアウトされており、各々の抵抗49～53の下方には、トランジスタ44～48がそれぞれレイアウトとされている。

【0185】

トランジスタ44の下方には、静電容量素子54がレイアウトされており、該静電容量素子54の下方には、静電容量素子95がレイアウトされている。この静電容量素子95の下方左側には、抵抗80がレイアウトされており、該抵抗80の右側には、静電容量素子90がレイアウトされている。

【0186】

同様に、トランジスタ45～48の下方には、静電容量素子55～58がそれぞれレイアウトされており、該静電容量素子55～58の下方には、静電容量素子96～99がそれぞれレイアウトされている。

【0187】

これら静電容量素子96～99の下方左側には、抵抗81～84がそれぞれレイアウト

10

20

30

40

50

されており、該抵抗 8 1 ~ 8 4 の右側には、静電容量素子 9 1 ~ 9 4 がそれぞれレイアウトされている。

【 0 1 8 8 】

トランジスタ 4 4 ~ 4 8 は、複数の分枝の M O S F E T が並列に配置された構成からなり、各分枝のドレインは、櫛形のドレイン配線 7 7 により接続され、各分枝のソースは、櫛形のソース配線 7 8 により接続されている。

【 0 1 8 9 】

ソース配線 7 8 は、隣接するトランジスタ 4 5 の各分枝のドレインとも接続されている。各分枝のゲートは梯子状のゲート配線 7 9 により接続され、抵抗 4 9 ~ 5 3 を介してトランジスタ 4 4 ~ 4 8 のゲート配線 7 9 と束ねられて共通化されている。

10

【 0 1 9 0 】

静電容量素子 9 5 ~ 9 9、抵抗 8 0 ~ 8 4、静電容量素子 9 0 ~ 9 4、および静電容量素子 5 4 ~ 5 8 は、トランジスタ 4 4 ~ 4 8 を隔てて抵抗 4 9 ~ 5 3 と反対側に配置されている。

【 0 1 9 1 】

静電容量素子 9 5 ~ 9 9 の端子 A はドレイン配線 7 7 に接続され、端子 C はソース配線 7 8 に接続され、端子 B は静電容量素子 9 0 ~ 9 4 を介してゲート配線 7 9 に接続されると共に、抵抗 8 0 ~ 8 4 を介して束ねられ、基準電位 V S S に接続されている。静電容量素子 5 4 ~ 5 8 はドレイン配線 7 7 とゲート配線 7 9 の間に接続されている。

20

【 0 1 9 2 】

静電容量素子 5 4 ~ 5 8 の容量値は、それに起因するソース - ドレイン間寄生容量の正負非対称電圧依存により生じる信号歪が、2 次高調波歪を補償するように設定されている。

【 0 1 9 3 】

この場合、静電容量素子 5 4 ~ 5 8 は、必ずしも容量値の電圧依存性は必要としない。また、静電容量素子 9 5 ~ 9 9 の容量値とその電圧依存性は、それにより発生する信号歪が、3 次高調波歪を補償するように設定している。

【 0 1 9 4 】

そのために、図 1 9 における低不純物濃度シリコン層 7 4 , 7 4 a の不純物濃度は、約 $5 \times 10^{17} \text{ cm}^{-3}$ に制御され、高不純物濃度多結晶シリコン膜 7 6 , 7 6 a の幅は、トランジスタ 4 4 ~ 4 8 のゲート幅の約 $1/10$ に設計されている。

30

【 0 1 9 5 】

それにより、本実施の形態 5 では、アンテナスイッチ 8 の損失、アイソレーションといった 2 次高調波と 3 次高調波以外の特性にはほとんど影響を与えることなく、2 次高調波歪と 3 次高調波歪をそれぞれ約 1 0 d B 低減することができる。

【 0 1 9 6 】

(実施の形態 6)

図 2 4 は、本発明の実施の形態 6 による受信分路スルー M O S F E T グループの一例を示す回路図、図 2 5 は、図 2 4 の受信分路スルー M O S F E T グループの平面レイアウトの一例を示す説明図である。

40

【 0 1 9 7 】

本実施の形態 6 においては、2 次高調波歪を低減する技術と 3 次高調波歪を低減する技術とを組み合わせた他の例の技術について説明する。

【 0 1 9 8 】

この場合、アンテナスイッチ 8 における受信分路スルー M O S F E T グループ 1 3 は、図 2 4 に示すように、S O I M O S F E T からなるトランジスタ 4 4 ~ 4 8、抵抗 4 9 ~ 5 3 , 8 0 ~ 8 4、静電容量素子 9 0 ~ 9 9 , および静電容量素子 1 0 0 ~ 1 0 4 から構成されている。

【 0 1 9 9 】

トランジスタ 4 4 ~ 4 8、抵抗 4 9 ~ 5 3、ならびに静電容量素子 9 0 ~ 9 9 について

50

は、前記実施の形態 5 の図 2 2 と同様の接続構成となっている。また、トランジスタ 4 4 ~ 4 8 のドレインには、静電容量素子 1 0 0 ~ 1 0 4 の一方の接続部がそれぞれ接続されており、該静電容量素子 1 0 0 ~ 1 0 4 の他方の接続部には、静電容量素子 9 5 ~ 9 9 の端子 B がそれぞれ接続されている。

【 0 2 0 0 】

図 2 5 は、図 2 4 の受信分路スルー M O S F E T グループ 1 3 における平面レイアウトの一例を示す説明図である。

【 0 2 0 1 】

図 2 5 において、上方の左から右にかけて、抵抗 4 9 ~ 5 3 がそれぞれレイアウトされており、各々の抵抗 4 9 ~ 5 3 の下方には、トランジスタ 4 4 ~ 4 8 がそれぞれレイアウトされている。

10

【 0 2 0 2 】

トランジスタ 4 4 の下方には、静電容量素子 9 5 がレイアウトされており、該静電容量素子 9 5 の左下方には、静電容量素子 1 0 0 がレイアウトされている。この静電容量素子 1 0 0 の下方には、抵抗 8 0 がレイアウトされており、該抵抗 8 0 の右側には、静電容量素子 9 0 がレイアウトされている。

【 0 2 0 3 】

同様に、トランジスタ 4 5 ~ 4 8 の下方には、静電容量素子 9 6 ~ 9 9 がそれぞれレイアウトされており、該静電容量素子 9 6 ~ 9 9 の左下方には、静電容量素子 1 0 1 ~ 1 0 4 がそれぞれレイアウトされている。

20

【 0 2 0 4 】

これら静電容量素子 1 0 1 ~ 1 0 4 の下方には、抵抗 8 1 ~ 8 4 がそれぞれレイアウトされており、該抵抗 8 1 ~ 8 4 の右側には、静電容量素子 9 1 ~ 9 4 がそれぞれレイアウトされている。

【 0 2 0 5 】

トランジスタ 4 4 ~ 4 8 は、複数の分枝の M O S F E T が並列に配置された構成からなり、各分枝のドレインは、楕形のドレイン配線 7 7 により接続され、各分枝のソースは、楕形のソース配線 7 8 により接続されている。

【 0 2 0 6 】

ソース配線 7 8 は、隣接するトランジスタ 4 5 の各分枝のドレインとも接続されている。各分枝のゲートは梯子状のゲート配線 7 9 により接続され、抵抗 4 9 ~ 5 3 を介してトランジスタ 4 4 ~ 4 8 のゲート配線 7 9 と束ねられて共通化されている。

30

【 0 2 0 7 】

静電容量素子 9 5 ~ 9 9、抵抗 8 0 ~ 8 4、および静電容量素子 9 0 ~ 9 4 は、トランジスタ 4 5 ~ 4 8 を隔てて抵抗 4 9 ~ 5 3 と反対側に配置されている。

【 0 2 0 8 】

静電容量素子 9 5 ~ 9 9 の端子 A はドレイン配線 7 7 に接続され、端子 C はソース配線 7 8 に接続され、端子 B は静電容量素子 9 0 ~ 9 4 を介してゲート配線 7 9 に接続されると共に、抵抗 8 0 ~ 8 4 を介して束ねられ、基準電位 V S S に接続されている。

【 0 2 0 9 】

静電容量素子 1 0 0 ~ 1 0 4 の容量値は、それに起因するソース - ドレイン間寄生容量の正負非対称電圧依存により生じる信号歪が、2 次高調波歪を補償するように設定されている。

40

【 0 2 1 0 】

静電容量素子 1 0 0 ~ 1 0 4 の容量値とその電圧依存性は、それにより発生する信号歪が、2 次高調波歪を補償するように設定している。そのために、低不純物濃度シリコン層 7 4 の不純物濃度は約 $5 \times 10^{17} \text{ cm}^{-3}$ に制御され、高不純物濃度多結晶シリコン膜 7 6 の幅はトランジスタ 4 4 ~ 4 8 のゲート幅の約 $1/10$ に設計されている。

【 0 2 1 1 】

また、静電容量素子 9 5 ~ 9 9 の容量値とその電圧依存性は、それにより発生する信号

50

歪が、3次高調波歪を補償するように設定している。そのために、図19における低不純物濃度シリコン層74の不純物濃度は約 $5 \times 10^{17} \text{ cm}^{-3}$ に制御され、高不純物濃度多結晶シリコン膜76, 76aの幅は、トランジスタ44~48のゲート幅の約1/10に設計されている。

【0212】

それにより、本実施の形態6においては、アンテナスイッチ8の損失、アイソレーションといった2次高調波と3次高調波以外の特性にはほとんど影響を与えることなく、2次高調波歪、および3次高調波歪をそれぞれ約10dB低減することができる。

【0213】

(実施の形態7)

図26は、本発明の実施の形態7による受信分路スルーMOSFETグループの一例を示す回路図、図27は、図26の受信分路スルーMOSFETグループの平面レイアウトの一例を示す説明図である。

10

【0214】

本実施の形態7においては、2次高調波歪を低減する技術と3次高調波歪を低減する技術とを組み合わせたさらに他の例の技術について説明する。

【0215】

この場合、アンテナスイッチ8における受信分路スルーMOSFETグループ13は、図26に示すように、SOI MOSFETからなるトランジスタ44~48、抵抗49~53, 80~84、ならびに静電容量素子62~66, 90~99から構成されている。

20

【0216】

トランジスタ44~48、抵抗49~53、ならびに静電容量素子90~99については、前記実施の形態5の図22と同様の接続構成となっており、静電容量素子62~66は、前記実施の形態2の図7と同様となっている。

【0217】

図27は、図26の受信分路スルーMOSFETグループ13における平面レイアウトの一例を示す説明図である。

【0218】

図27において、上方の左から右にかけて、抵抗49~53がそれぞれレイアウトされており、各々の抵抗49~53の下方には、トランジスタ44~48がそれぞれレイアウトされている。

30

【0219】

トランジスタ44の下方には、静電容量素子62がレイアウトされており、該静電容量素子62の下方には、静電容量素子95がレイアウトされている。この静電容量素子95の左下方には、抵抗80がレイアウトされており、該抵抗80の右側には、静電容量素子90がレイアウトされている。

【0220】

同様に、トランジスタ45~48の下方には、静電容量素子63~66がそれぞれレイアウトされており、該静電容量素子63~66の下方には、静電容量素子96~99がそれぞれレイアウトされている。

40

【0221】

これら静電容量素子96~99の左下方には、抵抗81~84がそれぞれレイアウトされており、該抵抗81~84の右側には、静電容量素子91~94がそれぞれレイアウトされている。

【0222】

静電容量素子62~66、抵抗80~84、静電容量素子90~94、および静電容量素子62~66は、トランジスタ44~48を隔てて抵抗49~53と反対側に配置されている。

【0223】

50

静電容量素子 95 ~ 99 の端子 A はドレイン配線 77 に接続され、端子 C はソース配線 78 に接続され、端子 B は静電容量素子 90 ~ 94 を介してゲート配線 79 に接続されると共に、抵抗 80 ~ 84 を介して束ねられ、基準電位 VSS に接続されている。静電容量素子 62 ~ 66 はドレイン配線 77 とソース配線 78 の間に接続されている。

【0224】

静電容量素子 62 ~ 66 の容量値とその電圧依存性は、それにより発生する信号歪が、2次高調波歪を補償するように設定する。そのために、図 10 における低不純物濃度シリコン層 74 の不純物濃度は約 $5 \times 10^{17} \text{ cm}^{-3}$ に制御され、高不純物濃度多結晶シリコン膜 76 の幅はトランジスタ 44 ~ 48 のゲート幅の約 $1/10$ に設計されている。

【0225】

また、静電容量素子 62 ~ 66 の容量値とその電圧依存性は、それにより発生する信号歪が、3次高調波歪を補償するように設定する。

【0226】

それにより、本実施の形態 7 では、アンテナスイッチ 8 の損失、アイソレーションといった 2次高調波と 3次高調波以外の特性にはほとんど影響を与えることなく、2次高調波歪と 3次高調波をそれぞれ約 10 dB 低減することができる。

【産業上の利用可能性】

【0227】

本発明は、SOI MOSFET を用いて構成されたアンテナスイッチの 2次高調波歪、および 2次高調波歪の低減技術に適している。

【符号の説明】

【0228】

- 1 送受信部
- 2 インタフェイス部
- 3 ベースバンド部
- 4 RF集積回路部
- 5 電力増幅器
- 6 低雑音増幅器
- 7 制御部
- 8 アンテナスイッチ
- 9 アンテナ
- 10 送信分路シャントMOSFETグループ
- 11 送信分路スルーMOSFETグループ
- 12 受信分路シャントMOSFETグループ
- 13 受信分路スルーMOSFETグループ
- 14 ~ 18 トランジスタ
- 19 ~ 23 抵抗
- 24 ~ 28 トランジスタ
- 29 ~ 33 抵抗
- 34 ~ 38 トランジスタ
- 39 ~ 43 抵抗
- 44 ~ 48 トランジスタ
- 49 ~ 53 抵抗
- 54 ~ 58 静電容量素子
- 59 ドレイン配線
- 60 ゲート配線
- 61 ソース配線
- 62 ~ 66 静電容量素子
- 67 ソース配線
- 68 ゲート電極

10

20

30

40

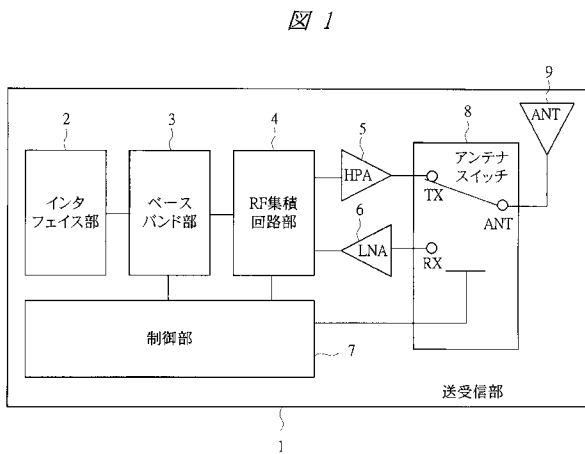
50

- 6 9 ゲート配線
- 7 0 高抵抗シリコン基板
- 7 1 , 7 1 a シリコン酸化膜
- 7 2 , 7 2 a 高不純物濃度シリコン層
- 7 3 , 7 3 a 高不純物濃度シリコン層
- 7 4 , 7 4 a 低不純物濃度シリコン層
- 7 5 , 7 5 a シリコン酸化膜
- 7 6 , 7 6 a 高不純物濃度多結晶シリコン膜
- 7 7 ドレイン配線
- 7 8 ソース配線
- 7 9 ゲート配線
- 8 0 ~ 8 4 抵抗
- 8 5 ~ 9 4 静電容量素子
- 9 5 ~ 9 9 静電容量素子
- 1 0 0 ~ 1 0 4 静電容量素子
- A N T アンテナ端子
- T X 送信端子
- R X 受信端子
- V R X 制御端子
- V T X 制御端子
- A 端子
- B 端子
- C 端子

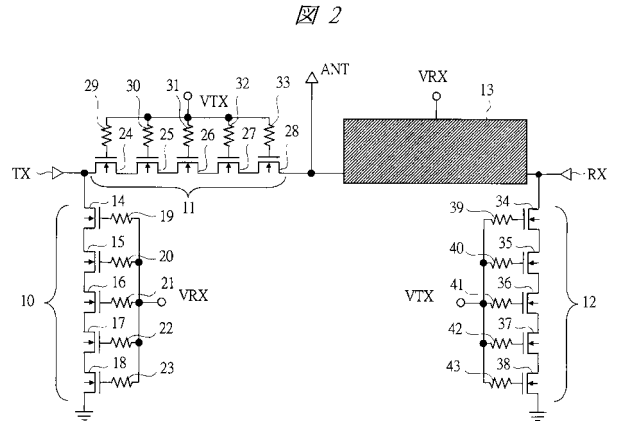
10

20

【 図 1 】

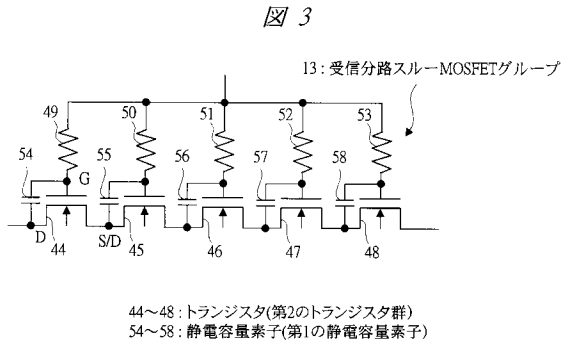


【 図 2 】

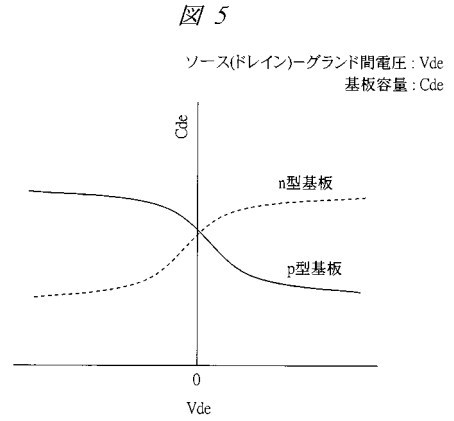


14~18 : トランジスタ(第3のトランジスタ群)
 24~28 : トランジスタ(第1のトランジスタ群)
 34~38 : トランジスタ(第4のトランジスタ群)

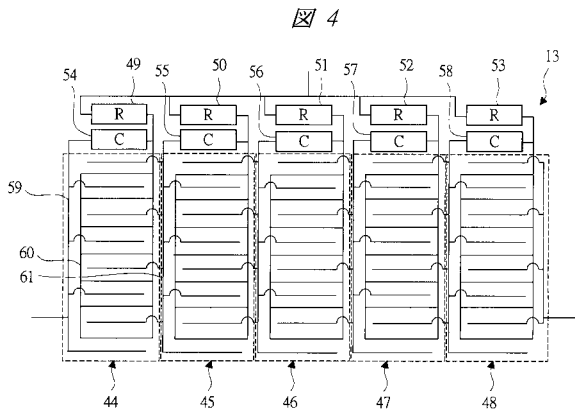
【 図 3 】



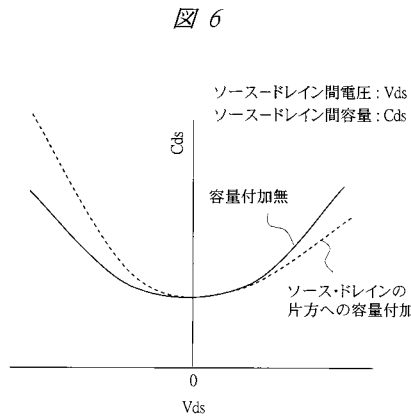
【 図 5 】



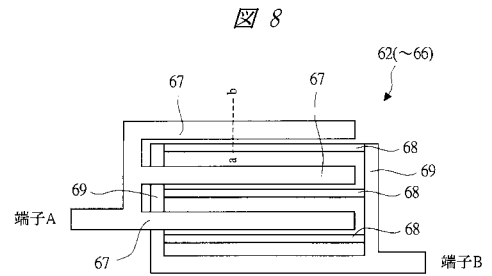
【 図 4 】



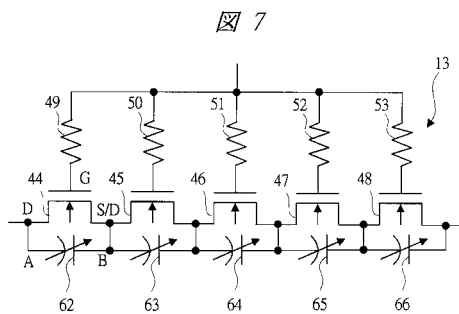
【 図 6 】



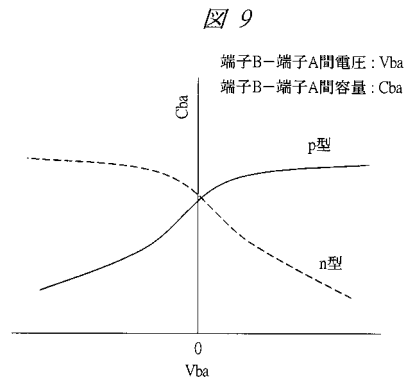
【 図 8 】



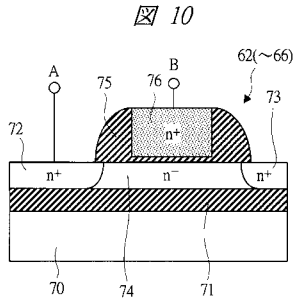
【 図 7 】



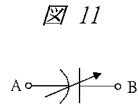
【 図 9 】



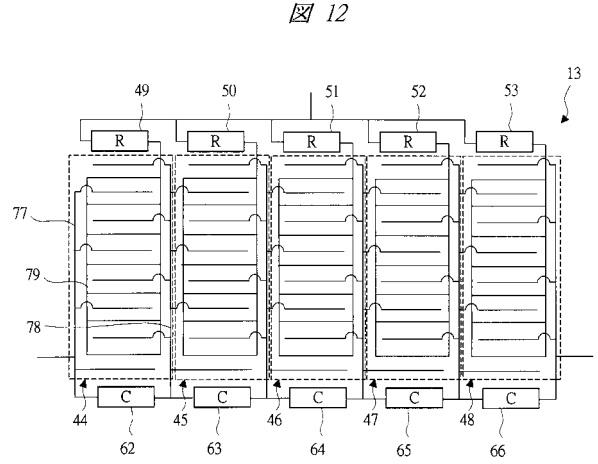
【図10】



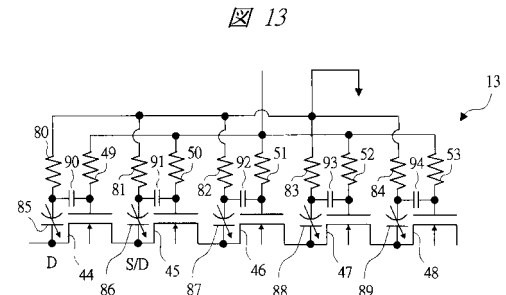
【図11】



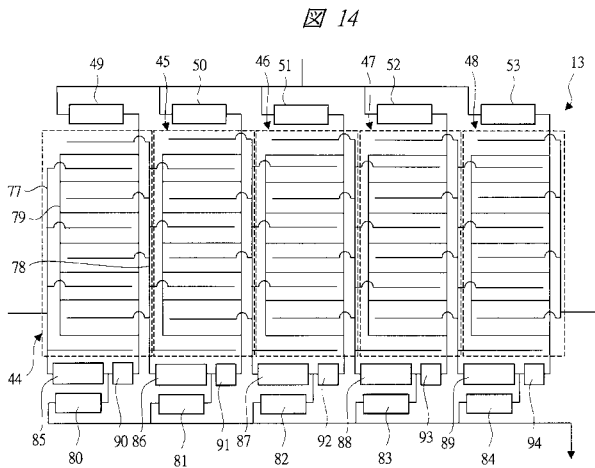
【図12】



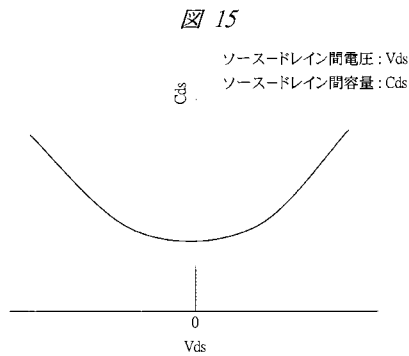
【図13】



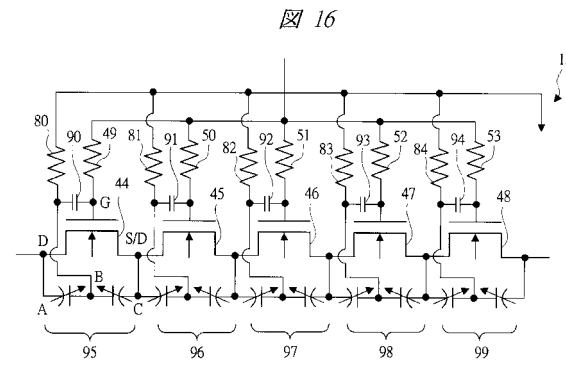
【図14】



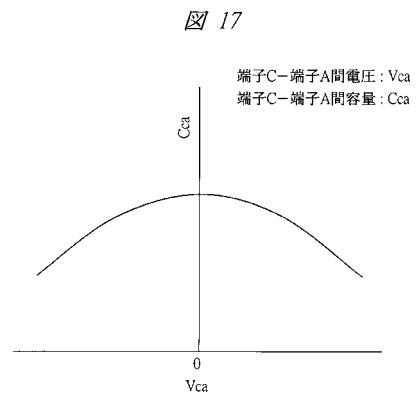
【図15】



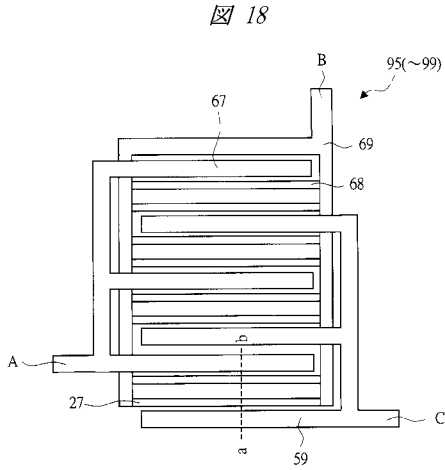
【図16】



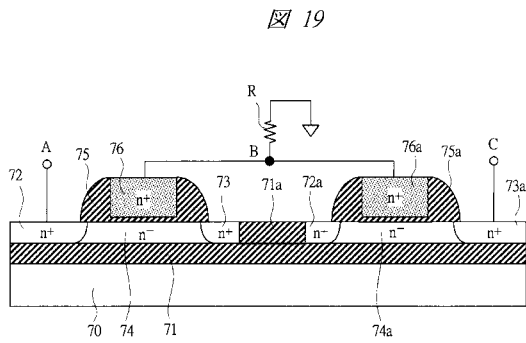
【図17】



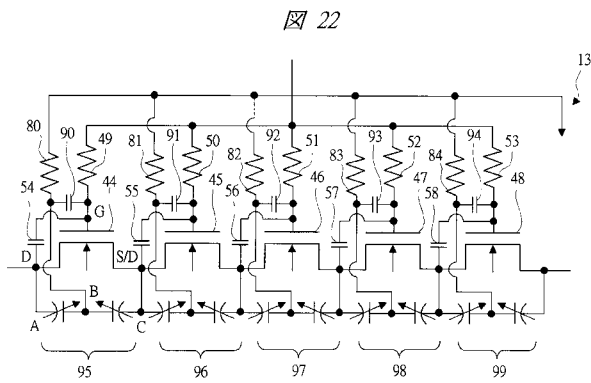
【図18】



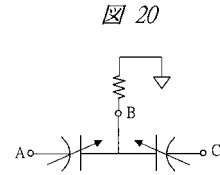
【図19】



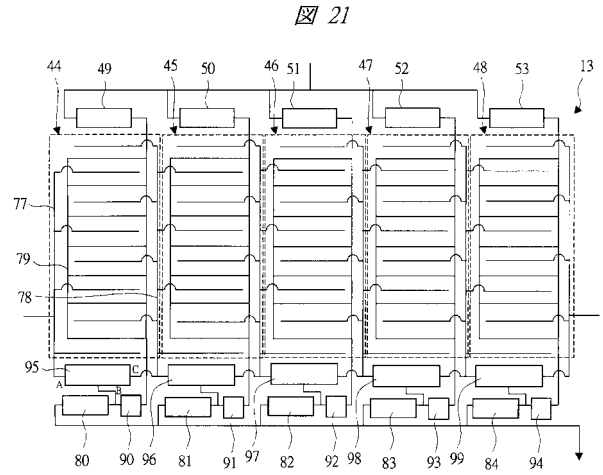
【図22】



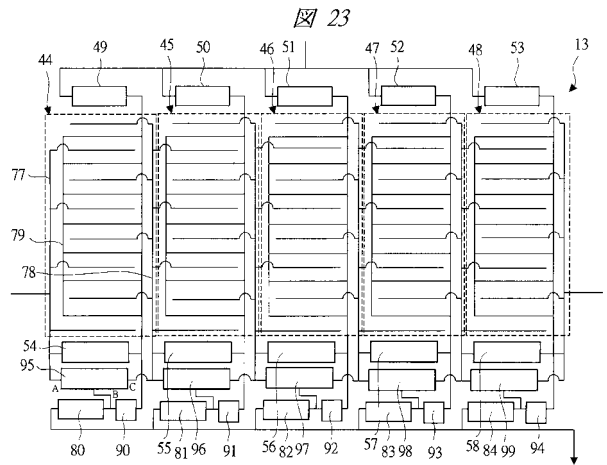
【図20】



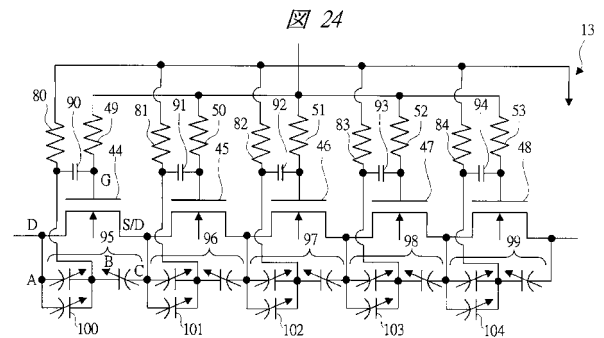
【図21】



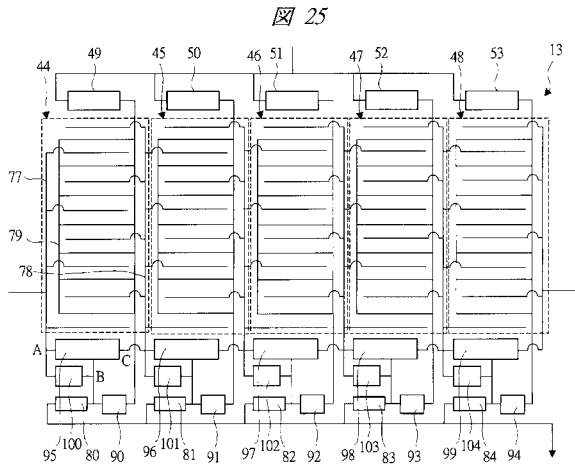
【図23】



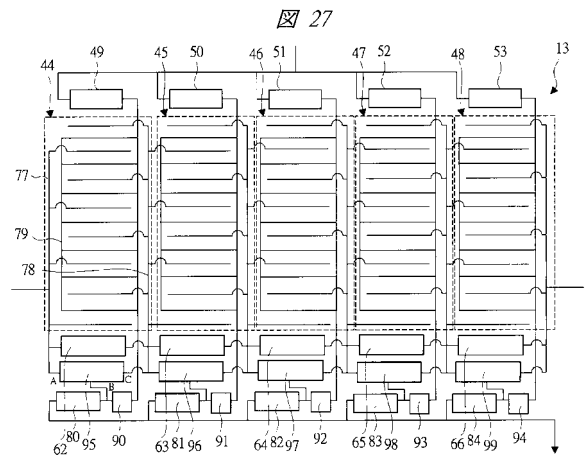
【図24】



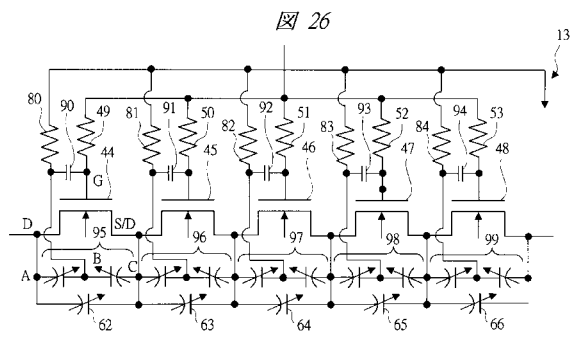
【 図 2 5 】



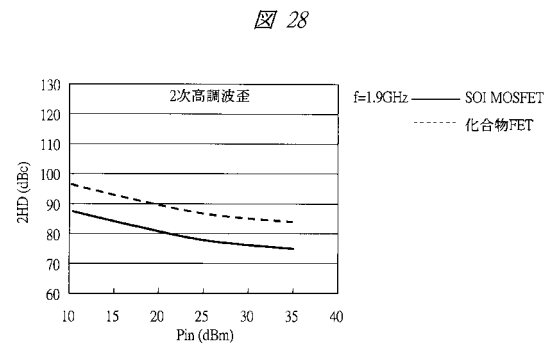
【 図 2 7 】



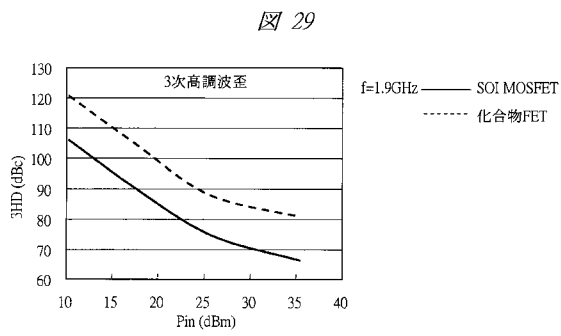
【 図 2 6 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 21/8234 (2006.01)</i>	H 0 1 L 27/04	C
<i>H 0 1 L 27/08 (2006.01)</i>	H 0 1 L 29/91	L
<i>H 0 1 L 29/861 (2006.01)</i>		

Fターム(参考) 5F038 AC03 AC05 BH03 BH19 CA02 CD14 DF01 DF17 EZ06 EZ20
5F048 AC01 AC10 BA16 BA17 BB02 BB06 BC02 BF15 BF16 DA23
5J055 AX25 BX17 CX24 DX22 EY01 EY10 EY11 EY21 FX05 FX12
FX17 GX01 GX02 GX06