



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I534791 B

(45) 公告日：中華民國 105 (2016) 年 05 月 21 日

(21) 申請案號：103137894

(22) 申請日：中華民國 103 (2014) 年 10 月 31 日

(51) Int. Cl. : G09G3/36 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：溫竣貴 WEN, CHUN KUEI (TW)；黃鈺婷 HUANG, YU TING (TW)；施鴻民 SHIH, HUNG MIN (TW)；陳冠宇 CHEN, KUAN YU (TW)

(74) 代理人：郭曉文

(56) 參考文獻：

TW 200634705A

TW 201042602A

TW 201207806A

CN 103745697A

US 2010/0156879A1

US 2011/0169797A1

審查人員：賴仕修

申請專利範圍項數：8 項 圖式數：4 共 45 頁

(54) 名稱

液晶顯示裝置之時脈產生電路及其操作方法

CLOCK GENERATION CIRCUIT OF LIQUID CRYSTAL DISPLAY DEVICE AND
CORRESPONDING OPERATION METHOD

(57) 摘要

一種液晶顯示裝置之時脈產生電路及其操作方法，其時脈產生電路包括電荷分享開關單元、第一電容、第一開關、第二開關、第三開關以及第四開關。電荷分享開關單元係用以接收控制訊號，並根據控制訊號輸出第一極性的電壓並儲存至第一電容，時脈產生電路再根據不同時序導通第一開關、第二開關、第三開關以及第四開關以輸出一時脈訊號。

A clock generation circuit of liquid crystal display device and corresponding operation method. The clock generation circuit comprises a charge sharing switch unit, a first capacitor, a first switch, a second switch, a third switch and a fourth switch. The charge sharing switch unit is used to receive a control signal, and output a first polarity voltage according to the control signal, the first polarity voltage stored in the first capacitor, and the clock generation circuit turn on the first switch, the second switch, the third switch and the fourth switch according to different timing to output a clock signal.

指定代表圖：

公告本※ 申請案號：¹⁰⁷¹³⁷⁸⁹⁴發明摘要

※ 申請日：103.10.31

※IPC 分類：G09G 3/36 (2006.01)

【發明名稱】 液晶顯示裝置之時脈產生電路及其操作方法CLOCK GENERATION CIRCUIT OF LIQUID
CRYSTAL DISPLAY DEVICE AND
CORRESPONDING OPERATION METHOD**【中文】**

一種液晶顯示裝置之時脈產生電路及其操作方法，其時脈產生電路包括電荷分享開關單元、第一電容、第一開關、第二開關、第三開關以及第四開關。電荷分享開關單元係用以接收控制訊號，並根據控制訊號輸出第一極性的電壓並儲存至第一電容，時脈產生電路再根據不同時序導通第一開關、第二開關、第三開關以及第四開關以輸出一時脈訊號。

【英文】

A clock generation circuit of liquid crystal display device and corresponding operation method. The clock generation circuit comprises a charge sharing switch unit, a first capacitor, a first switch, a second switch, a third switch and a fourth switch. The charge sharing switch unit is used to receive a control signal, and output a first polarity voltage according to the control signal, the first polarity voltage stored in the first capacitor, and the clock generation circuit turn on the first

switch, the second switch, the third switch and the fourth switch according to different timing to output a clock signal.

【代表圖】

【本案指定代表圖】：第（ 2A ）圖。

【本代表圖之符號簡單說明】：

10 時脈產生電路

11 電荷分享開關單元

12 資料驅動單元

121 資料線

13 畫素單元

S1,S2,S3,S4,S5,S6,S7,S8 開關

Pol 極性控制訊號

CS1 第一控制訊號

CS2 第二控制訊號

C1,C2 電容

VGL 第二低電壓準位

GND 第一低電壓準位

VGH 高電壓準位

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 液晶顯示裝置之時脈產生電路及其操作方法

CLOCK GENERATION CIRCUIT OF LIQUID CRYSTAL
DISPLAY DEVICE AND CORRESPONDING OPERATION
METHOD

【技術領域】

【0001】 本發明是有關於一種時脈產生電路，尤其是有關於一種應用於液晶顯示裝置之時脈產生電路及其操作方法。

【先前技術】

【0002】 近年來液晶顯示裝置除了越趨輕薄之外，大尺寸液晶顯示裝置的需求也是日漸增長，而液晶顯示裝置的尺寸越大其內部電路也會相應的增加，因此液晶顯示裝置之耗電量更因此而提高。其中，液晶顯示裝置包括了用以產生內部電路所需之時脈訊號之時脈產生電路，而習知之時脈產生電路常以外部電源提供內部電路所需之時脈訊號之高低準位電壓，但此方式需額外耗費電源電量，且在液晶顯示裝置的尺寸增大的情形下，時脈產生電路需提供更多之時脈訊號，更提高液晶顯示裝置整體之耗電量，故如何有效降低時脈產生電路之耗電量，為當前液晶顯示裝置內部電路設計之重要課題。

【發明內容】

【0003】 為了解決上述之缺憾，本發明提出一種液晶顯示

裝置之時脈產生電路實施例，其包括電荷分享開關單元、第一電容、第一開關、第二開關、第三開關以及第四開關。電荷分享開關單元具有一輸出端並電性耦接於複數個資料線以及複數個畫素單元之間，電荷分享開關單元係用以接收一第一控制訊號，並根據第一控制訊號由輸出端輸出第一極性的電壓，該第一極性的電壓包括該些資料線之複數個第一極性顯示資料的電壓；第一電容具有第一端以及第二端，第一電容之第一端係用以與電荷分享開關之輸出端電性耦接，第一電容之第二端係用以與第一低電壓準位電性耦接；第一開關具有第一端以及第二端，第一開關之第一端與第一電容之第一端電性耦接，第一開關之第二端與時脈產生電路之輸出端電性耦接；第二開關具有第一端以及第二端，第二開關之第一端與一高電壓準位電性耦接，第二開關之第二端與時脈產生電路之輸出端電性耦接；第三開關具有第一端以及第二端，第三開關之第一端與第一低電壓準位電性耦接，第三開關之第二端與時脈產生電路之輸出端電性耦接；第四開關具有第一端以及第二端，第四開關之第一端與第二低電壓準位電性耦接，第四開關之第二端與時脈產生電路之輸出端電性耦接。

【0004】 在本發明之一實施例中，液晶顯示裝置之時脈產生電路更包括第六開關、第二電容以及第七開關。第六開關具有第一端以及第二端，第六開關之第二端與時脈產生電路之該輸出端電性耦接；第二電容具有第一端與第二端，第二電容之第一端與第六開關之第一端電性耦接，第二電容之第二端與第一低電壓準位電性耦接；第七開關其電性耦接於第一電容之第一端以及電荷分享開關單元之輸出端之間，第七

開關具有第一端以及第二端，第七開關之第一端與電荷分享開關單元之輸出端電性耦接，第七開關並根據一極性控制訊號使第七開關之第二端與第一電容之第一端或第二電容之第一端電性耦接，電荷分享開關單元更用以接收第二控制訊號，電荷分享開關單元並根據第二控制訊號由電荷分享開關單元之輸出端輸出第二極性的電壓，第二極性的電壓包括該些資料線之複數個第二極性顯示資料的電壓。

【0005】 本發明更提出一種液晶顯示裝置之時脈產生電路之操作方法，時脈產生電路包括一電荷分享開關單元、一第一電容、一第一開關、一第二開關、一第三開關以及一第四開關，電荷分享開關單元電性耦接於複數個資料線以及複數個畫素單元之間，係用以輸出一第一極性的電壓至電荷分享開關單元之一輸出端，第一極性的電壓包括該些資料線之複數個第一極性顯示資料的電壓，第一電容之第一端與電荷分享開關單元之輸出端電性耦接，第一開關電性耦接於第一低電壓準位與時脈產生電路之輸出端之間，第二開關電性耦接於第二低電壓準位以及時脈產生電路之輸出端之間，第三開關電性耦接於第一電容之第一端以及時脈產生電路之輸出端之間，第四開關電性耦接於高電壓準位與時脈產生電路之輸出端之間，時脈產生電路之操作方法包括：第一電容儲存第一極性的電壓；導通該第一開關，輸出第一低電壓準位至時脈產生電路之輸出端；導通第二開關，輸出第二低電壓準位至時脈產生電路之輸出端；導通第四開關，輸出高電壓準位至時脈產生電路之輸出端；以及導通第一開關，輸出第一低電壓準位至時脈產生電路之該輸出端；其中，在第一開關導通後且第二開關導通前或第二開關導通後且第四開關導通

前，導通第三開關以輸出該第一電容儲存之第一極性的電壓至時脈產生電路之該輸出端。

【0006】 由於本發明之液晶顯示裝置之時脈產生電路是利用傳送至畫素單元顯示之顯示資料的電壓來進行電荷分享以輸出一時脈訊號，因此本發明之時脈產生電路可大幅減少驅動時脈訊號所需電壓，因此能有效達到省電的功效。

【圖式簡單說明】

【0007】

圖 1A 為本發明之時脈產生電路幀反轉實施例一。

圖 1B 為本發明之時脈產生電路幀反轉實施例二。

圖 1C 為本發明時脈產生電路幀反轉之畫素單元極性示意圖。

圖 1D 為本發明之時脈產生電路幀反轉實施例一之訊號時序示意圖。

圖 1E 為本發明之時脈產生電路幀反轉實施例二之訊號時序示意圖。

圖 2A 為本發明之時脈產生電路點反轉實施例一。

圖 2B 為本發明之時脈產生電路點反轉實施例二。

圖 2C 為本發明之時脈產生電路點反轉之畫素單元極性示意圖。

圖 2D 為本發明之時脈產生電路點反轉之訊號時序示意圖。

圖 3A 為本發明之時脈產生電路行反轉實施例一。

圖 3B 為本發明之時脈產生電路行反轉實施例二。

圖 3C 為本發明之時脈產生電路行反轉之畫素單元極性示意圖。

圖 3D 為本發明之時脈產生電路行反轉之訊號時序示意圖。

圖 4 為本發明之液晶顯示裝置之時脈產生電路操作方法示意圖。

【實施方式】

【0008】 請參閱圖 1A 以及圖 1B，圖 1A 以及圖 1B 為本發明之液晶顯示裝置之時脈產生電路之實施例一，其可應用於畫素單元 13 為幀反轉(Frame inversion)模式，也就是如圖 1C 所示之反轉模式，每一幀之每一畫素單元 13 之顯示資料極性皆相同，如圖 1C 中第一圖框 Frame1 中之畫素單元 13 皆為正極性，而在第二圖框 Frame2 中之畫素單元 13 則皆為負極性，相鄰兩幀之顯示資料極性為相反，即第一圖框 Frame1 與第二圖框 Frame2 中畫素單元 13 之顯示資料極性為相反。

【0009】 請再參閱圖 1A，時脈產生電路 10 包括一電荷分享開關單元 11，電荷分享開關單元 11 透過複數個資料線 121 與一資料驅動單元 12 電性耦接，用以接收資料驅動單元 12 所輸出之複數個第一極性顯示資料，在此實施例中，第一極性顯示資料為正極性。電荷分享開關單元 11 更與複數個畫素單元 13 電性耦接，以將所接收之第一極性顯示資料傳送至複數個畫素單元 13 上顯示。電荷分享開關單元 11 更用以接收一第一控制訊號 CS1，並根據第一控制訊號 CS1 將複數個畫素單元 13 所接收之第一極性顯示資料的電壓輸出至電荷分享開關單元 11 之輸出端，輸出具有多個第一極性顯示資料的第

一極性的電壓。

【0010】 電荷分享開關單元 11 更包括複數個開關 S7，在此實施例中，每一個開關 S7 皆具有一第一端以及一第二端，每一開關 S7 之第一端與一畫素單元 13 電性耦接，開關 S7 並根據電荷分享開關單元 11 所接收之第一控制訊號 CS1 使每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接。

【0011】 時脈產生電路 10 更包括一開關 S1，開關 S1 係電性耦接於電容 C1、電容 C2 以及電荷分享開關單元 11 之輸出端之間，開關 S1 具有第一端以及第二端，開關 S1 之第一端與電荷分享開關單元 11 之輸出端電性耦接，開關 S1 並根據一極性控制訊號 Pol 使開關 S1 之第二端與電容 C1 或電容 C2 電性耦接，以將第一極性的電壓儲存於電容 C1 或者將第二極性的電壓儲存於電容 C2。

【0012】 電容 C1 具有一第一端以及一第二端，電容 C1 之第一端係用以與開關 S1 的第二端電性耦接，電容 C1 之第二端係用以與第一低電壓準位 GND 電性耦接。電容 C2 亦具有一第一端以及一第二端，電容 C2 第一端也係用以與開關 S1 的第二端電性耦接，電容 C2 之第二端亦與第一低電壓準位 GND 電性耦接。

【0013】 時脈產生電路 10 更包括一開關 S2，開關 S2 具有一第一端以及一第二端，開關 S2 之第一端與電容 C1 之第一端電性耦接，開關 S2 之第二端則與時脈產生電路之一輸出端 OUT 電性耦接，用以將電容 C1 所儲存之第一極性的電壓輸出為時脈訊號 CLK 之第一準位。

【0014】 時脈產生電路 10 更包括一開關 S3，開關 S3 其

具有一第一端以及一第二端，開關 S3 之第一端與電容 C2 之第一端電性耦接，開關 S3 之第二端則與時脈產生電路 10 之輸出端 OUT 電性耦接，用以將電容 C2 所儲存之第二極性的電壓輸出為時脈訊號 CLK 之第二準位。

【0015】 時脈產生電路 10 更包括一開關 S4，開關 S4 具有一第一端以及一第二端，開關 S4 之第一端與第一低電壓準位 GND 電性耦接，開關 S4 之第二端則與時脈產生電路 10 之輸出端 OUT 電性耦接，係用以將第一低電壓準位 GND 輸出為時脈訊號 CLK 之第一低準位。

【0016】 時脈產生電路 10 更包括一開關 S5，開關 S5 具有一第一端以及一第二端，開關 S5 之第一端與一高電壓準位 VGH 電性耦接，開關 S5 之第二端與時脈產生電路 10 之輸出端 OUT 電性耦接，係用以將高電壓準位 VGH 輸出為時脈訊號 CLK 之高準位。

【0017】 時脈產生電路 10 更包括一開關 S6，開關 S6 具有一第一端以及一第二端，開關 S6 之第一端與一第二低電壓準位 VGL 電性耦接，開關 S6 之第二端與時脈產生電路 10 之輸出端 OUT 電性耦接，係用以將第二低電壓準位 VGL 輸出為時脈訊號 CLK 之第二低準位，且第二低電壓準位 VGL 之電壓準位低於第一低電壓準位 GND。

【0018】 圖 1B 則為畫素單元 13 之顯示資料皆為第二極性時之時脈產生電路 10 運作實施例，前述之第二極性為負極性。在圖 1B 中具有與圖 1A 相同元件符號之元件為相同。而本實施例與圖 1A 之實施例差別在於，開關 S7 是用以根據電荷分享開關單元 11 所接收之第二控制訊號 CS2 使每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端或該些資料線

121 電性耦接。

【0019】 接著將配合圖 1A 以及圖 1D 來說明圖 1A 實施例之運作方法。首先請先參考圖 1D，圖 1D 為本實施例之訊號時序圖，其包括極性控制訊號 Pol、第一控制訊號 CS1、第二控制訊號 CS2、開關 S2 之控制訊號 SS2、開關 S3 之控制訊號 SS3、開關 S4 之控制訊號 SS4、開關 S5 之控制訊號 SS5 以及開關 S6 之控制訊號 SS6，且由於本實施例之畫素單元 13 為幀反轉模式，每一列之畫素單元 13 之顯示資料皆具有相同之極性，故在每一列畫素單元 13 欲執行時脈產生電路 10 之電荷分享時僅需要一個控制訊號即可完成。當當前顯示畫面之顯示資料為第一極性時，極性控制訊號 Pol 為高電壓電位，此時每一畫素單元 13 透過資料線 121 接收第一極性顯示資料，且每一開關 S7 係根據第一控制訊號 CS1 決定是否將每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端導通。當每一畫素單元 13 接收到第一極性顯示資料且第一控制訊號 CS1 為高電壓電位時，開關 S7 之第二端由與資料線 121 導通之狀態切換為與電荷分享開關單元 11 之輸出端導通，故電荷分享開關單元 11 之輸出端會輸出包括多個第一極性資料電壓的第一極性的電壓，而此時極性控制訊號 Pol 為高電壓電位，因此開關 S1 也根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C1 之第一端導通，使第一極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C1 中。

【0020】 在下一列之畫素單元 13 開啟前且第一極性顯示資料的電壓已儲存至電容 C1 後，時脈產生電路 10 將利用開關 S2、開關 S3、開關 S4、開關 S5 以及開關 S6 來進行電荷分享以輸出用以驅動下一列畫素單元 13 之時脈訊號 CLK。首

先在時脈訊號 CLK 標記 T1 之期間，開關 S6 之控制訊號 SS6 為高電壓電位，因此導通開關 S6，使第二低電壓準位 VGL 輸出為時脈訊號 CLK 之第二低準位，如圖 1D 時脈訊號 CLK 所標示之 V1，再來在時脈訊號 CLK 標記 T2 之期間，開關 S4 之控制訊號 SS4 為高電壓電位，因此導通開關 S4，輸出第一低電壓準位 GND，使時脈訊號 CLK 之電壓準位上升至第一低準位，如圖 1D 時脈訊號 CLK 所標示之 V2。接著在時脈訊號 CLK 標記 T3 之期間，開關 S2 之控制訊號 SS2 為高電壓電位，因此導通開關 S2，輸出儲存於電容 C1 之第一極性的電壓，使時脈訊號 CLK 之電壓準位上升至第一準位，如圖 1D 時脈訊號 CLK 所標示之 V3，再來在時脈訊號 CLK 標記 T4 之期間，開關 S5 之控制訊號 SS5 為高電壓電位，因此導通開關 S5，輸出高電壓準位 VGH，使時脈訊號 CLK 之電壓準位上升至高準位，如圖 1D 所標示之 V4，最後在時脈訊號 CLK 標記 T5 之期間，開關 S6 之控制訊號 SS6 再次為高電壓電位，因此再次導通開關 S6，使第二低電壓準位 VGL 再次輸出為時脈訊號 CLK 之第二低準位，即時脈產生電路 10 完成用以驅動下一列畫素單元 13 之時脈訊號 CLK，而由於當前顯示畫面之顯示資料為第一極性且僅與電容 C1 進行電荷分享，因此開關 S3 在此實施例中不導通。

【0021】 而當液晶顯示裝置顯示完圖 1C 所述之第一圖框 Frame1 後，接著將顯示其顯示資料皆為第二極性之第二圖框 Frame2，故以下將配合圖 1B 以及圖 1E 來說明本實施例在第二圖框 Frame2 之運作方法。首先請先參考圖 1E，圖 1E 包括本實施例之訊號時序圖，其包括極性控制訊號 Pol、第一控制訊號 CS1、第二控制訊號 CS2、開關 S2 之控制訊號 SS2、開

關 S3 之控制訊號 SS3、開關 S4 之控制訊號 SS4、開關 S5 之控制訊號 SS5 以及開關 S6 之控制訊號 SS6。當當前顯示畫面之顯示資料為第二極性時，極性控制訊號 Pol 為低電壓電位，此時每一畫素單元 13 由複數個資料線 121 接收第二極性顯示資料，且每一開關 S7 根據第二控制訊號 CS2 將每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端導通，因此當每一畫素單元 13 接收到第二極性顯示資料且第二控制訊號 CS2 為高電壓電位時，電荷分享開關單元 11 之輸出端即輸出包括多個第二極性資料電壓的第二極性的電壓，而此極性控制訊號 Pol 為低電壓電位，因此開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C2 之第一端導通，使第二極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C2 中。

【0022】 在下一列之畫素單元 13 開啟前且顯示資料的電壓已儲存至電容後，時脈產生電路 10 將利用圖 1B 所述之開關 S2、開關 S3、開關 S4、開關 S5 以及開關 S6 來進行電荷分享以輸出用以驅動下一列畫素單元 13 之時脈訊號 CLK。首先在時脈訊號 CLK 標記 T1 之期間，開關 S6 之控制訊號 SS6 為高電壓電位，因此導通開關 S6，使第二低電壓準位 VGL 輸出為時脈訊號 CLK 之第二低準位，如圖 1E 時脈訊號 CLK 所標示之 V1，接著在時脈訊號 CLK 標記 T2 之期間，開關 S3 之控制訊號 SS3 為高電壓電位，因此導通開關 S3，輸出第二極性的電壓，使時脈訊號 CLK 之電壓準位上升至第二準位，如圖 1E 時脈訊號 CLK 所標示之 V2，再來在時脈訊號 CLK 標記 T3 之期間，開關 S4 之控制訊號 SS4 為高電壓電位，因此導通開關 S4，輸出第一低電壓準位 GND，使時脈訊號 CLK 之電壓準位上升至第一低準位，如圖 1E 時脈訊號 CLK 所標

示之 V3。在時脈訊號 CLK 標記 T4 之期間，開關 S5 之控制訊號 SS5 為高電壓電位，因此導通開關 S5，輸出高電壓準位 VGH，使時脈訊號 CLK 之電壓準位上升至高準位，如圖 1E 時脈訊號 CLK 所標示之 V4，最後在時脈訊號 CLK 標記 T5 之期間，開關 S6 之控制訊號 SS6 再次為高電壓電位，因此再次導通開關 S6，使第二低電壓準位 VGL 再次輸出為時脈訊號 CLK 之第二低準位，即時脈產生電路 10 完成用以驅動下一列畫素單元之時脈訊號 CLK，而由於當前顯示畫面之顯示資料為第二極性且僅與電容 C2 進行電荷分享，因此開關 S2 在此實施例中不導通。

【0023】 圖 2A 及圖 2B 為本發明之液晶顯示裝置之時脈產生電路之實施例二，其為應用於畫素單元 13 為點反轉(Dot inversion)模式，也就是如圖 2C 中第一圖框 Frame1 以及第二圖框 Frame2 所示之反轉模式，每一幀之相鄰的畫素單元 13 之顯示資料極性不相同，同一畫素單元 13 在相鄰兩幀之顯示資料極性為相反，其中，在圖 2A 中具有與圖 1A 相同元件符號之元件為相同。而圖 2A 與圖 1A 之實施例差別在於，電荷分享開關單元 11 更包括複數個開關 S7 以及複數個開關 S8，開關 S7 以及開關 S8 並根據點反轉模式彼此交錯排列，且由於本實施例之畫素單元 13 之驅動方式為點反轉模式，因此在同一列中的畫素單元 13 會具有不同極性之顯示資料，故在本實施例中將以第一控制訊號 CS1 以及第二控制訊號來執行時脈產生電路 10 之電荷分享。

【0024】 請先參閱圖 2A，圖 2A 之畫素單元 13 的顯示資料的極性並以圖 2C 中第一圖框 Frame1 之第一列顯示資料極性為實施例。在本實施例中，每一個開關 S7 皆具有一第一端

以及一第二端，每一開關 S7 之第一端與部分畫素單元 13 電性耦接，其中與開關 S7 電性耦接之畫素單元 13 係用以接收第一極性顯示資料，開關 S7 並根據電荷分享開關單元 11 所接收之第一控制訊號 CS1 使每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接。而每一個開關 S8 皆具有一第一端以及一第二端，每一開關 S8 之第一端與另一部分的畫素單元 13 電性耦接，其中與開關 S8 電性耦接之畫素單元 13 係用以接收第二極性顯示資料，開關 S8 並根據電荷分享開關單元 11 所接收之第二控制訊號 CS2 使每一開關 S8 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接，其中第一極性為正極性，第二極性為負極性。

【0025】 接著將配合圖 2D 來說明本實施例之運作方法。首先請先參考圖 2D，圖 2D 與圖 1D 相同，為本實施例之訊號時序圖，其包括極性控制訊號 Pol、第一控制訊號 CS1、第二控制訊號 CS2、開關 S2 之控制訊號 SS2、開關 S3 之控制訊號 SS3、開關 S4 之控制訊號 SS4、開關 S5 之控制訊號 SS5 以及開關 S6 之控制訊號 SS6。當畫素單元 13 個別接收到第一極性顯示資料以及第二極性顯示資料且第一控制訊號 CS1 為高電壓電位時，每一開關 S7 根據第一控制訊號 CS1 將每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端電性耦接，使電荷分享開關單元 11 之輸出端輸出一包括多個第一極性顯示資料電壓的第一極性的電壓，而此時開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C1 之第一端導通，使第一極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C1 中。

【0026】 接著當第二控制訊號 CS2 為高電壓電位時，每一開關 S8 根據第二控制訊號 CS2 將每一開關 S8 之第二端與電荷分享開關單元 11 之輸出端電性耦接，使電荷分享開關單元 11 之輸出端輸出一包括多個第二極性資料電壓的第二極性的電壓，而此時開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C2 之第一端電性耦接，使第二極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C2 中。

【0027】 在下一列之畫素單元 13 開啟前且顯示資料的電壓已儲存至電容 C1 以及電容 C2 後，時脈產生電路 10 將利用圖 2A 之開關 S2、開關 S3、開關 S4、開關 S5 以及開關 S6 來進行電荷分享以輸出用以驅動下一列畫素單元 13 之時脈訊號。首先在時脈訊號 CLK 標記 T1 之期間，開關 S6 之控制訊號 SS6 為高電壓電位，因此導通開關 S6，使第二低電壓準位 VGL 輸出為時脈訊號 CLK 之第二低準位，如圖 2D 時脈訊號 CLK 所標示之 V1，接著在時脈訊號 CLK 標記 T2 之期間，開關 S3 之控制訊號 SS3 為高電壓電位，因此導通開關 S3，輸出第二極性的電壓，使時脈訊號 CLK 之電壓準位上升至第二準位，如圖 2D 時脈訊號 CLK 所標示之 V2，再來在時脈訊號 CLK 標記 T3 之期間，開關 S4 之控制訊號 SS4 為高電壓電位，因此導通開關 S4，輸出第一低電壓準位 GND，使時脈訊號 CLK 之電壓準位上升至第一低準位，如圖 2D 時脈訊號 CLK 所標示之 V3。接著在時脈訊號 CLK 標記 T4 之期間，開關 S2 之控制訊號 SS2 為高電壓電位，因此導通開關 S2，輸出儲存於電容 C1 之第一極性的電壓，使時脈訊號 CLK 之電壓準位上升至第一準位，如圖 2D 時脈訊號 CLK 所標示之 V4，之後在時脈訊號 CLK 標記 T5 之期間，開關 S5 之控制訊號 SS5 為

高電壓電位，因此導通開關 S5，輸出高電壓準位 VGH，使時脈訊號之電壓準位上升至高準位，如圖 2D 時脈訊號 CLK 所標示之 V5，最後在時脈訊號 CLK 標記 T6 之期間，開關 S6 之控制訊號 SS6 再次為高電壓電位，因此再次導通開關 S6，使第二低電壓準位 VGL 再次輸出為時脈訊號 CLK 之第二低準位，即完成用以驅動下一列畫素單元 13 之時脈訊號 CLK。

【0028】 接著，當要驅動下一列之畫素單元 13 時，由於此實施例係應用於畫素單元 13 為點反轉之驅動模式，因此顯示資料之極性會改變，而以下將以圖 2B 來說明其運作方式，圖 2B 之畫素單元 13 的顯示資料的極性並以圖 2C 中第一圖框 Frame1 之第二列顯示資料極性為實施例。

【0029】 在本實施例中，圖 2B 與圖 2A 之差別為與開關 S7 電性耦接之畫素單元 13 係用以接收第二極性顯示資料，開關 S7 並根據電荷分享開關單元 11 所接收之第二控制訊號 CS2 使每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接。而與開關 S8 電性耦接之畫素單元 13 係用以接收第一極性顯示資料，開關 S8 並根據電荷分享開關單元 11 所接收之第一控制訊號 CS1 使每一開關 S8 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接，其中第一極性為正極性，第二極性為負極性。

【0030】 接著將配合圖 2D 來說明本實施例之運作方法。當畫素單元 13 個別接收到第一極性顯示資料以及第二極性顯示資料且第一控制訊號 CS1 為高電壓電位時，每一開關 S8 根據第一控制訊號 CS1 將每一開關 S8 之第二端與電荷分享開關單元 11 之輸出端電性耦接，使電荷分享開關單元 11 之輸出端輸出一包括多個第一極性資料電壓的第一極性的電壓，而

此時開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C1 之第一端導通，使第一極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C1 中。

【0031】 接著當第二控制訊號 CS2 為高電壓電位時，每一開關 S7 根據第二控制訊號 CS2 將每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端電性耦接，使電荷分享開關單元 11 之輸出端輸出一包括多個第二極性資料電壓的第二極性的電壓，而此時開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C2 之第一端電性耦接，使第二極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C2 中。

【0032】 在下一列之畫素單元 13 開啟前且顯示資料的電壓已儲存至電容 C1 以及電容 C2 後，圖 2B 之時脈產生電路 10 將利用開關 S2、開關 S3、開關 S4、開關 S5 以及開關 S6 來進行電荷分享，以輸出用以驅動下一列畫素單元 13 之時脈訊號 CLK。首先在時脈訊號 CLK 標記 T1 之期間，開關 S6 之控制訊號 SS6 為高電壓電位，因此導通開關 S6，使第二低電壓準位 VGL 輸出為時脈訊號 CLK 之第二低準位，如圖 2D 時脈訊號 CLK 所標示之 V1，接著在時脈訊號 CLK 標記 T2 之期間，開關 S3 之控制訊號 SS3 為高電壓電位，因此導通開關 S3，輸出第二極性的電壓，使時脈訊號 CLK 之電壓準位上升至第二準位，如圖 2D 時脈訊號 CLK 所標示之 V2，再來在時脈訊號 CLK 標記 T3 之期間，開關 S4 之控制訊號 SS4 為高電壓電位，因此導通開關 S4，輸出第一低電壓準位 GND，使時脈訊號 CLK 之電壓準位上升至第一低準位，如圖 2D 時脈訊號 CLK 所標示之 V3。接著在時脈訊號 CLK 標記 T4 之期間，開關 S2 之控制訊號 SS2 為高電壓電位，因此導通開關 S2，

輸出儲存於電容 C1 之第一極性的電壓，使時脈訊號 CLK 之電壓準位上升至第一準位，如圖 2D 時脈訊號 CLK 所標示之 V4，之後在時脈訊號 CLK 標記 T5 之期間，開關 S5 之控制訊號 SS5 為高電壓電位，因此導通開關 S5，輸出高電壓準位 VGH，使時脈訊號之電壓準位上升至高準位，如圖 2D 時脈訊號 CLK 所標示之 V5，最後在時脈訊號 CLK 標記 T6 之期間，開關 S6 之控制訊號 SS6 再次為高電壓電位，因此再次導通開關 S6，使第二低電壓準位 VGL 再次輸出為時脈訊號 CLK 之第二低準位，即完成用以驅動下一列畫素單元 13 之時脈訊號 CLK。

【0033】 接著請參閱圖 3A 及圖 3B，圖 3A 與圖 3B 為本發明之液晶顯示裝置之時脈產生電路之實施例三，其應用於畫素單元 13 為行反轉(Column inversion)模式，而本實施例為 2 行反轉模式，也就是如圖 3C 中 第一圖框 Frame1 以及第二圖框 Frame2 所示之反轉模式，每一幀之畫素單元 13 為左右兩兩一組且極性相同，每組畫素單元 13 之顯示資料極性不相同，同一組之畫素單元 13 在相鄰兩幀之顯示資料極性為相反。其中，在圖 3A 中具有與圖 1A 相同元件符號之元件為相同。而本實施例與圖 1A 之實施例差別在於，電荷分享開關單元 11 更包括複數個開關 S7 以及複數個開關 S8，開關 S7 以及開關 S8 並根據 2 行反轉模式而兩兩一組，每組開關 S7 以及開關 S8 彼此交錯排列，且由於本實施例之畫素單元 13 之驅動方式為行反轉模式，因此在同一列中的畫素單元 13 會具有不同極性之顯示資料，故在本實施例中將以第一控制訊號 CS1 以及第二控制訊號來執行時脈產生電路 10 之電荷分享。

【0034】 請先參閱圖 3A，以下並配合圖 3C 中第一圖框

Frame1 之第一列之顯示資料極性為實施例來說明。每一個開關 S7 皆具有一第一端以及一第二端，每一開關 S7 之第一端與部分畫素單元 13 電性耦接，其中與開關 S7 電性耦接之畫素單元 13 係用以接收第一極性顯示資料，開關 S7 並根據電荷分享開關單元 11 所接收之第一控制訊號 CS1 使每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接，使電荷分享開關單元 11 輸出具有複數個第一極性顯示資料電壓之第一極性的電壓。而每一個開關 S8 皆具有一第一端以及一第二端，每一開關 S8 之第一端與另一部分的畫素單元 13 電性耦接，其中與開關 S8 電性耦接之畫素單元 13 係用以接收第二極性顯示資料，開關 S8 並根據電荷分享開關單元 11 所接收之第二控制訊號 CS2 使每一開關 S8 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接，使電荷分享開關單元 11 輸出具有複數個第二極性顯示資料電壓之第二極性的電壓，其中第一極性為正極性，第二極性為負極性。

【0035】 接著將配合圖 3D 來說明本實施例之運作方法，圖 3D 與圖 2D 相同，為本實施例之訊號時序圖，其包括極性控制訊號 Pol、第一控制訊號 CS1、第二控制訊號 CS2、開關 S2 之控制訊號 SS2、開關 S3 之控制訊號 SS3、開關 S4 之控制訊號 SS4、開關 S5 之控制訊號 SS5 以及開關 S6 之控制訊號 SS6。在本實施例中，當畫素單元 13 個別接收第一極性顯示資料以及第二極性顯示資料後，第一控制訊號 CS1 為高電壓電位時，每一開關 S7 會根據第一控制訊號 CS1 將每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端電性耦接，使電荷分享開關單元 11 之輸出端輸出一包括多個第一極性資料電

壓的第一極性的電壓，而此時極性控制訊號 Pol 為高電壓電位，因此開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C1 之第一端電性耦接，使第一極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C1 中。

【0036】 接著當第二控制訊號 CS2 為高電壓電位時，每一開關 S8 根據第二控制訊號 CS2 將每一開關 S8 之第二端與電荷分享開關單元 11 之輸出端電性耦接，使電荷分享開關單元 11 之輸出端輸出一包括多個第二極性資料電壓的第二極性的電壓，而此時極性控制訊號 Pol 為低電壓電位，因此開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C2 之第一端電性耦接，使第二極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C2 中。

【0037】 在下一列之畫素單元 13 開啟前且顯示資料的電壓已儲存至電容 C1 以及電容 C2 後，圖 3A 之時脈產生電路 10 將利用開關 S2、開關 S3、開關 S4、開關 S5 以及開關 S6 來進行電荷分享以輸出用以驅動下一列畫素單元 13 之時脈訊號。首先在時脈訊號 CLK 標記 T1 之期間，開關 S6 之控制訊號 SS6 為高電壓電位，因此導通開關 S6，使第二低電壓準位 VGL 輸出為時脈訊號 CLK 之第二低準位，如圖 3D 時脈訊號 CLK 所標示之 V1，接著在時脈訊號 CLK 標記 T2 之期間，開關 S3 之控制訊號 SS3 為高電壓電位，因此導通開關 S3，輸出第二極性的電壓，使時脈訊號 CLK 之電壓準位上升至第二準位，如圖 3D 時脈訊號 CLK 所標示之 V2，再來在時脈訊號 CLK 標記 T3 之期間，開關 S4 之控制訊號 SS4 為高電壓電位，因此導通開關 S4，輸出第一低電壓準位 GND，使時脈訊號 CLK 之電壓準位上升至第一低準位 GND 之電壓準位，如圖

3D 時脈訊號 CLK 所標示之 V3。接著在時脈訊號 CLK 標記 T4 之期間，開關 S2 之控制訊號 SS2 為高電壓電位，因此導通開關 S2，輸出儲存於電容 C1 之第一極性的電壓，使時脈訊號 CLK 之電壓準位上升至第一準位，如圖 3D 時脈訊號 CLK 所標示之 V4，在時脈訊號 CLK 標記 T5 之期間，開關 S5 之控制訊號 SS5 為高電壓電位，因此導通開關 S5，輸出高電壓準位 VGH，使時脈訊號 CLK 之電壓準位上升至高準位，如圖 3D 所標示之 V5，最後在時脈訊號 CLK 標記 T6 之期間，開關 S6 之控制訊號 SS6 再次為高電壓電位，因此再次導通開關 S6，使第二低電壓準位 VGL 再次輸出為時脈訊號 CLK 之第二低準位，完成用以驅動下一列畫素單元 13 之時脈訊號 CLK。

【0038】 接著，當要驅動下一列之畫素單元 13 時，由於此實施例係應用於畫素單元 13 為 2 行反轉之驅動模式，因此兩兩一組之顯示資料之極性會改變，而以下將以圖 3B 來說明其運作方式，圖 3B 之畫素單元 13 的顯示資料的極性並以圖 3C 中第一圖框 Frame1 之第二列顯示資料極性為實施例。

【0039】 在本實施例中，圖 3B 與圖 3A 之差別為與開關 S7 電性耦接之畫素單元 13 係用以接收第二極性顯示資料，開關 S7 並根據電荷分享開關單元 11 所接收之第二控制訊號 CS2 使每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接。而與開關 S8 電性耦接之畫素單元 13 係用以接收第一極性顯示資料，開關 S8 並根據電荷分享開關單元 11 所接收之第一控制訊號 CS1 使每一開關 S8 之第二端與電荷分享開關單元 11 之輸出端或該些資料線 121 電性耦接，其中第一極性為正極性，第二極性為負極性。

【0040】 接著將配合圖 3D 來說明本實施例之運作方法。

當畫素單元 13 個別接收第一極性顯示資料以及第二極性顯示資料後且第一控制訊號 CS1 為高電壓電位時，每一開關 S8 根據第一控制訊號 CS1 將每一開關 S8 之第二端與電荷分享開關單元 11 之輸出端電性耦接，使電荷分享開關單元 11 之輸出端輸出一包括多個第一極性資料電壓的第一極性的電壓，而此時極性控制訊號 Pol 為高電壓電位，因此開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C1 之第一端電性耦接，使第一極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C1 中。

【0041】 接著當第二控制訊號 CS2 為高電壓電位時，每一開關 S7 根據第二控制訊號 CS2 將每一開關 S7 之第二端與電荷分享開關單元 11 之輸出端電性耦接，使電荷分享開關單元 11 之輸出端輸出一包括多個第二極性資料電壓的第二極性的電壓，而此時極性控制訊號 Pol 為低電壓電位，因此開關 S1 根據極性控制訊號 Pol 將開關 S1 之第二端與電容 C2 之第一端電性耦接，使第二極性的電壓可在多個畫素單元 13 進行畫素電荷分享前儲存於電容 C2 中。

【0042】 在下一列之畫素單元 13 開啟前且顯示資料的電壓已儲存至電容 C1 以及電容 C2 後，圖 3B 之時脈產生電路 10 將利用開關 S2、開關 S3、開關 S4、開關 S5 以及開關 S6 來進行電荷分享以輸出用以驅動下一列畫素單元 13 之時脈訊號。首先在時脈訊號 CLK 標記 T1 之期間，開關 S6 之控制訊號 SS6 為高電壓電位，因此導通開關 S6，使第二低電壓準位 VGL 輸出為時脈訊號 CLK 之第二低準位，如圖 3D 時脈訊號 CLK 所標示之 V1，接著在時脈訊號 CLK 標記 T2 之期間，開關 S3 之控制訊號 SS3 為高電壓電位，因此導通開關 S3，輸

出第二極性的電壓，使時脈訊號 CLK 之電壓準位上升至第二準位，如圖 3D 時脈訊號 CLK 所標示之 V2，再來在時脈訊號 CLK 標記 T3 之期間，開關 S4 之控制訊號 SS4 為高電壓電位，因此導通開關 S4，輸出第一低電壓準位 GND，使時脈訊號 CLK 之電壓準位上升至第一低準位，如圖 3D 時脈訊號 CLK 所標示之 V3。接著在時脈訊號 CLK 標記 T4 之期間，開關 S2 之控制訊號 SS2 為高電壓電位，因此導通開關 S2，輸出儲存於電容 C1 之第一極性的電壓，使時脈訊號 CLK 之電壓準位上升至第一準位，如圖 3D 時脈訊號 CLK 所標示之 V4，在時脈訊號 CLK 標記 T5 之期間，開關 S5 之控制訊號 SS5 為高電壓電位，因此導通開關 S5，輸出高電壓準位 VGH，使時脈訊號 CLK 之電壓準位上升至高準位，如圖 3D 時脈訊號 CLK 所標示之 V5，最後在時脈訊號 CLK 標記 T6 之期間，開關 S6 之控制訊號 SS6 再次為高電壓電位，因此再次導通開關 S6，使第二低電壓準位 VGL 再次輸出為時脈訊號 CLK 之第二低準位，完成用以驅動下一列畫素單元 13 之時脈訊號 CLK。

【0043】 綜以上所述，可彙整出本發明之液晶顯示裝置之時脈產生電路之操作方法，以下將配合圖 4 說明。

【0044】 首先在下一列之畫素單元 13 開啟前且當前畫素單元 13 尚未進行畫素電荷分享前將第一極性的電壓儲存至第一電容，將第二極性的電壓儲存至第二電容，如步驟 401；接著首先導通開關 S6，輸出第二低電壓準位 VGL 至時脈產生電路之輸出端 OUT，使時脈訊號 CLK 之電壓準位為第二低電壓準位 VGL，如步驟 402；接著導通開關 S3，輸出第二極性的電壓至時脈產生電路之輸出端 OUT，使時脈訊號 CLK 之電壓準位為第二極性的電壓，如步驟 403；接著導通開關 S4，輸

出第一低電壓準位至時脈產生電路之輸出端 OUT，使時脈訊號 CLK 之電壓準位為第一低電壓準位，如步驟 404；導通開關 S2，輸出第一極性的電壓時脈產生電路之輸出端 OUT，使時脈訊號 CLK 之電壓準位為第一極性的電壓，如步驟 405；導通開關 S5，輸出高電壓準位至時脈產生電路之輸出端 OUT，使時脈訊號 CLK 之電壓準位為高電壓準位，如步驟 406；最後再次導通開關 S6，使時脈訊號 CLK 之電壓準位再次回到第二低電壓準位 VGL，完成用以驅動下一列畫素單元 13 之時脈訊號 CLK，如步驟 407。

【0045】 由上述之內容可以得知，本發明所提出之液晶顯示裝置之時脈產生電路實施例可適於點反轉、幀反轉、2 行反轉等多種畫素單元驅動方式，又本發明之時脈產生電路實施例可利用畫素單元用以顯示之顯示資料的電壓來進行電荷分享，使本發明之時脈產生電路可大幅減少產生時脈訊號所需之電壓，有效達到省電的功效。

【0046】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟習此技術者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當視後付之申請專利範圍所界定者為準。

【符號說明】

【0047】

- 10 時脈產生電路
- 11 電荷分享開關單元
- 12 資料驅動單元
- 121 資料線

13 畫素單元

S1,S2,S3,S4,S5,S6,S7,S8 開關

Pol 極性控制訊號

CS1 第一控制訊號

CS2 第二控制訊號

C1,C2 電容

VGL 第二低電壓準位

GND 第一低電壓準位

VGH 高電壓準位

Frame1 第一圖框

Frame2 第二圖框

CLK 時脈訊號

401,402,403,404,405,406,407 步驟

SS1、SS2、SS3、SS4、SS5、SS6 開關控制訊號

申請專利範圍

1. 一種液晶顯示裝置之時脈產生電路，該時脈產生電路包括：

一電荷分享開關單元，具有一輸出端，該電荷分享開關單元並電性耦接於複數個資料線以及複數個畫素單元之間，該電荷分享開關單元係用以接收一第一控制訊號，並根據該第一控制訊號由該輸出端輸出一第一極性的電壓，該第一極性的電壓包括該些資料線之複數個第一極性顯示資料的電壓；

一第一電容，具有一第一端以及一第二端，該第一電容之該第一端係用以與該電荷分享開關之該輸出端電性耦接，該第一電容之該第二端係用以與一第一低電壓準位電性耦接；

一第一開關，具有一第一端以及一第二端，該第一開關之該第一端與該第一電容之該第一端電性耦接，該第一開關之該第二端與該時脈產生電路之一輸出端電性耦接；

一第二開關，具有一第一端以及一第二端，該第二開關之該第一端與一高電壓準位電性耦接，該第二開關之該第二端與該時脈產生電路之該輸出端電性耦接；

一第三開關，具有一第一端以及一第二端，該第三開關之該第一端與該第一低電壓準位電性耦接，該第三開關之該第二端與該時脈產生電路之該輸出端電性耦接；以及

一第四開關，具有一第一端以及一第二端，該第四開

關之該第一端與一第二低電壓準位電性耦接，該第四開關之該第二端與該時脈產生電路之該輸出端電性耦接。

2. 如請求項 1 所述之液晶顯示裝置之時脈產生電路，其中，該電荷分享開關單元更包括複數個第五開關，每一該第五開關具有一第一端以及一第二端，每一該第五開關之該第一端與該些畫素單元之其中之一電性耦接，該些第五開關並根據該第一控制訊號使每一該第五開關之該第二端與該電荷分享開關單元之該輸出端或該些資料線之其中之一電性耦接。

3. 如請求項 1 所述之液晶顯示裝置之時脈產生電路，其中，該時脈產生電路更包括：

一第六開關，其具有一第一端以及一第二端，該第六開關之該第二端與該時脈產生電路之該輸出端電性耦接；

一第二電容，其具有一第一端與一第二端，該第二電容之該第一端與該第六開關之該第一端電性耦接，該第二電容之該第二端與該第一低電壓準位電性耦接；

一第七開關，其電性耦接於該第一電容之該第一端以及該電荷分享開關單元之該輸出端之間，該第七開關具有一第一端以及一第二端，該第七開關之該第一端與該電荷分享開關單元之該輸出端電性耦接，該第七開關並根據一極性控制訊號使該第七開關之該第二端與該第一電容之該第一端或該第二電容之該第一

端電性耦接。

4. 如請求項 3 所述之液晶顯示裝置之時脈產生電路，其中，該電荷分享開關單元更用以接收一第二控制訊號，該電荷分享開關單元並根據該第二控制訊號由該電荷分享開關單元之該輸出端輸出一第二極性的電壓，該第二極性的電壓包括該些資料線之複數個第二極性顯示資料的電壓。
5. 如請求項 4 所述之時脈產生電路，其中，該電荷分享開關單元更包括複數個第八開關以及複數個第九開關，該些第八開關與具有該第一極性顯示資料之該些資料線電性耦接，該些第九開關與具有該第二極性顯示資料之該些資料線電性耦接，每一該第八開關具有一第一端以及一第二端，每一該第八開關之第一端與該些畫素單元之其中之一一電性耦接，該些第八開關根據該第一控制訊號使該些第八開關之該第二端與該電荷分享開關單元之該輸出端或該些資料線之其中之一一電性耦接，每一該第九開關具有一第一端以及一第二端，每一該第九開關之該第一端與該些畫素單元之其中之一一電性耦接，該些第九開關根據該第二控制訊號使該些第九開關之該第二端與該電荷分享開關單元之該輸出端或者該些資料線之其中之一一電性耦接。
6. 一種液晶顯示裝置之時脈產生電路之操作方法，該時

脈產生電路包括一電荷分享開關單元、一第一電容、一第一開關、一第二開關、一第三開關以及一第四開關，該電荷分享開關單元電性耦接於複數個資料線以及複數個畫素單元之間，係用以輸出一第一極性的電壓至該電荷分享開關單元之一輸出端，該第一極性的電壓包括該些資料線之複數個第一極性顯示資料的電壓，該第一電容之一第一端與該電荷分享開關單元之該輸出端電性耦接，該第一開關電性耦接於一第一低電壓準位與該時脈產生電路之一輸出端之間，該第二開關電性耦接於一第二低電壓準位以及該時脈產生電路之該輸出端之間，該第三開關電性耦接於該第一電容之該第一端以及該時脈產生電路之該輸出端之間，該第四開關電性耦接於一高電壓準位與該時脈產生電路之該輸出端之間，該時脈產生電路之操作方法包括：

該第一電容儲存該第一極性的電壓；

導通該第一開關，輸出該第一低電壓準位至該時脈產生電路之該輸出端；

導通該第二開關，輸出該第二低電壓準位至該時脈產生電路之該輸出端；

導通該第四開關，輸出該高電壓準位至該時脈產生電路之該輸出端；以及

導通該第一開關，輸出該第一低電壓準位至該時脈產生電路之該輸出端；

其中，在該第一開關導通後且該第二開關導通前或該第二開關導通後且該第四開關導通前，導通該第三開

關以輸出該第一電容儲存之該第一極性的電壓至該時脈產生電路之該輸出端。

7. 如請求項 6 所述之液晶顯示裝置之時脈產生電路之操作方法，當該第一極性為正極性，在該第二開關導通後且該第四開關導通前，導通該第三開關以輸出該第一電容儲存之該第一極性的電壓至該時脈產生電路之該輸出端。
8. 如請求項 6 所述之液晶顯示裝置之時脈產生電路之操作方法，當該第一極性為負極性，在該第一開關導通後且該第二開關導通前，導通該第三開關以輸出該第一電容儲存之該第一極性的電壓至該時脈產生電路之該輸出端。

圖式

105年1月29日修改替換頁

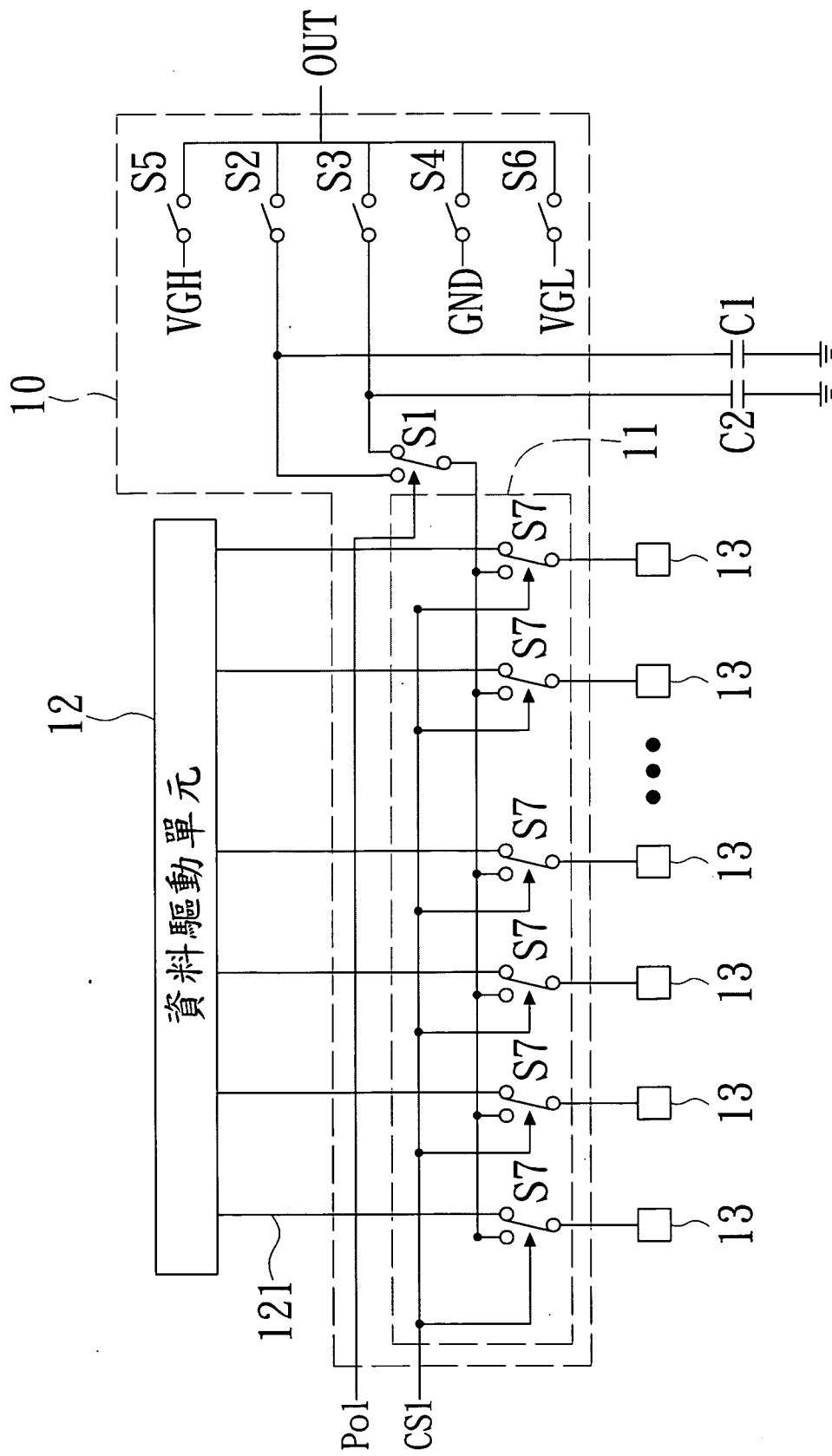


圖1A

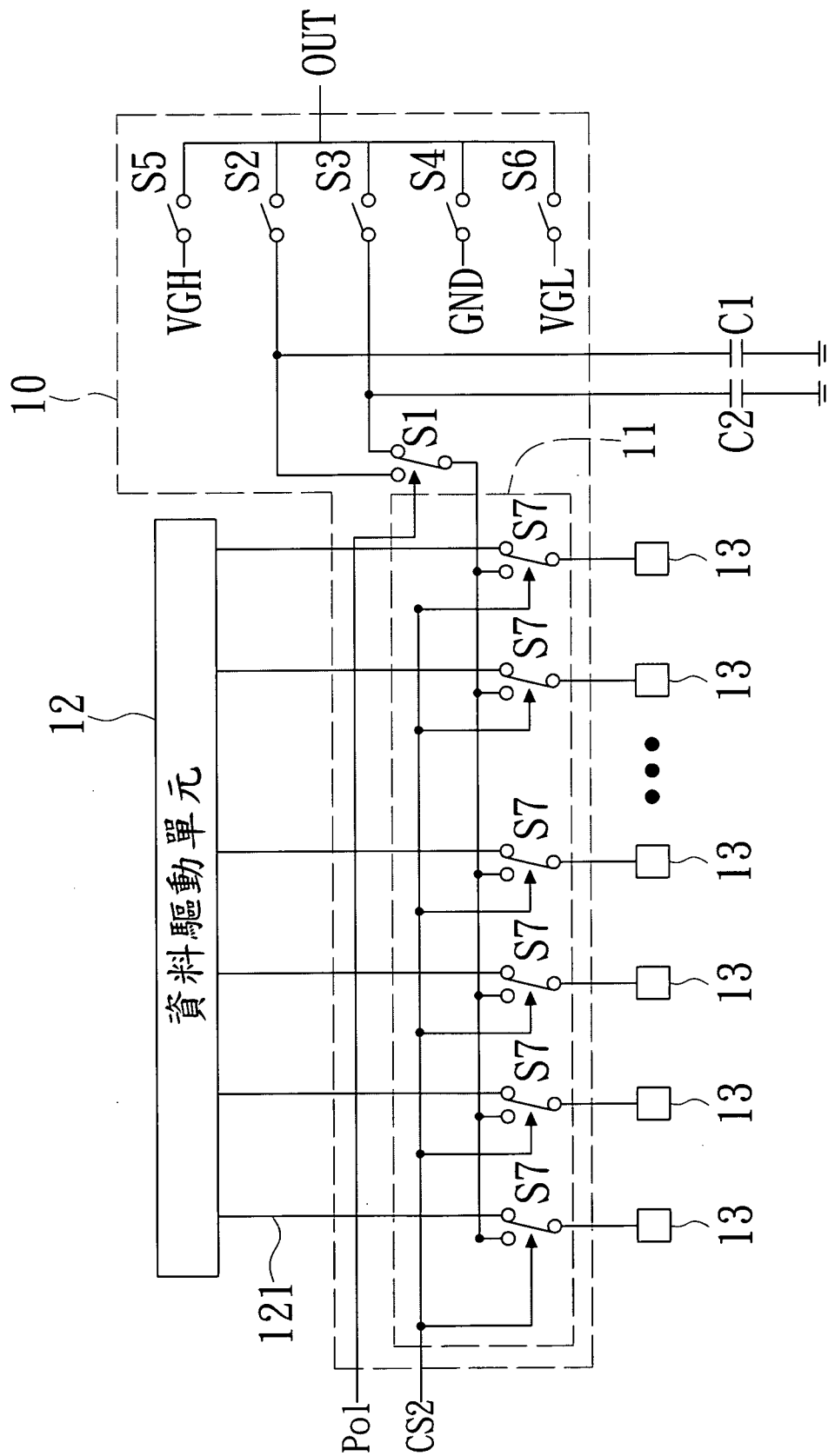
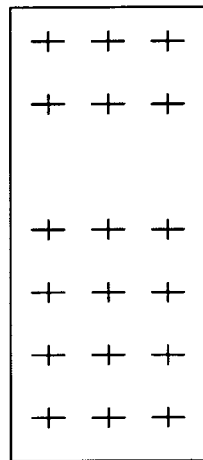
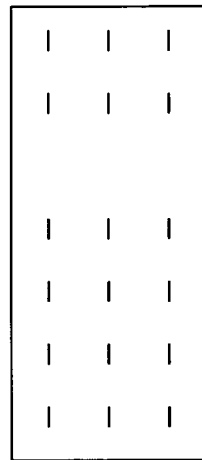


圖 1B



Frame1



Frame2

圖1C

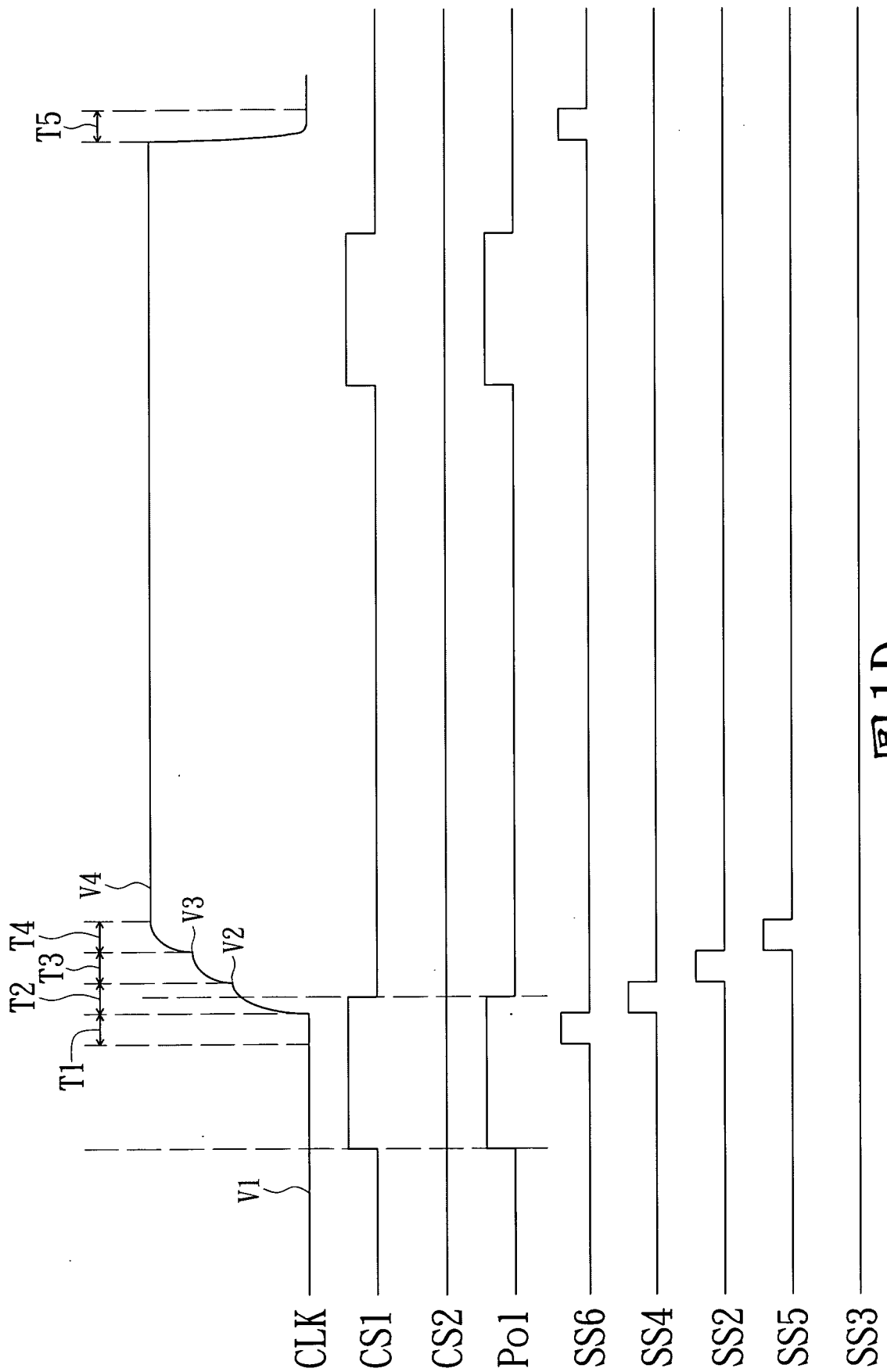


圖1D

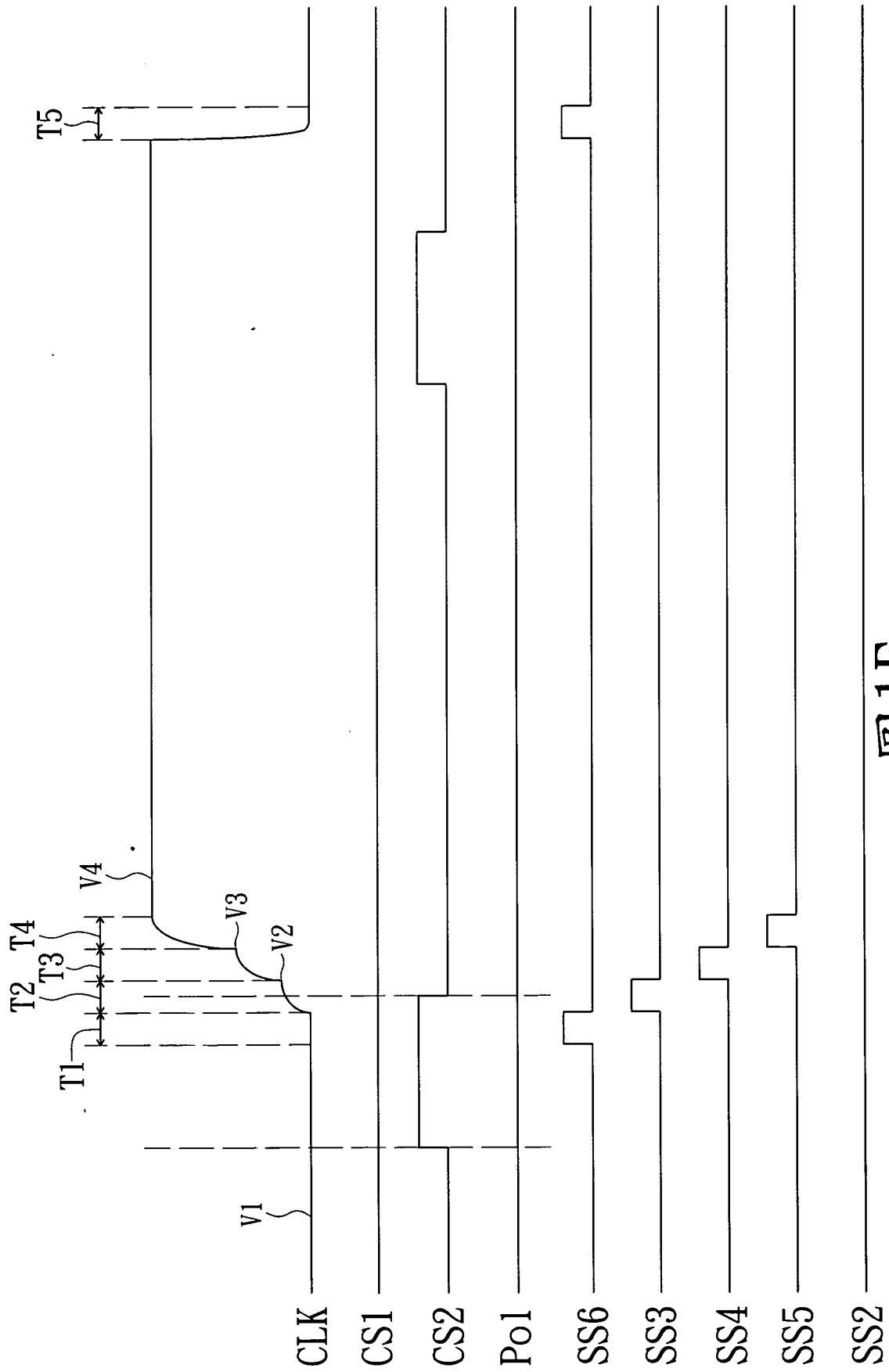


圖1E

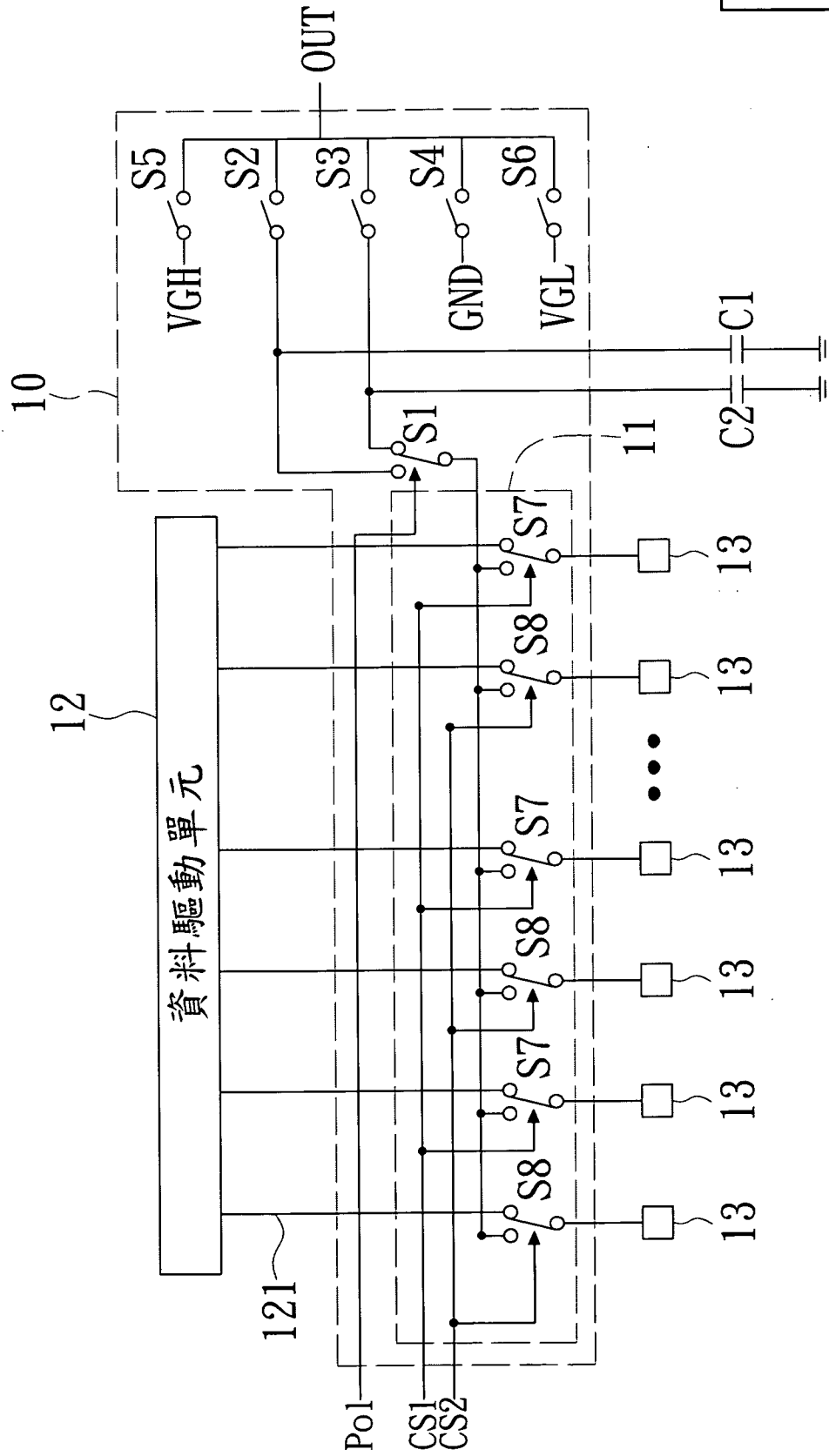


圖2A

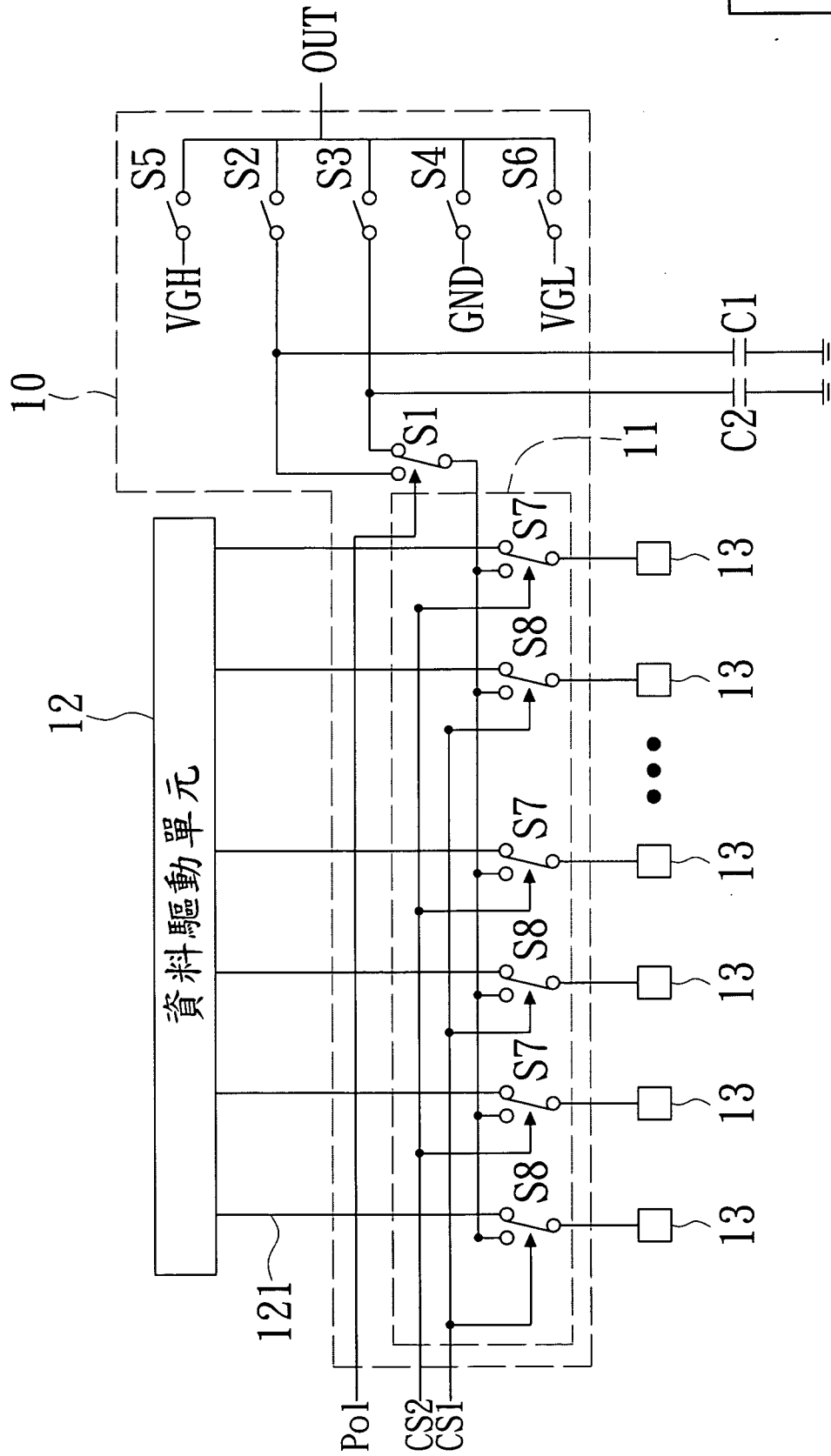


圖2B

+	-	+
-	+	-
+	-	+
-	+	-
+	-	+
-	+	-

Frame1

-	+	-
+	-	+
-	+	-
+	-	+
-	+	-
+	-	+

Frame2

圖2C

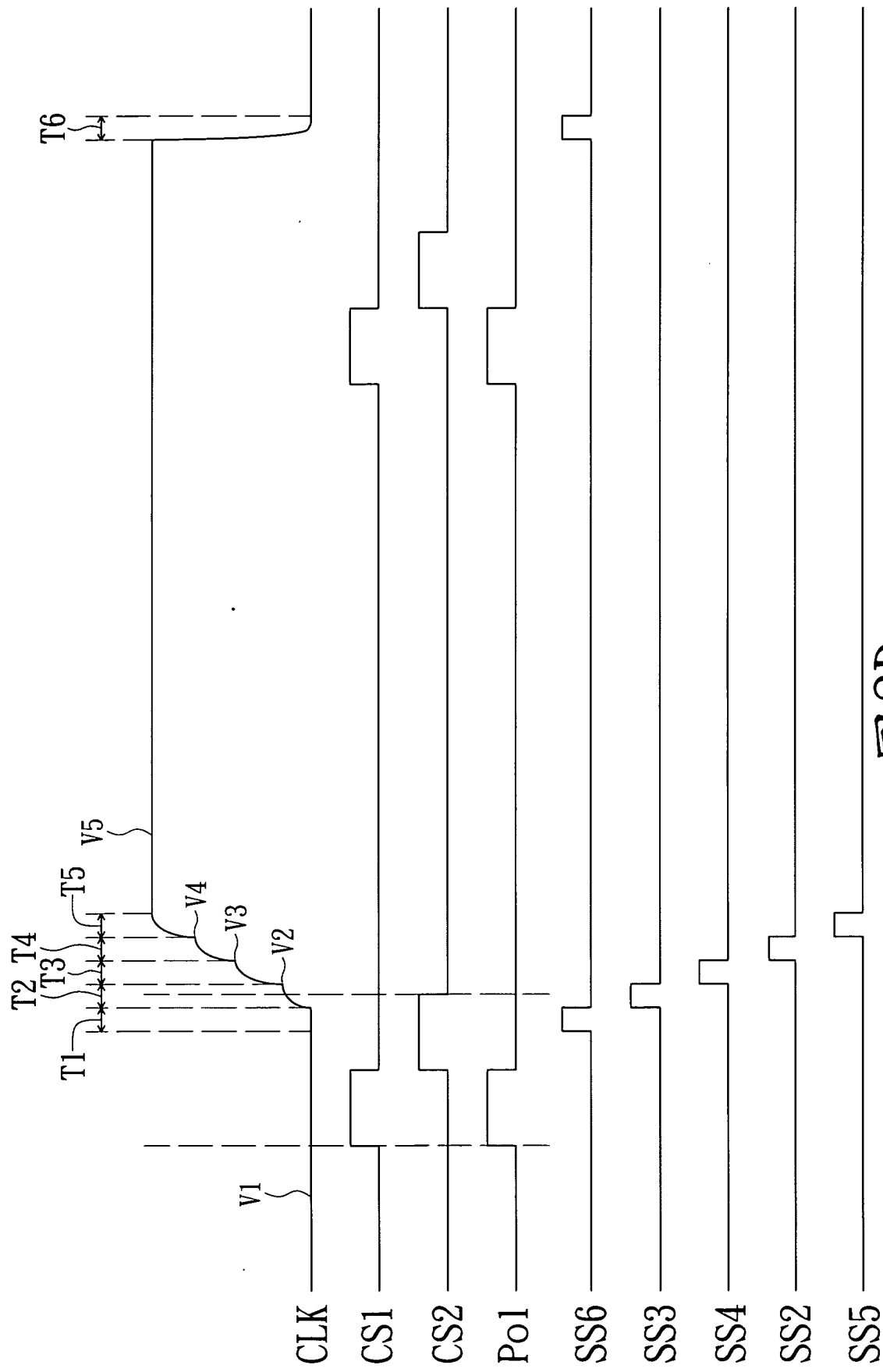


圖2D

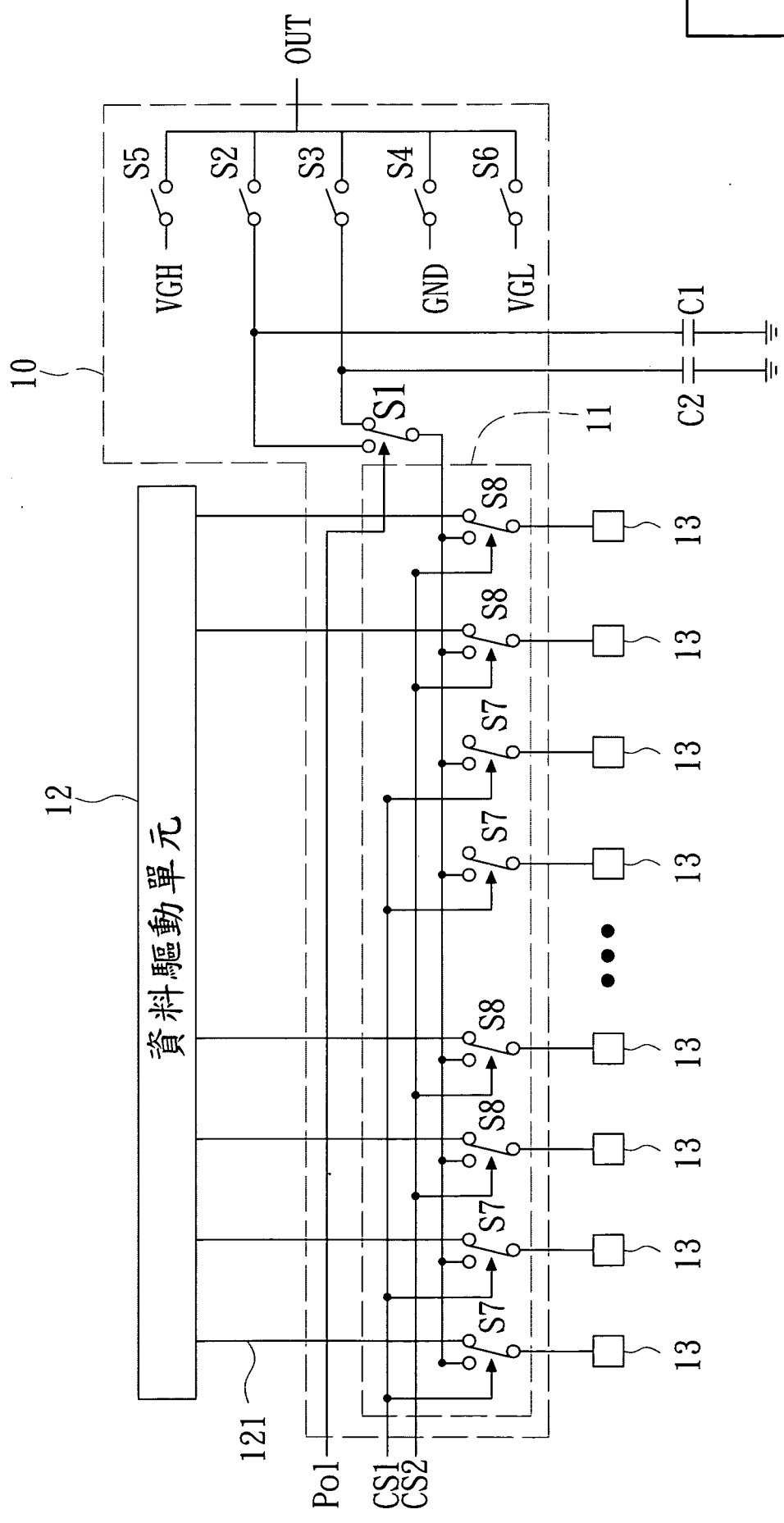


圖3A

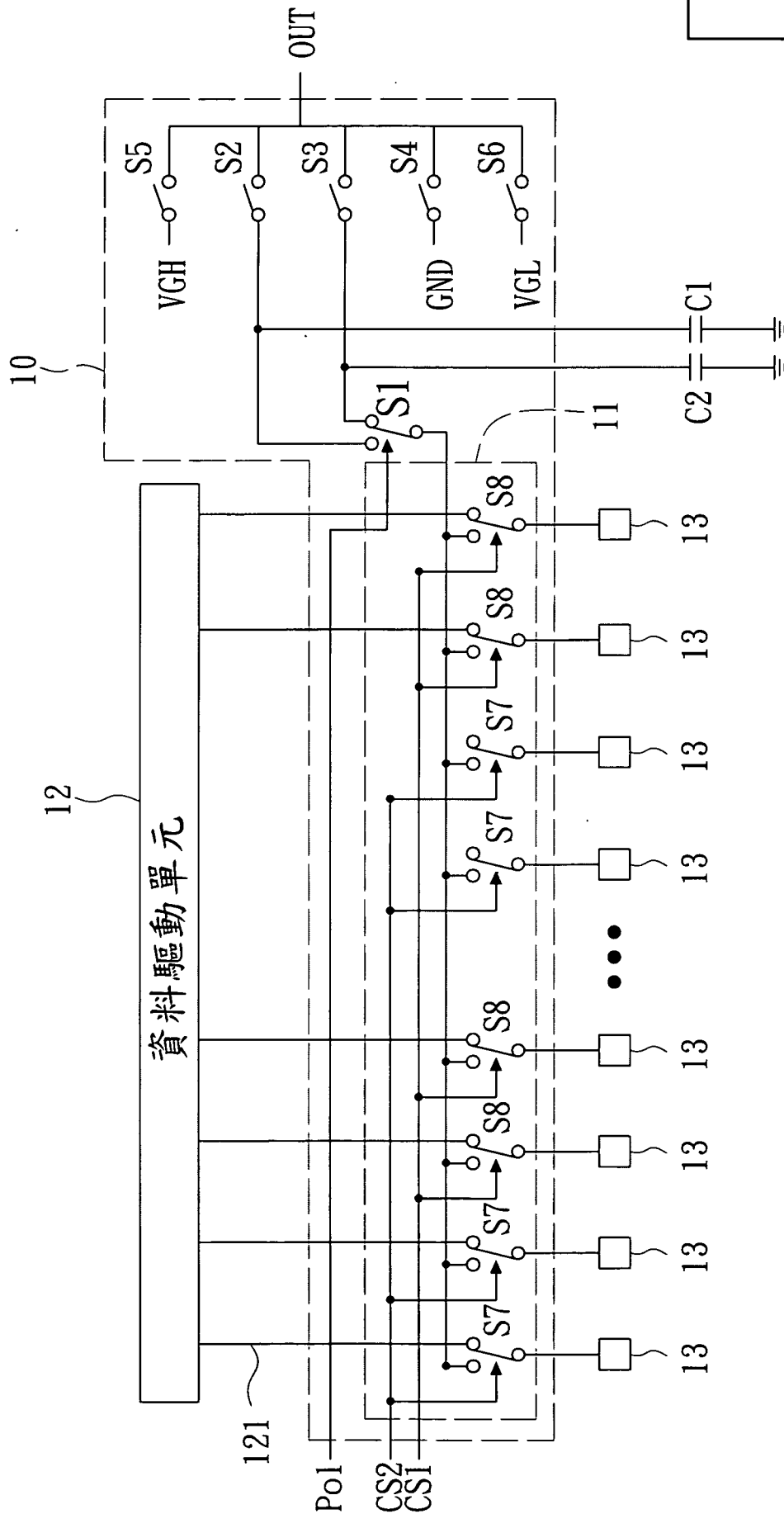
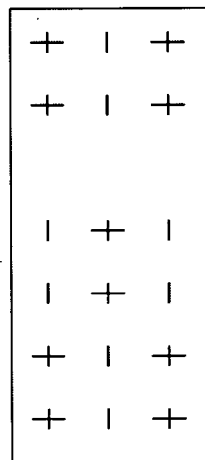
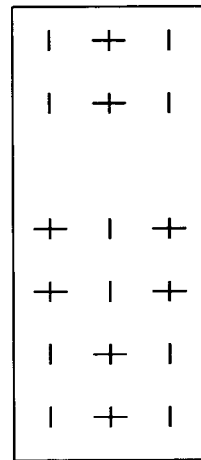


圖3B



Frame1



Frame2

圖3C

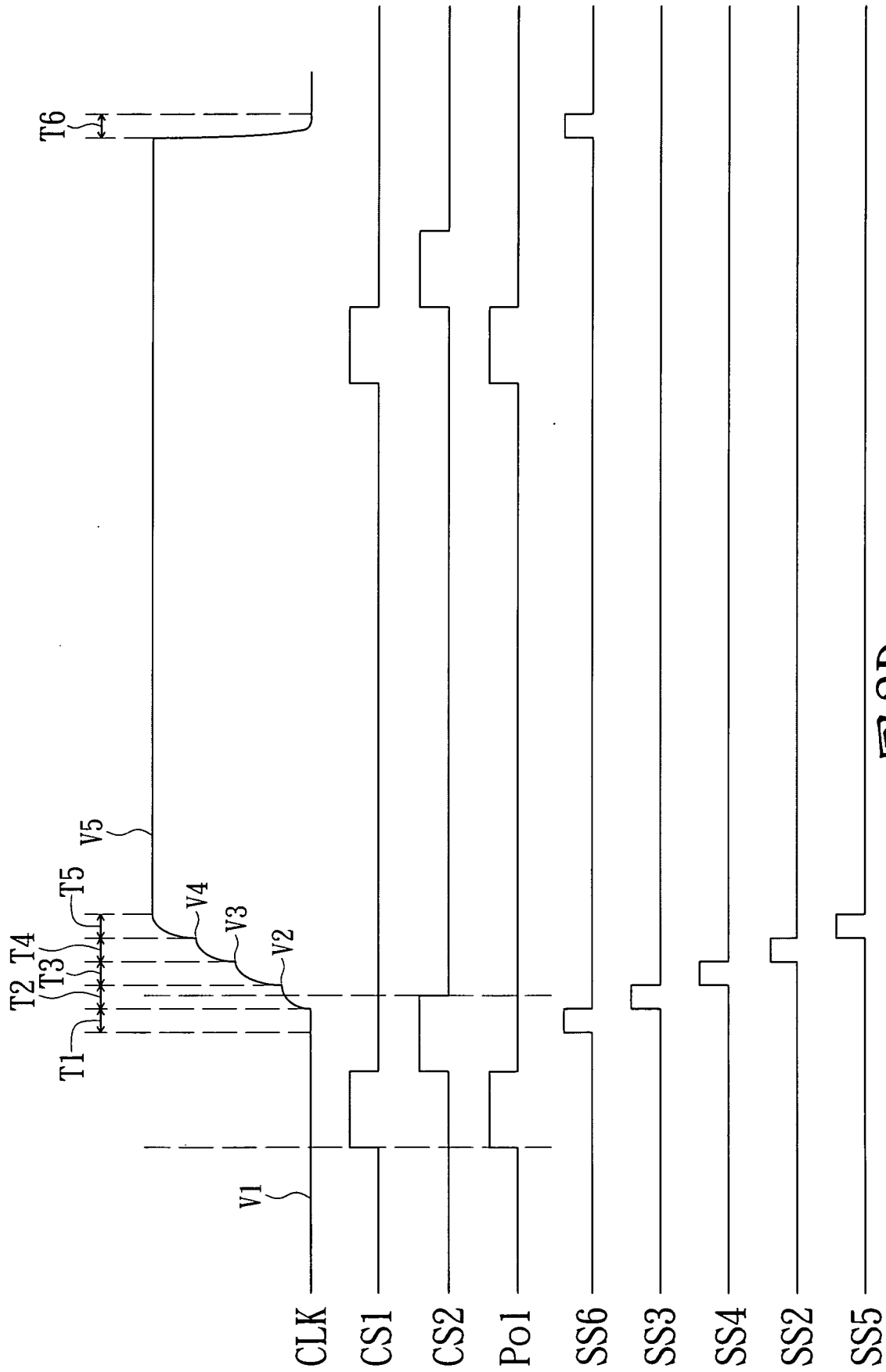


圖3D

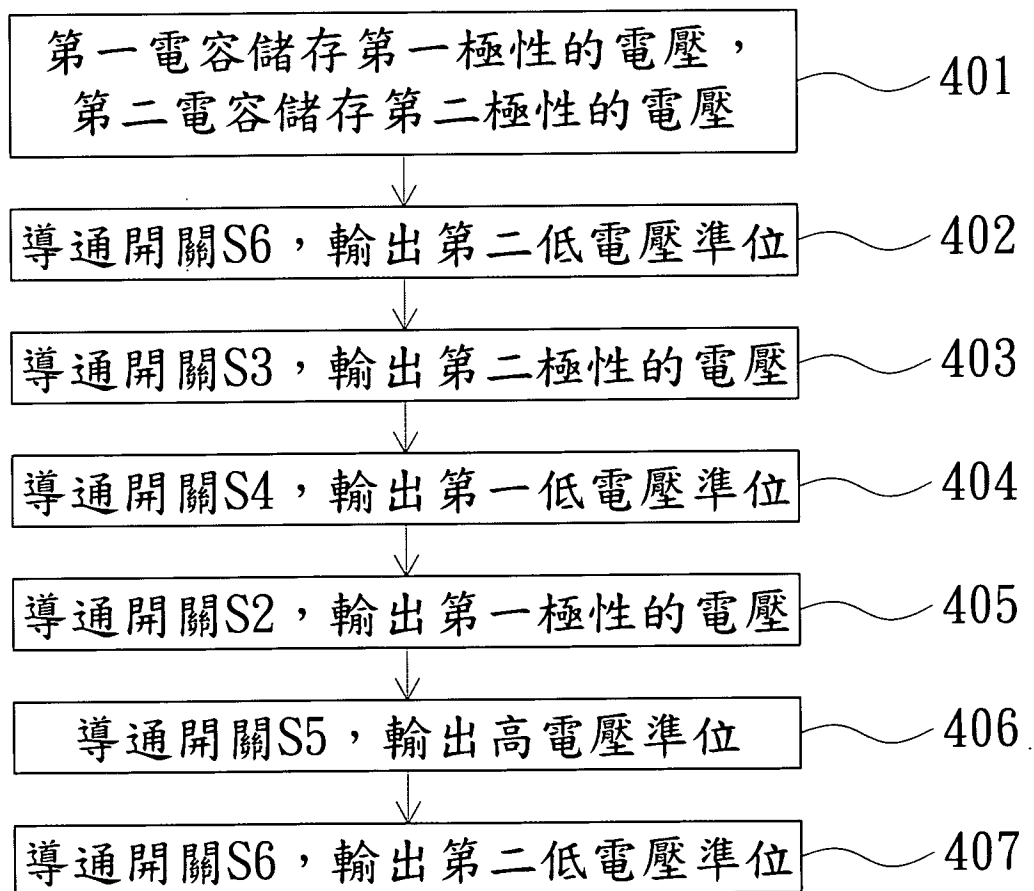


圖 4