(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월16일
(11) 등록번호 10-0846258
(24) 등록일자 2008년07월08일

(51) Int. Cl.
G09G 3/28 (2006.01)
(21) 출원번호 10-2003-7016284
(22) 출원일자 2003년12월12일
심사청구일자 2007년03월21일
번역문제출일자 2003년12월12일
(65) 공개번호 10-2004-0007709
(43) 공개일자 2004년01월24일
(86) 국제출원번호 PCT/JP2002/005576
국제출원일자 2002년06월06일
(87) 국제공개번호 WO 2002/101704
국제공개일자 2002년12월19일
(30) 우선권주장
JP-P-2001-00176581 2001년06월12일 일본(JP)
(56) 선행기술조사문헌
JP08044315 A*
JP12020024 A*
JP12148083 A*
JP11065517 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006
(72) 발명자
야마다가즈히로
일본국오오사카후다카츠키시츠노에쵸1-44-9
(74) 대리인
김영철

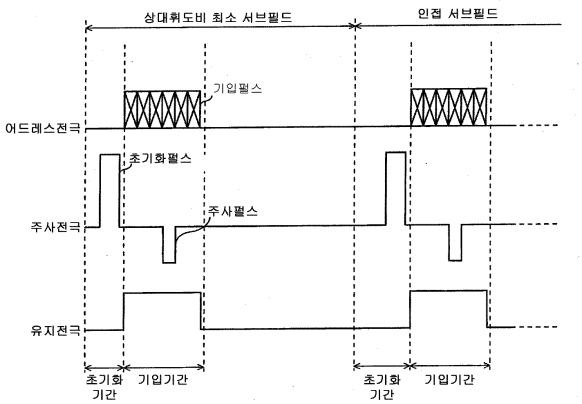
전체 청구항 수 : 총 6 항 심사관 : 김민수

(54) 플라즈마 디스플레이 패널 표시장치 및 그 구동방법

(57) 요 약

본 발명은 가중이 다른 복수의 서브필드에 의해 1 프레임을 구성하여 다계조표시를 행하는 PDP 표시장치의 구동방법으로서, 상대휘도비가 최소인 가중에 대응하는 서브필드에서는 초기화기간 및 기입기간의 2기간의 방전에 의해 표시를 행한다.

대표도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

복수의 셀이 배치된 PDP부를 구비하며, 가중이 다른 복수의 서브필드에 의해 1 프레임을 구성하여 다계조 표시를 행하는 PDP표시장치의 구동방법으로,

1 프레임 중에서 최소 및 2번째로 작은 가중의 서브필드에서는, 초기화기간 및 기입기간의 2 기간의 방전으로 표시하며,

최저 계조를 표시하려고 하는 영역에 대해서,

제 1 프레임 중의 최소의 가중에 대응하는 서브필드에서는, 기입기간에 최저 계조의 표시영역에서 선택한 제 1 셀 그룹에 대하여 방전시키고,

상기 1 프레임에 연속하는 제 2 프레임 중의 최소의 가중에 대응하는 서브필드에서는, 상기 최저계조의 표시영역에서, 상기 제 1 프레임 중의 최소의 가중에 대응하는 서브필드에서 방전시키지 않았던 제 2 셀 그룹을 방전시키는 PDP 표시장치의 구동방법.

청구항 4

제 3항에 있어서,

1 프레임 중에서 상대휘도비가 최소인 서브필드에 연속하는 다음의 서브필드에서는, 초기화기간에서 점차 증가하는 점증(漸增)형상을 갖는 초기화 펄스를 인가하는 것을 특징으로 하는 PDP 표시장치의 구동방법.

청구항 5

제 4항에 있어서,

상기 점증형상은 경사형, 계단형, 지수함수곡선형 및 삼각함수곡선형 중에서 선택된 형상인 것을 특징으로 하는 PDP 표시장치의 구동방법.

청구항 6

삭제

청구항 7

복수 쌍의 표시전극과 복수의 데이터전극이 방전공간을 사이에 두고 교차하도록 배치되고, 각 쌍의 표시전극과 각 데이터전극의 교차영역에 대응하여 셀이 배치된 PDP부를 구비하며, 가중이 다른 복수의 서브필드로 이루어지는 프레임을 갖는 구동파형 프로세스에 의거하여 임의의 쌍의 표시전극 및 임의의 데이터전극에 전압을 인가하여 PDP부를 구동하는 패널 구동부를 구비한 PDP 표시장치로,

1 프레임 중에서 최소 및 2번째로 작은 가중의 서브필드는 초기화기간 및 기입기간의 2 기간으로 구성되고, 상기 패널 구동부는 당해 양 기간에 맞춰서 데이터전극 및 복수의 표시전극 쌍에 전압을 인가하며,

최저 계조를 표시하려고 하는 영역에 대해서,

제 1 프레임 중의 최소의 가중에 대응하는 서브필드에서는, 최저 계조의 표시영역의 인접 셀을 기입기간에 하나 건너서 방전시키고,

상기 1 프레임에 연속하는 제 2 프레임 중의 최소의 가중에 대응하는 서브필드에서는, 상기 제 1 프레임 중의

최소의 가중에 대응하는 서브필드에서 방전시키지 않았던 셀을 방전시키는 PDP 표시장치.

청구항 8

제 7항에 있어서,

상기 PDP부는 1 프레임 중에서 상대휘도비가 최소인 서브필드에 연속하는 다음의 서브필드에서는, 초기화기간에서 점증형상을 포함하는 초기화펄스를 인가하는 구성인 것을 특징으로 하는 PDP 표시장치.

청구항 9

제 8항에 있어서,

상기 점증형상은 경사형, 계단형, 지수함수곡선형 및 삼각함수곡선형 중에서 선택된 형상인 것을 특징으로 하는 PDP 표시장치

명 세 서

기 술 분 야

<1> 본 발명은 플라즈마 디스플레이 패널 표시장치 및 그 구동방법에 관한 것이다.

배 경 기 술

<2> 플라즈마 디스플레이 패널(PDP) 표시장치는 2장의 박형의 전면유리패널 및 후면유리패널을 복수의 격벽을 개재하여 대향시키며, 이들 복수의 격벽의 사이에 각각 적색(R), 녹색(G) 및 청색(B)의 형광체층을 배치하고, 전면 및 후면유리패널의 간극인 방전공간에 방전가스를 봉입함으로써 구성된 PDP부를 구비한다. 전면유리패널 측에는 주사전극 및 유지전극을 한쌍으로 하는 표시전극이 복수쌍 형성되어 있다. 또한, 후면유리패널 측에는 방전공간을 사이에 두고 표시전극과 직교하도록 복수의 어드레스 전극이 나란히 설치되어 있다. 이들 각각의 전극에는 후술하는 서브필드에서, 예컨대 도 15에 나타내는 구동파형 프로세스에 기초하여 초기화펄스, 주사펄스, 기입펄스, 유지펄스 및 소거펄스 등의 각 펄스가 인가되고, 방전가스 중에 발생한 방전에 의해 형광발광한다. 이와 같은 구성을 갖는 PDP 표시장치는 대화면화하더라도 종래의 디스플레이의 CRT와 같이 폭 또는 중량이 크게 증대하지 않으며, 또한 시야각이 한정되지 않다는 점에서 우수하다.

<3> 이와 같은 PDP 표시장치는 대화면화 및 고선명화가 요구되고 있으며, 현재는 50인치 이상의 것이 상품화 되고 있다.

<4> 그러나, 텔레비전 영상을 디스플레이로 표시하는 경우, 아날로그 컬러 텔레비전 영상신호방식에서는 1초에 60프레임(필드)으로 구성된다. 원래 PDP 표시장치로는 기본적으로 점등 또는 소등 중 어느 하나로 밖에 영상을 표시할 수 없기 때문에, 도 16의 프레임 구성도에 나타낸 바와 같이 적색(R), 녹색(G) 및 청색(B)에 각각 대응하는 점등시간을 시분할하여, 예컨대 1(TV) 프레임을 구성하는 8개의 서브필드의 조합에 따라 복수의 계조표시를 행하여 중간색을 표시하는 방법이 사용되고 있다. 이 8개의 각 서브필드의 상대휘도비는 오름차순 1, 2, 4, 8, 16, 32, 64, 128과 같이 2진(binary)으로 가중되고, 이 8비트의 상대휘도비가 다른 가중의 조합에 의해, 예컨대 합계 256계조(0계조~255계조)를 표현한다. 또한, 실제 동작시에는 충분한 밝기를 확보하기 위해, 각 서브필드의 방전유기기간 내에 인가하는 유지펄스의 개수를 상기 가중에 거의 비례시키고 있다. 상기 상대휘도비의 순서는 3, 7, 15, 31, 63, 127, 255, 511이다(이하, 「0계조」「1계조」「2계조」~「8계조」 등은 합계 256계조 중에 포함되는 특정한 계조를 나타냄).

<5> PDP 표시장치는 상술한 특징을 갖지만, 저계조표시를 할 때에는 이하와 같은 문제점이 있다.

<6> 즉, 일반적으로 디스플레이에서는 계조표시가 저계조일수록 상대휘도비를 작게하는 것이 바람직하며, 이렇게 함으로써 어두운 계조표시를 원활하게 표현할 수 있다. 상기 합계 256계조 중 0계조와, 상대휘도비가 최소인 가중에 대응하는 1계조를 표시하는 경우, 그 계조차가 나타내는 휘도비가 CRT에서는 0cd/m^2에 근접하므로 원활한 계조표시가 가능하다. 그러나, PDP 표시장치에서는, 0계조표시와 1계조표시의 휘도비가 2cd/m^2 이상이므로, CRT와 같이 원활한 휘도변화를 표현하는 것이 곤란하다.

<7> 이에 대하여, 유지펄스의 비율을 저계조 측보다 낮게 설정하면, 1계조표시 시의 유지펄스에 의해 얻어지는 발광은 억제되지만, 초기화펄스, 기입펄스 및 소거펄스에 의한 발광이 남아있기 때문에 휘도를 크게 저하시킬 수 없

다. 또한, 오차확산처리(디더법(dither method))에 의해 의사적(擬似的)으로 계조표시를 시도하더라도, 계조가 본래 낮기 때문에 화면에 오차확산 노이즈로 인한 거친감이 현저하여, 오차확산의 유효한 효과를 얻을 수 없으므로, 오히려 화질이 열화하는 또 다른 문제점이 발생한다.

발명의 상세한 설명

<8> 본 발명은 상술한 문제점을 감안하여 이루어진 것으로, 다계조표시를 행할 때에, 특히 저계조표시를 할 때에 우수한 성능을 나타낼 수 있는 PDP 표시장치 및 그 구동방법을 제공하는 것을 목적으로 한다.

<9> 상술한 문제점을 해결하기 위해서, 본 발명은, 복수의 셀이 배치된 PDP부를 구비하며, 가중이 다른 복수의 서브필드에 의해 1 프레임을 구성하여 다계조 표시를 행하는 PDP표시장치의 구동방법으로, 1 프레임 중에서 최소 및 2번째로 작은 가중의 서브필드에서는, 초기화기간 및 기입기간의 2 기간의 방전으로 표시하며, 최저 계조를 표시하려고 하는 영역에 대해서, 제 1 프레임 중의 최소의 가중에 대응하는 서브필드에서는, 기입기간에 최저 계조의 표시영역에서 선택한 제 1 셀 그룹에 대하여 방전시키고, 상기 1 프레임에 연속하는 제 2 프레임 중의 최소의 가중에 대응하는 서브필드에서는, 상기 최저계조의 표시영역에서, 상기 제 1 프레임 중의 최소의 가중에 대응하는 서브필드에서 방전시키지 않았던 제 2 셀 그룹을 방전시키는 것으로 한다.

<10> 삭제

<11> 삭제

<12> 삭제

<13> 삭제

<14> 또, 본 발명은 1 프레임 중에서 상대휘도비가 최소인 서브필드에 연속하는 다음의 서브필드에서는, 초기화기간에서 점차 증가하는 점증(漸增)형상을 갖는 초기화펄스를 인가할 수 있다.

<15> 이 방법에 의하면, 상대휘도비가 최소인 가중에 대응하는 서브필드에 의한 벽전하를, 이것에 연속하는 다음의 서브필드의 초기화방전으로 점차 초기화할 수 있으므로, 밝은 오방전이 발생하는 것을 효과적으로 방지할 수 있기 때문에, 상대휘도비가 최소인 가중에 대응하는 계조표시로부터 다음의 계조표시로 원활하게 이행하는 것이 가능하므로, 표시성능이 양호해진다.

<16> 또, 초기화펄스의 점증형상은 경사형, 계단형, 지수함수곡선형 및 삼각함수곡선형 중에서 선택된 형상으로 할 수 있다.

<17> 또, 본 발명은, 복수 쌍의 표시전극과 복수의 데이터전극이 방전공간을 사이에 두고 교차하도록 배치되고, 각 쌍의 표시전극과 각 데이터전극의 교차영역에 대응하여 셀이 배치된 PDP부를 구비하며, 가중이 다른 복수의 서브필드로 이루어지는 프레임을 갖는 구동파형 프로세스에 의거하여 임의의 쌍의 표시전극 및 임의의 데이터전극에 전압을 인가하여 PDP부를 구동하는 패널 구동부를 구비한 PDP 표시장치로, 1 프레임 중에서 최소 및 2번째로 작은 가중의 서브필드는 초기화기간 및 기입기간의 2 기간으로 구성되고, 상기 패널 구동부는 당해 양 기간에 맞춰서 데이터전극 및 복수의 표시전극 쌍에 전압을 인가하며, 최저 계조를 표시하려고 하는 영역에 대해서, 제 1 프레임 중의 최소의 가중에 대응하는 서브필드에서는, 최저 계조의 표시영역의 인접 셀을 기입기간에 하나 건너서 방전시키고, 상기 1 프레임에 연속하는 제 2 프레임 중의 최소의 가중에 대응하는 서브필드에서는, 상기 제 1 프레임 중의 최소의 가중에 대응하는 서브필드에서 방전시키지 않았던 셀을 방전시키는 구성으로 할 수 있다.

실 시 예

<34> (제 1 실시예)

<35> 1-1. PDP 표시장치의 구성

<36> 제 1 실시예의 PDP 표시장치는 PDP부(1)와, 이 PDP부(1)를 구동시키는 패널구동부(20)로 구성된다.

<37> 도 12는 제 1 실시예의 교류면방전형 PDP부의 주요구성을 나타내는 부분적인 단면사시도이다. 도 12에서, z방향이 PDP부의 두께방향, xy평면이 PDP부의 패널면에 평행한 평면에 해당한다. 도 12에 나타낸 바와 같이, PDP부(1)는 서로 주면(主面)을 대향시켜 배치된 전면패널(FP) 및 후면패널(BP)로 구성된다.

<38> 전면패널(FP)의 기판인 전면유리패널(2)에는 그 한쪽의 주면에 한쌍으로 된 2개의 표시전극(주사전극(4), 유지전극(5))이 x방향을 따라 복수쌍이 나란하게 배치되고, 각각 한쌍의 표시전극(4, 5) 사이에서 면방전을 행하도록 되어 있다. 여기서, 표시전극(4, 5)은 일례로서 Ag에 유리를 혼합하여 소성함으로써 형성된 금속전극이지만, 각각 띠형상의 ITO로 이루어진 투명전극 상에 버스선을 배치한 구성이어도 된다.

<39> 주사전극(4)은 각각이 전기적으로 독립하여 전원이 공급되도록 되어 있다. 또한, 각각의 유지전극(5)은 각각이 모두 전기적으로 동일한 전위가 되도록 접속된다.

<40> 상기 표시전극(4, 5)을 배치한 전면유리패널(2)의 주면에는 절연성의 유리재료로 이루어진 유전체층(6)과 산화마그네슘(MgO)으로 이루어진 보호층(7)이 순차적으로 피복되어 있다.

<41> 후면패널(BP)의 기판인 후면유리패널(3)에는 그 한쪽 주면에 복수의 어드레스전극(11)이 y방향을 길이방향으로 하여 일정 간격마다 스트라이프 형상으로 배치되어 있다. 이 어드레스전극(11)은 Ag와 유리를 혼합하여 소성함으로써 형성된다.

<42> 어드레스전극(11)을 배치한 후면유리패널(3)의 주면에는 절연성재료로 이루어진 유전체층(10)이 피복되어 있다. 유전체층(10) 상에는 인접하는 2개의 어드레스전극(11)의 간극에 맞춰 격벽(8)이 배치된다. 그리고, 인접하는 2개의 격벽(8)의 각 측벽과 그 사이의 유전체층(10)의 면상에는 적색(R), 녹색(G) 및 청색(B) 중의 어느 하나에 대응하는 형광체층(9R, 9G, 9B)이 형성된다.

<43> 또한, 도 12에서는 형광체층(9R, 9G, 9B)의 x방향의 폭을 동일한 크기로 나타내고 있지만, 이들 각 형광체층의 휘도밸런스를 얻기 위해 특정색의 형광체층의 x방향의 폭을 더 넓게 할 수 있다.

<44> 이와 같은 구성을 갖는 전면패널(FP)과 후면패널(BP)은 어드레스전극(11)과 표시전극(4, 5)의 길이 방향이 직교하도록 서로 대향시킨다.

<45> 전면패널(FP)과 후면패널(BP)은 프릿유리 등의 저융점유리를 함유하는 봉입부재에 의해 각각의 외주부가 봉입되어, 양 패널(FP, BP)의 내부가 밀폐된다.

<46> 이와 같이 봉입된 전면패널(FP)과 후면패널(BP)의 내부에는 Xe 등의 희가스를 조성물로 함유하는 방전가스(봉입가스)가 소정의 압력(통상 40kPa~66.5kPa 정도)으로 봉입된다.

<47> 이에 따라, 전면패널(FP)과 후면패널(BP) 사이에는 유전체층(6)과 형광체층(9R, 9G, 9B) 및 인접하는 2개의 격벽(8)으로 구획된 공간이 방전공간(12)으로 형성된다. 또한, 인접하는 한쌍의 표시전극(4, 5)과 1개의 어드레스전극(11)이 방전공간(12)을 사이에 두고 교차하는 영역이 화상표시에 이용되는 셀(도시생략)이 된다. 여기서, 도 13은 PDP부의 복수쌍의 표시전극(4, 5)(N열)과 복수의 어드레스전극(11)(M행)을 형성하는 매트릭스를 나타낸다.

<48> PDP의 구동시 각 셀에서는, 어드레스전극(11)과 표시전극(4, 5) 중 어느 하나 사이에서 방전이 개시된다. 한쌍의 표시전극(4, 5) 사이의 방전에서는 단파장의 자외선(Xe 공명선, 파장이 약 147nm)이 발광하고, 형광체층(9R, 9G, 9B)은 이 자외선을 수광하여 가시광을 발광한다.

<49> 이하, PDP부를 구동하는 패널구동부의 구성에 대하여 설명한다. 도 14는 패널구동부의 구성도이다.

<50> 도 14에 나타내는 패널구동부(20)는 각각의 어드레스전극(11)과 접속된 어드레스 드라이버(203), 각각의 주사전극(4)과 접속된 주사 드라이버(201), 각각의 유지전극(5)과 접속된 유지 드라이버(202) 및 이들 드라이버(201~203)의 동작을 제어하는 패널구동회로(200) 등으로 구성된다.

<51> 패널구동회로(200)에는 유지펄스발생 타이밍제어장치(21), 주제어회로(22) 및 클록회로(23) 등이 내장되어 있다.

<52> 클록회로(23)는 내부에 클록(CLK)발생부 및 PLL(phase Locked Loop)회로를 내장하고, 소정의 샘플링클록, 즉 동기신호를 발생하여 주제어회로(22) 및 펄스발생 타이밍제어장치(21)에 전송한다.

<53> 주제어회로(22)에는 PDP부(10)의 외부로부터 입력되는 화상데이터를 일정 기간동안 기억하는 프레임 메모리인 기억부 및 기억된 화상데이터를 순차적으로 추출하여 감마(gamma)보정처리 등의 화상처리를 행하기 위한 복수의 화상처리회로(도시생략)가 내장되어 있다. 주제어회로(22)에는 클록회로(23)에 의해 발생된 동기신호가 전송되고, 이 전송된 동기신호에 기초하여 화상정보가 주제어회로(22)에 수신되어 각종 화상처리가 행해진다. 화상처리 후의 화상데이터는 각 드라이버(201~203) 내의 드라이브 소자회로(2011, 2021, 2031)에 전송된다. 주제어회로(22)는 드라이브 소자회로(2011, 2021, 2031)의 제어도 같이 행한다.

<54> 펄스발생 타이밍제어장치(21)는 펄스를 발생하는 타이밍을 제어하는 것이며, 공지의 시퀀스 컨트롤러와 마이크로 컴퓨터를 내장한다. 그리고, 클록회로(23)의 동기신호에 기초하여 상기 마이크로 컴퓨터의 제어 프로그램에 의해 주사 드라이버(201), 유지 드라이버(202) 및 어드레스 드라이버(203)의 각각에 소정의 타이밍에서, 구동파형 프로세스의 시퀀스에 기초하는 초기화펄스, 주사펄스, 기입펄스, 유지펄스, 소거펄스 등의 각종 펄스(TRG scn, TRG sus, TRG data)를 전송한다. 이에 따라, 표시전극(4, 5) 및 어드레스전극(11)에 소정 형상의 펄스전압이 인가되어 화면이 표시된다.

<55> 구동파형 프로세스의 시퀀스에 기초하는 각 펄스의 파형 및 출력 타이밍은 상기 마이크로 컴퓨터에 의해 제어된다. 구동파형 프로세스의 시퀀스는 펄스발생 타이밍제어장치(21) 내의 마이크로 컴퓨터에서 주제어회로(22)로부터 전송된 화상처리 후의 화상데이터를 처리함으로써 형성된다.

<56> 주사 드라이버(201), 유지 드라이버(202), 어드레스 드라이버(203)는 일반적인 드라이버 IC(예컨대, 데이터 드라이버 ; NEC μPD16306A/B, 주사 드라이버 ; TI SN755854를 사용할 수 있음)로 구성되며, 각각의 내부에 펄스출력장치(2010, 2020, 2030)와, 드라이브 소자회로(2011, 2021, 2031)를 구비한다.

<57> 펄스출력장치(2010, 2020, 2030)는 각각 외부의 고압직류전원으로부터 개별적으로 송전되도록 접속되며, 이 고압직류전원으로부터 얻은 소정값의 전압(VCC scn, VCC sus, VCC data)을 상기 펄스발생 타이밍제어장치(21)로부터 전송되는 펄스(in scn, in sus, in data)에 기초하여 드라이브 소자회로(2011, 2021, 2031) 측으로 출력(outX, outY, out)한다.

<58> 1-2 기본적인 구동파형 프로세스

<59> 이하, 종래의 PDP 표시장치의 기본적인 구동파형 프로세스에 대하여 설명한다. 또한, 일반적인 PDP 표시장치의 구동파형 프로세스의 상세한 설명은 일본 특허공개 평6-186927호 공보, 특허공개 평5-307935호 공보에 개시되어 있다.

<60> 도 15에 나타낸 바와 같이, PDP 표시장치의 구동파형 프로세스에서는 서브필드 중에 초기화기간, 기입기간, 유지기간 및 소거기간이라는 일련의 시퀀스를 거치도록 되어 있다.

<61> 구동시에는 먼저, 서브필드의 초기화기간에서 주사전극(4)에 초기화펄스를 인가하여 셀의 벽전하를 초기화한다.

<62> 다음에, 기입기간에서, y방향 최상위(PDP부(1)의 최상위)의 주사전극(4)에 주사펄스를 인가하고, 유지전극(5)에 기입펄스를 각각 인가하여 기입방전을 행한다. 이에 따라, 상기 주사전극(4)과 유지전극(5)에 대응하는 각 셀의 유전체층(6)의 표면에 벽전하를 축적한다. 이와 마찬가지로, 상기 최상위에 연속하는 2번째 이후의 주사전극(4)과 유지전극(5)에 각각 주사펄스와 기입펄스를 인가하여, 각 셀에 대응하는 유전체층(6)의 표면에 벽전하를 축적한다. 이것을 전면패널(FP)에 배치된 모든 표시전극(4, 5)에 행함으로써 1화면분의 잠상을 기입한다.

<63> 그 다음, 유지기간에서, 어드레스전극(11)을 접지하고 주사전극(4)과 유지전극(5)에 교대로 유지펄스를 인가한다. 이에 따라, 기입펄스에 의해 선택된 표시셀에서는 유전체층(6)의 표면전위가 방전개시전압(Vf)을 초과하여 한쌍의 표시전극(4, 5) 사이의 간극에서 유지방전이 발생한다. 이 유지방전에 의해 단파장의 자외선(파장이 약 147nm인 Xe 공명선)이 발생하고, 상기 자외선에 의해 형광체층(9R, 9G, 9B)이 여기됨으로 인해 가시광이 발생하여 화상이 표시된다. 상기 화상표시는 통일된 제조규격에 따라 60 프레임/sec(약 16.67ms/프레임)으로 구성된다.

<64> 1 프레임은 8개의 서브필드로 구성되고, 그 상대휘도비는 기본적으로 오름차순 1, 2, 4, 8, 16, 32, 64, 128의 2진(binary)으로 가중된다. 여기서는 설명을 위해 초기화기간, 기입기간, 유지기간 및 소거기간을 모두 갖는 서브필드를 일례로 하고 있지만, 실제의 1 프레임에는 상대휘도비의 가중에 대응한 서브필드 중 어느 하나 이상으로 기입기간 및 유지기간이 존재하도록 미리 정해진다. 또한, 0계조표시의 가중에 대응하는 서브필드는 초기화기간과 기입기간(주사펄스 없음)으로 구성된다.

<65> 소거기간에서는 유지전극(5)에 폭이 좁은 소거펄스를 인가하여 셀 내의 벽전하를 감소시켜 화면을 소거한다.

<66> 1-3 제 1 실시예의 특징과 효과

<67> 여기서, 종래의 PDP표시장치에서의 저계조표시 때(0번째계조~8번째계조)의 표시휘도, 프레임 중의 각 상대휘도비의 가중에 대응하는 서브필드에서의 기입기간 및 유지기간의 유무를 도 11에 나타낸다. 도 11에서, 「1」로 나타낸 부분이 기입 및 유지방전을 행하는 서브필드이다. 여기서, PDP부는 13인치 VGA 규격에 대하여 측정하고 있지만, PDP부의 크기 규격이 다른 경우에 대해서는 측정수치에 약간의 차이가 있다. 그러나, 이하의 특성이 거의 동일한 것으로 간주해도 된다.

<68> 도 11에 나타낸 바와 같이, 0계조표시 때의 휘도가 0.15cd/m^2이고, 상기 0계조표시 때에는 초기화방전만 발생하므로, 초기화방전에 의한 발광휘도는 0.15 cd/m^2인 것을 알 수 있다. 또한, 1계조표시 때(유지펄스 개수 3개)와 2계조표시 때(유지펄스 개수 7개)의 유지펄스 개수의 차이가 4개이고, 발광휘도비가 1.8cd/m^2이기 때문에, 유지방전 1회당 발광휘도가 0.45cd/m^2인 것을 알 수 있다. 또한, 0계조표시 때와 1계조표시 때의 휘도비가 2.33cd/m^2이기 때문에, 기입 방전에 의한 발광휘도는 약 1.0cd/m^2으로 산출된다.

<69> 이와 같이, 일반적인 PDP 표시장치에서는 0계조표시와 1계조표시의 휘도비가 2.33cd/m^2이며, 상기 휘도비가 CRT에서는 거의 0cd/m^2인 것과 비교하면, 저계조표시 때에는 CRT와 같이 원활한 휘도변화를 표현할 수 없는 성질이 있다.

<70> 이에 대하여, 오차확산처리(디더법)에 의해 의사적으로 계조표시를 시도하더라도, 계조가 원래 낮기 때문에 오차확산 노이즈의 거친감이 현저하여, 오차확산의 유효한 효과를 얻을 수 없으므로 화질이 열화하는 또 다른 문제점이 발생한다.

<71> 그러므로, 본원 발명자들이 면밀히 검토한 결과, 초기화펄스와 기입방전에 의한 발광휘도가 약 1.2cd/m^2도 얻어지는 것에 착안하여, 도 1의 구동파형 프로세스에 나타낸 바와 같이, 1 프레임 중의 상대휘도비가 최소인 가중에 대응하는 서브필드를 초기화기간과 기입기간의 2기간으로 구성하여 종래와 같이 표시전극(4, 5)에 유지펄스를 인가하지 않는 것으로 하였다.

<72> 여기서는 초기화펄스 400V, 기입펄스 70V, 주사펄스 -70V, 기입기간에서 유지전극으로의 인가전압 200V의 값으로 각각 설정하였다. 이들 각 펄스값은 종래와 거의 동일한 값으로 설정할 수 있다. 또한, 이들 값은 이하의 실시예에서도 동일하게 설정한다.

<73> 이와 같은 구동파형 프로세스에 의하면, 상대휘도비가 최소인 가중에 대응하는 서브필드에서는 그 상대휘도비가 2.33cd/m^2인 종래에 비해, 대략 1/2의 발광휘도인 약 1.2cd/m^2(초기화펄스와 기입펄스에 의한 발광의 합계)으로 억제하는 것이 가능하므로, 0cd/m^2에 보다 근접한 어두운 발광표시를 할 수 있다. 따라서, 제 1 실시예의 저계조표시 때에 있어서는, 오차확산처리를 사용하지 않더라도 CRT와 거의 유사하게 원활한 계조표시가 실현된다.

<74> 또한, 제 1 실시예에서는 상대휘도비가 최소인 가중에 대응하는 서브필드에 유지펄스를 인가하지 않으므로 소거기간이 불필요하다. 따라서, 소거펄스에 의한 발광도 발생하지 않는다. 이 때문에, 도 1에 나타낸 바와 같이, 기입기간 후에는 바로 다음의 서브필드의 초기화기간으로 이행할 수 있고, 구동시간도 단축된다. 이것은, 예컨대 초기화펄스, 기입펄스 및 주사펄스 등의 펄스폭을 설정하는 경우에 적합하다.

<75> 또한, 종래에는 0계조표시 및 제 1 계조표시에 오차확산처리를 실시하면, 오차확산 노이즈가 밝아져 화질이 열화(거친감이 발생)하는 경향이 나타났지만, 제 1 실시예에서는 상대휘도비가 최소인 가중에 대응하는 서브필드의 발광휘도가 종래에 비해 매우 낮기 때문에 오차확산처리를 행하더라도 노이즈가 나타나지 않는다는 효과를 얻는다.

<76> (제 2 실시예)

<77> 도 2는 제 2 실시예에서의 저계조표시 때의 서브필드를 나타내는 도면이다.

<78> 제 2 실시예에서는 가중이 다른 8개의 서브필드를 갖는 1 프레임에 있어서, 제 1 실시예와 마찬가지로 초기화기간과 기입기간의 2기간으로 이루어진 서브필드를 2개 연속으로 갖는 구동파형 프로세스로 하고 있다.

<79> 그리고, 이들 2개의 서브필드 중, 후속하는 서브필드 2에서는 제 1 실시예와 마찬가지로 초기화기간 및 기입기간에서 각각 방전을 행한다.

<80> 한편, 임의의 프레임의 선행하는 서브필드 1에서는 상대휘도비가 최소인 가중에 대응하는 저계조표시영역에서, 도 3의 (a)에 나타낸 바와 같이 인접한 셀 그룹을 2셀마다 하나씩 점등시킨다. 그리고, 이것에 연속하는 다음의 프레임에서는 도 3의 (b)에 나타낸 바와 같이 상기 저계조표시영역에서 점등되지 않은 측의 셀 그룹을 점등시킨다. 즉, 제 2 실시예에서는 연속하는 2개의 프레임에서, 상대휘도비가 최소인 가중에 대응하는 서브필드의 표시영역을 분담하여 점등하는 구성이다.

<81> 이와 같이, 셀을 점등시키는 구체적인 방법으로서는 이하의 방법이 있다.

<82> 화상을 제어하는 신호로서는, 도 4에 나타내는 「수직동기신호(a)」,「수평동기신호(c)] 및「클록회로(23)의 동기신호(데이터 클록(d))」가 있다. 패널구동부(20)는 구동시에 이들 신호 (a), (c) 및 (d)를 외부로부터 수신하여, 펄스발생 타이밍제어장치(21)에서 각각의 신호 (a), (c) 및 (d)가 로우(L)레벨로부터 하이(H)레벨로 변화할 때에 반전하는 신호를 형성하면, 필드마다 반전하는 신호(b), 라인마다 반전하는 신호(e) 및 수평도트(horizontal dot, 셀)마다 반전하는 신호(f)를 형성할 수 있다.

<83> 이 신호들 중, 라인마다 반전하는 신호(e)는 수직동기신호(a)에 의해 리셋되며, 수평도트마다 반전하는 신호(f)는 수평동기신호(c)에 의해 리셋된다. 이 경우, 「리셋된다」는 동기신호가 입력된 시점에서 강제적으로 L레벨 또는 H레벨로 설정되는 것이다. 도 4에서는 H레벨로 설정된 예를 나타낸다.

<84> 라인마다 반전하는 신호(e)와 수평도트마다 반전하는 신호(f)의 배타적논리합(exclusive OR)을 행하면, 도 5에 나타내는 바와 같이 체크무늬 형상이 된다. 또한, 이 체크무늬 형상과 각 필드마다 반전하는 신호(b)의 배타적논리합을 행하면, 필드마다 반전하는 체크무늬 패턴이 형성된다. 즉, 필드마다 반전하는 신호(b), 라인마다 반전하는 신호(e) 및 수평도트(셀)마다 반전하는 신호(f)에 의해, 외부로부터 입력되는 화상데이터 중, 상대휘도비가 최소인 가중에 대응하는 서브필드의 표시영역의 화상데이터가 패널구동부(20)의 메모리에 각 체크무늬 형상의 화상데이터로서 순서대로 저장되어 표시된다.

<85> 이와 같은 방식으로, 제 2 실시예에서는 1서브필드의 데이터와, 도 5에 나타낸 바와 같이「0」또는「1」로 구성된 체크무늬 패턴의 논리곱을 행하여 표시영역을 점등한다. 이 때, 사용하는 체크무늬 패턴은 각 필드마다 「0」과「1」이 반전한다. 이렇게 함으로써, 1서브필드에서는 원래 발광하는 휘도의 1/2의 휘도를 의사적으로 표현할 수 있다.

<86> 또한, 2서브필드에서는 체크무늬 패턴의 논리곱을 행하지 않는다.

<87> 상술한 제 2 실시예에 따르면, 상대휘도비가 최소인 가중에 대응하는 서브필드의 표시영역에서, 인접하는 셀을 체크무늬 모양과 같이, 각 프레임마다 점등시켜 나타나는 표시영역의 발광휘도를 모두 점등하는 경우(즉, 서브필드 2에서의 발광에 의해)를 비교하면, 초기화펄스에 의한 발광은 동등하지만, 기입펄스에 의한 발광은 반감시킬 수 있다. 즉, 제 2 실시예에서는 상대휘도비가 최소인 가중에 대응하는 서브필드 1에서의 발광휘도를 초기화펄스에 의한 발광휘도(0.15cd/m^2)와, 기입방전에 의한 발광휘도(약 1.0cd/m^2)의 1/2(0.5cd/m^2)의 합계의 약 0.65cd/m^2로 억제하는 것이 가능하다. 이것은 상술한 종래의 계조표시에서의 발광휘도(2.33cd/m^2)보다 약 1/4정도 낮으므로, 제 2 실시예가 우수한 저계조표시 성능을 갖는다는 것을 나타낸다.

<88> 또한, 제 2 실시예에서는 서브필드 2에서의 발광휘도가 약 1.2cd/m^2으로 낮게 억제되기 때문에, 상기 서브필드 1과 합하여 0cd/m^2에 근접하는 복수의 어두운 저계조표시가 실현된다.

<89> 제 2 실시예에 오차확산처리를 조합시키면, 오차확산 노이즈가 거의 나타나지 않으므로, 화질의 열화를 매우 작게 억제할 수 있다.

<90> 또한, 여기서는 서브필드 1에서 표시영역의 인접 셀을 연속하는 프레임마다 교대로 점등시키는 예를 나타내었지만, 제 2 실시예는 이 구동방법에 한정되지 않고, 셀을 몇개의 셀 그룹으로 분할한 후, 이 셀 그룹을 연속하는 프레임마다 교대로 점등시켜도 된다. 단, 셀의 개수가 너무 많은 셀 그룹을 형성하면, 표시영역에서의 화상이 흐려지기 때문에, PDP부(1)가 하이비전형 등의 고선명의 경우에는 특히 주의가 필요하다.

<91> 또한, 제 2 실시예에서는 본 발명의 특징적인 서브필드 1과 서브필드 2의 각각의 구동파형 프로세스를 조합시키는 예를 나타내고 있지만, 본 발명은 서브필드 1 및 서브필드 2의 조합에 의한 구동파형 프로세스에 한정되지

않고, 서브필드 1만을 종래 구성의 서브필드와 조합시켜도 된다.

<92> 또, 서브필드 1에서는 2개의 연속하는 프레임으로 서브필드 1의 표시영역에서 인접 셀을 교대로 점등하는 구성이지만, 본 발명은 인접 셀을 교대로 점등하는 경우에 한정되지 않고, 1개 또는 그 이상의 개수의 간격으로 셀을 점등하여, 연속하는 복수의 프레임의 합계에 대응하는 표시영역을 모두 점등하여도 된다. 이와 같이 셀을 점등하면, 서브필드 1 당 점등 셀의 개수를 몇분의 1까지 감소시킬 수 있으므로, 보다 어두운 표시가 가능해진다.

<93> (제 3 실시예)

<94> 도 6은 제 2 실시예에서의 저계조표시 때의 서브필드를 나타내는 도면이다.

<95> 도 6에 나타내는 제 3 실시예의 구동파형 프로세스에서는 먼저, 제 1 실시예와 같이 상대휘도비가 최소인 가중에 대응하는 서브필드를 초기화기간과 기입기간의 2기간으로 구성한다. 그리고, 상기 서브필드에 연속하는 다음의 서브필드의 초기화기간에서 경사형의 점차 증가하는 점증부를 갖는 초기화펄스를 인가하는 것을 특징으로 한다. 점증부의 구체적인 경사로서는 본원 발명자들이 실제로 측정한 결과, 그 최대 경사가 약 7.5V/㎲인 것이 바람직하며, 특히 1V/㎲~3.5V/㎲ 정도의 범위가 더욱 바람직하다고 생각된다. 상기 초기화펄스의 최대값은 종래와 같은 400V 정도가 좋다.

<96> 이와 같은 점증부를 갖는 초기화펄스를 인가하는 구동파형 프로세스에 의하면, 선행하는 상대휘도비가 최소인 가중에 대응하는 서브필드에서 발생한 방전에 의한 벽전하(특히, 기입기간에서의 기입방전에 의해 발생한 벽전하)가 다음의 서브필드에 인계되어 오방전(예컨대, 예컨대 0.5cd/m^2 정도)을 유발하는 것이 효과적으로 방지된다. 즉, 제 3 실시예에서는 경사형의 점증부를 갖는 초기화펄스(400)에 의해 선행하는 서브필드로부터 남아 있던 셀 내의 벽전하가 점차적으로 초기화되어, 표시전극(4, 5)의 사이 또는 표시전극(4, 5)과 어드레스전극(11) 사이의 전위가 감소되기 때문에, 돌발적인 방전의 발생이 회피된다. 따라서, 상대휘도비가 최소인 가중에 대응하는 서브필드와 이것에 연속하는 서브필드에서, 화상표시 때문에 바람직하지 않은 밝은 오방전이 발생하여 유지기간에서 오방전이 지속하는 것을 효과적으로 회피할 수 있으므로 양호한 저계조표시가 가능하게 된다.

<97> 또한, 점증부를 갖는 초기펄스로서는 상기 경사형의 초기화펄스(400)의 패턴에 한정되지 않고, 예컨대 도 7에 나타낸 바와 같이 곡선형의 점증부를 갖는 초기화펄스(500)이어도 된다. 도 7에 나타내는 초기화펄스(500)의 경우, 그 점증부의 곡선은 $f(x)=\{1-(1/e)x\}^{1/2}$로 나타내는 함수곡선을 이용하고 있으며, 완만한 점증곡선에 기초한 초기화펄스(500)에 의해 셀 내의 벽전하가 현저한 오방전을 일으키지 않고 원활하게 초기화된다.

<98> 또, 상기 점증부의 곡선으로서는 이외에도 정현파형(sin 곡선) 또는 여현파형(cos 곡선)등의 삼각함수 및 각종 지수함수 또는 고차함수를 이용하여, 완만하게 점증하는 함수곡선을 기초로 형성할 수도 있지만, 실제로는 오실로스코프 또는 방전확인용 현미경 등을 이용하여 임의의 곡선형의 점증부에 의해 현저한 오방전의 발생이 효과적으로 방지되는지의 여부를 확인하는 것이 바람직하다.

<99> 또, 상기 점증부의 형상으로서는 이외의 오방전이 발생하지 않는 범위에서 초기화펄스를 도 8의 펄스파형(600) 또는 도 9의 지수함수파형(700)으로 나타낸 바와 같이 급격하게 상승(이 경우, 150V 상승)하는 것도 가능하다. 이렇게 함으로써, 초기화펄스의 폭이 어느 정도 감소되므로, 구동시간을 단축시킬 수 있는 장점이 있다.

<100> (기타 사항)

<101> 본 발명의 구동파형 프로세스로서는 서브필드에서의 각 펄스를 주사전극(4)과 유지전극(5)의 양쪽에 적정전압으로 인가하는 것에 의해 차분파형으로 형성되어도 된다. 여기서, 도 10의 구동파형 프로세스에서는 주사전극(4)으로의 인가전압 200V, 유지전극(5)으로의 인가전압 -200V의 합계로 초기화펄스(차분파형 400V)를 구성한다. 이와 마찬가지로, 주사펄스, 기입펄스 및 제 3 실시예에 나타낸 점증부를 갖는 초기화펄스를 차분파형으로 구성해도 된다. 이와 같이 하면, 주사 드라이버(201), 유지 드라이버(202) 및 어드레스 드라이버(203)에 대하여 각각 개별적으로 전원이 공급될 때의 인가전압이 저하되기 때문에, 고내압의 드라이버 IC를 사용하지 않아도 되므로, 비용면에서 유리한 효과가 기대된다.

<102> 또한, PDP 구동시에 있어서의 표시는 상기 1 프레임을 8서브필드로 구성하는 일례 이외에도, 경우에 따라서는 1 프레임을 12서브필드로 구성하여 합계 256계조를 표현하여도 된다. 이 경우에는 각 서브필드의 가중을 오름차순 1, 2, 4, 6, 10, 14, 19, 26, 33, 47, 53 등으로 한다. 이것은 0~7계조까지는 8서브필드로 이루어진 1필드의 경우와 동일하지만, 8번째계조는 2서브필드와 4서브필드를 점등시킨다. 또한, 가중을 더욱 변화시키는 것에 의해 512계조 이상의 표시도 가능하다. 본 발명은 이와 같은 프레임 구성에 적용하는 것이 가능하다.

산업상 이용 가능성

<103> 본 발명은 정보단말기기나 퍼스널 컴퓨터의 디스플레이 디바이스 또는 텔레비전의 화면표시장치에 적용하는 것이 가능하다.

도면의 간단한 설명

<18> 도 1은 제 1 실시예의 구동파형 프로세스를 나타내는 도면.

<19> 도 2는 제 2 실시예의 구동파형 프로세스를 나타내는 도면.

<20> 도 3은 제 2 실시예의 PDP부의 발광표시영역을 나타내는 모식도.

<21> 도 4는 PDP 구동부에 입력되는 각종 신호파형과, 제 2 실시예의 펄스제어장치가 발생하는 각종 신호파형을 나타내는 도면.

<22> 도 5는 제 2 실시예의 발광표시영역의 형성과정을 나타내는 도면.

<23> 도 6은 제 3 실시예의 구동파형 프로세스를 나타내는 도면.

<24> 도 7은 제 3 실시예의 구동파형 프로세스(변형예)를 나타내는 도면.

<25> 도 8은 제 3 실시예의 구동파형 프로세스(변형예)를 나타내는 도면.

<26> 도 9는 제 3 실시예의 구동파형 프로세스(변형예)를 나타내는 도면.

<27> 도 10은 본 발명의 구동파형 프로세스의 변형예를 나타내는 도면.

<28> 도 11은 종래의 PDP 표시장치에서의 계조표시와 가중의 관계를 나타내는 도면.

<29> 도 12는 PDP부의 구성을 나타내는 단면사시도.

<30> 도 13은 표시전극과 어드레스전극의 배열을 나타내는 모식도.

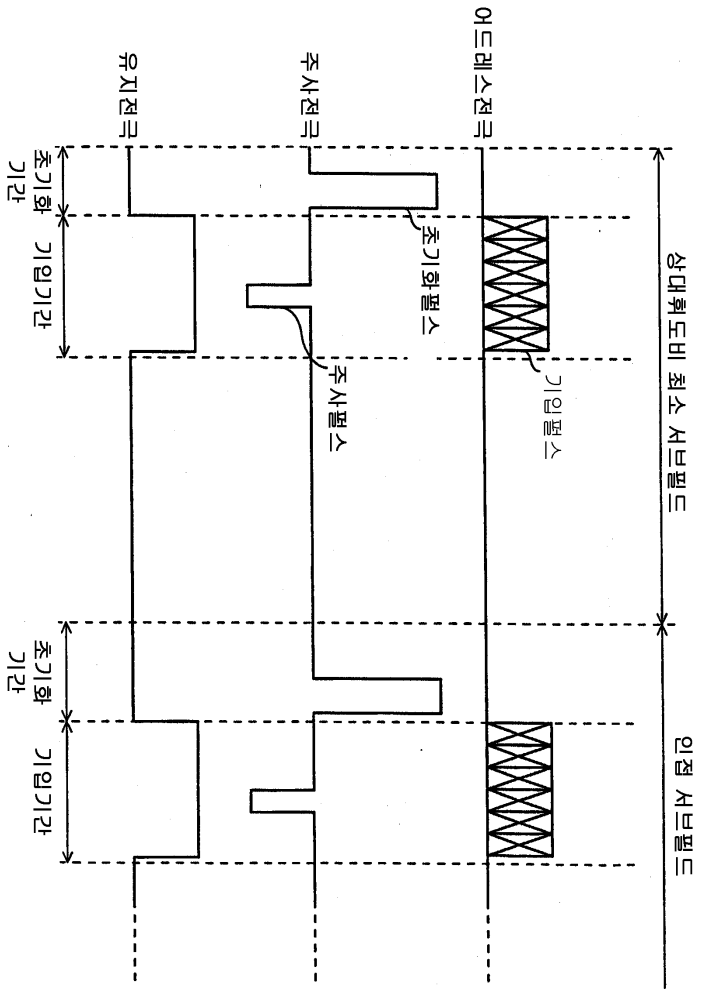
<31> 도 14는 PDP 구동회로의 구성을 나타내는 도면.

<32> 도 15는 종래의 PDP부의 구동파형 프로세스를 나타내는 도면.

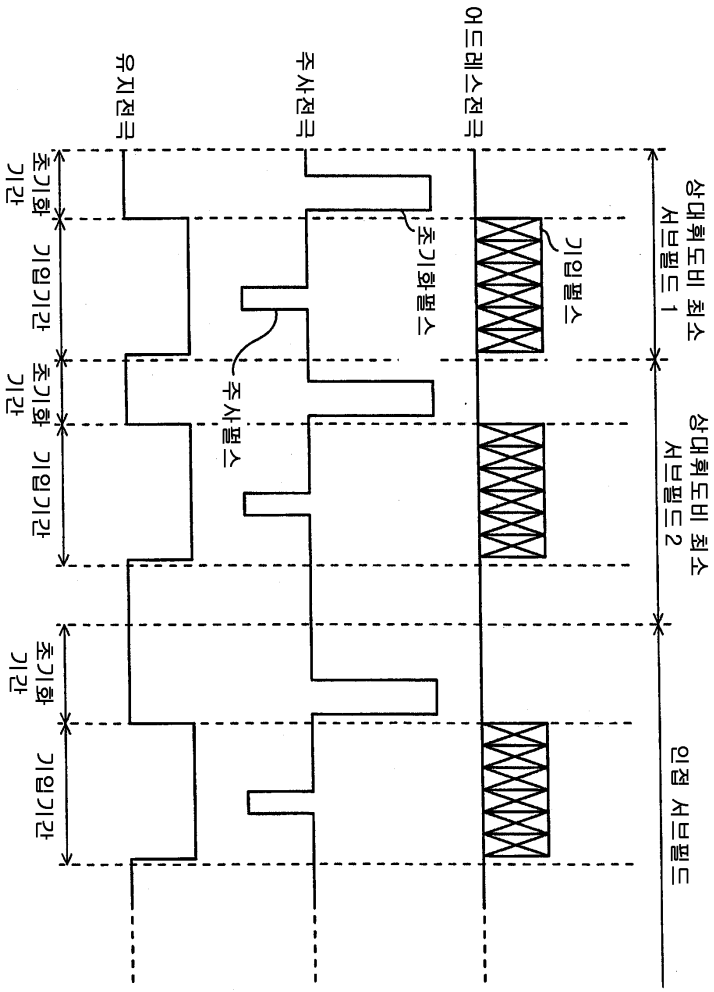
<33> 도 16은 1 프레임(필드) 중의 서브필드의 구성을 나타내는 도면.

도면

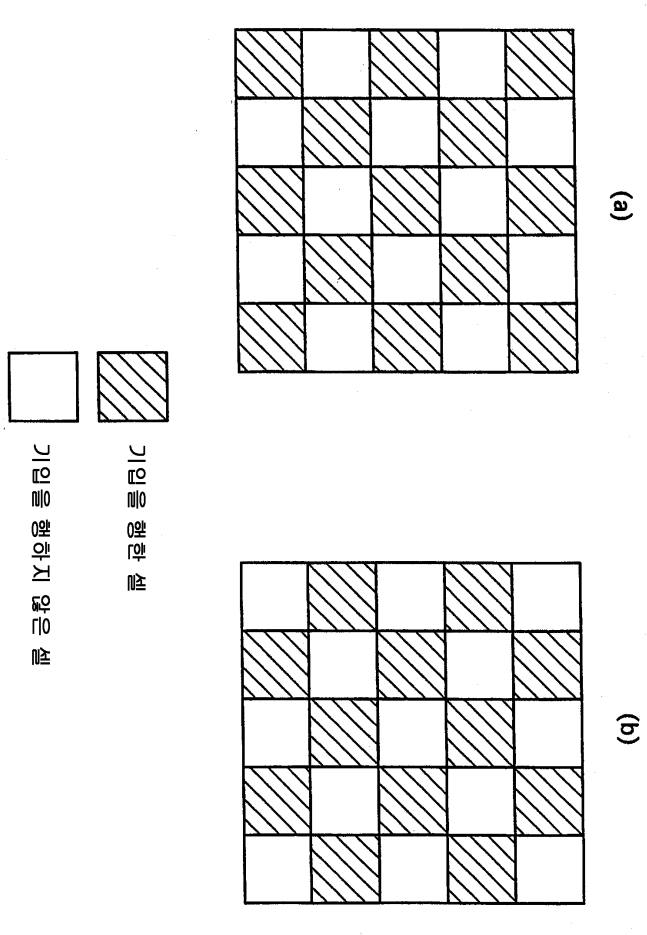
도면1


어드레스전극
주사전극
유지전극
초기화펄스
주사펄스
기입펄스
상대휘도비 최소 서브필드
인접 서브필드
초기화 기간
기입기간
초기화 기간
기입기간

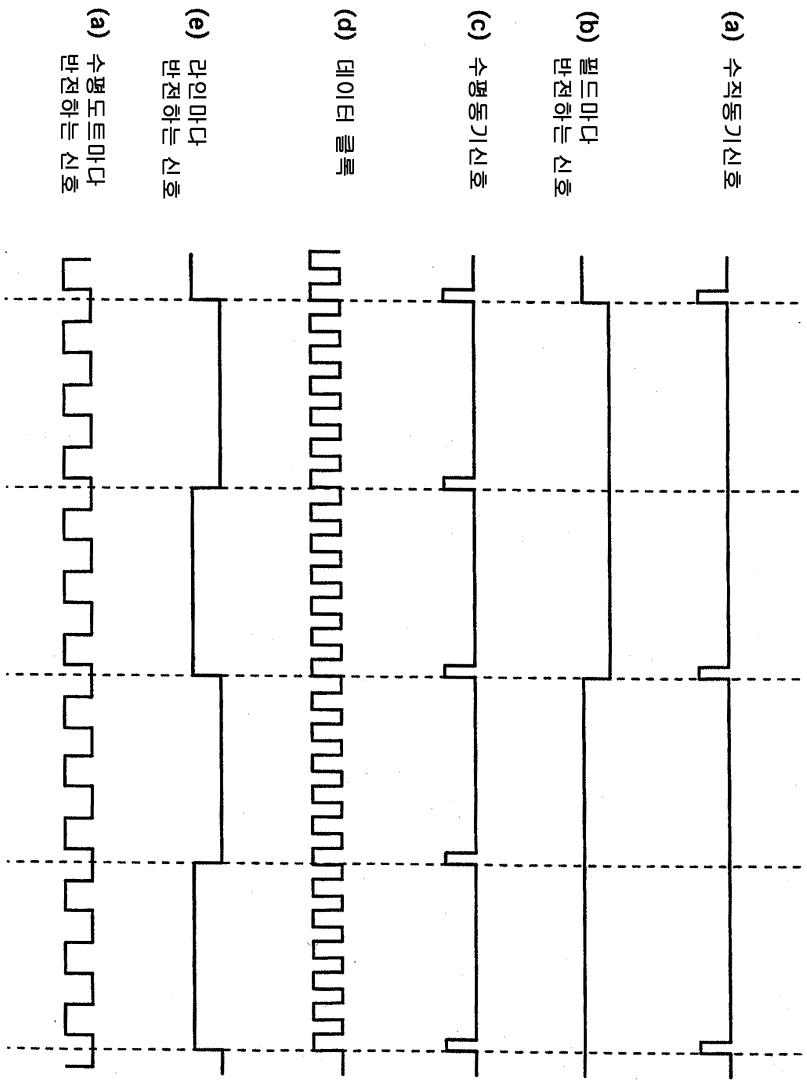
도면2


유지전극
주사전극
어드레스전극
초기화 기간
기입기간
초기화 기간
기입기간
초기화 기간
기입기간
초기화펄스
주사펄스
기입펄스
상대휘도비 최소 서브필드 1
상대휘도비 최소 서브필드 2
인접 서브필드

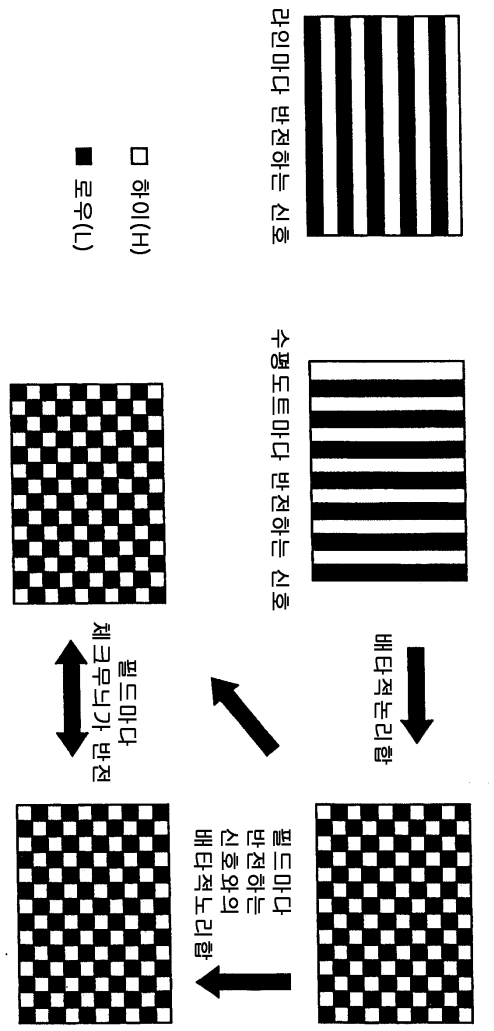
도면3



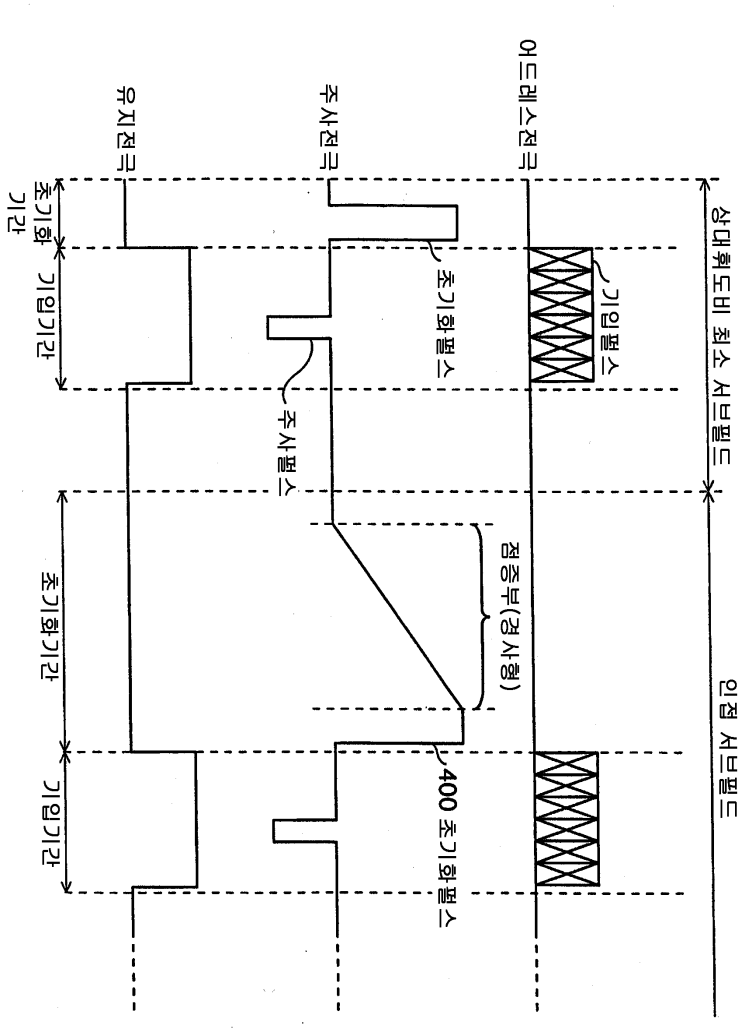
도면4


(a) 수직동기신호
(b) 필드마다 반전하는 신호
(c) 수평동기신호
(d) 데이터 클록
(e) 라인마다 반전하는 신호
(a) 수평도트마다 반전하는 신호

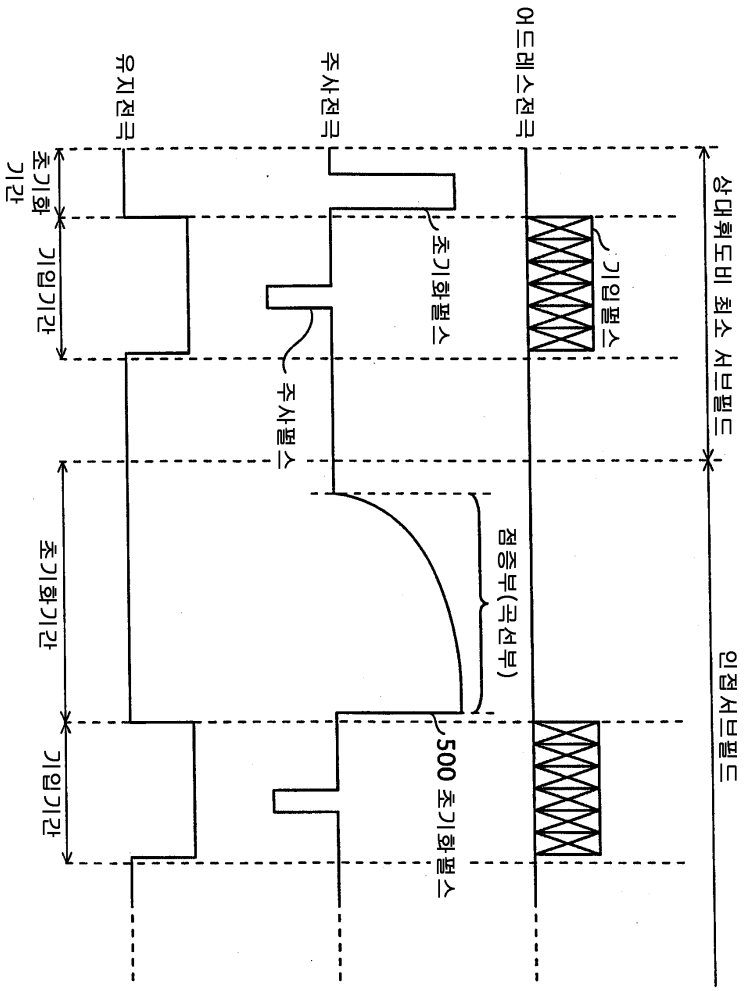
도면5


라인마다 반전하는 신호
수평도트마다 반전하는 신호
□ 하이(H)
■ 로우(L)
배타적논리합
필드마다 체크무늬가 반전
필드마다 반전하는 신호와의 배타적논리합

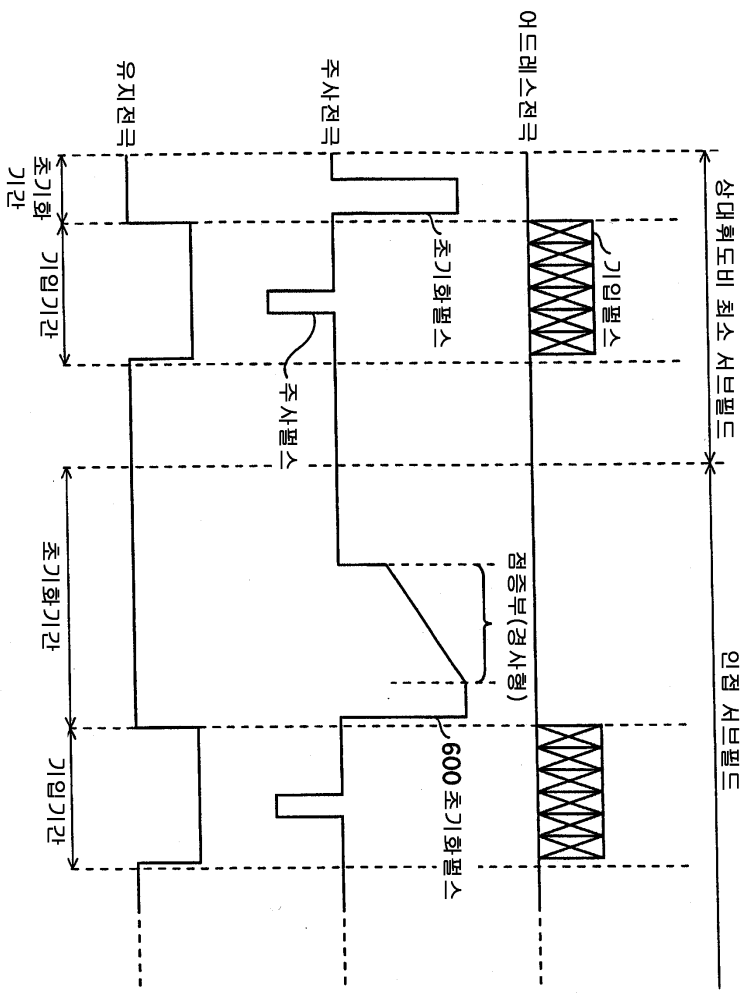
도면6


어드레스전극
주사전극
유지전극
상대휘도비 최소 서브필드
인접 서브필드
기입펄스
초기화펄스
주사펄스
점증부(경사형)
400 초기화펄스
초기화 기간
기입기간
초기화기간
기입기간

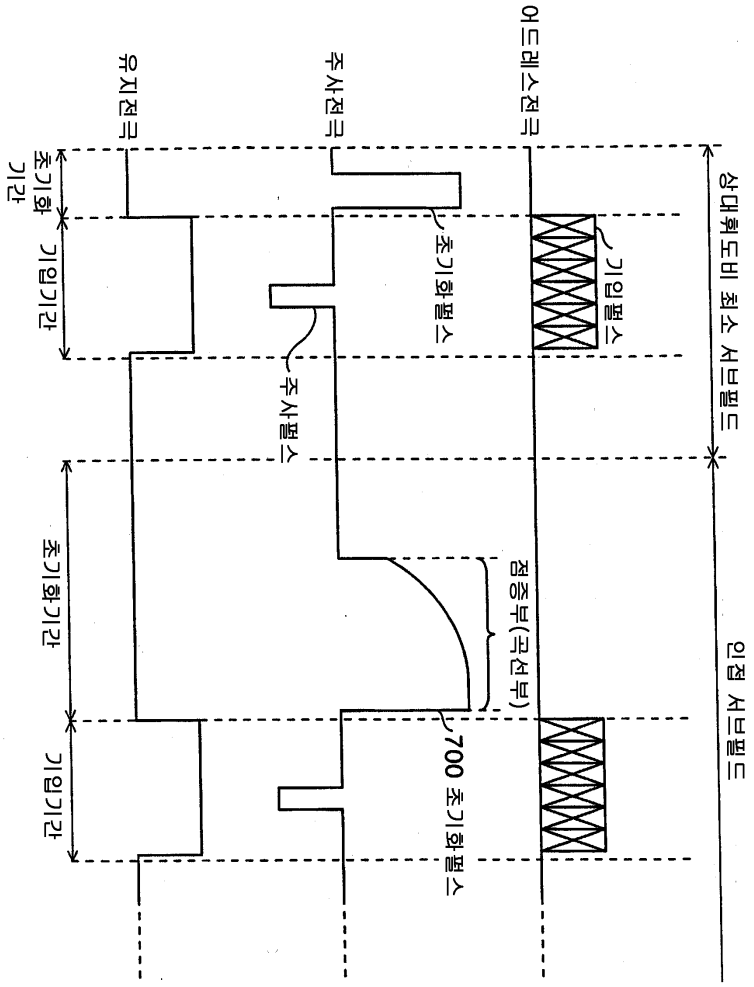
도면7


어드레스전극
주사전극
유지전극
상대휘도비 최소 서브필드
인접서브필드
기입펄스
초기화펄스
주사펄스
점증부(곡선부)
500 초기화펄스
초기화 기간
기입기간
초기화기간
기입기간

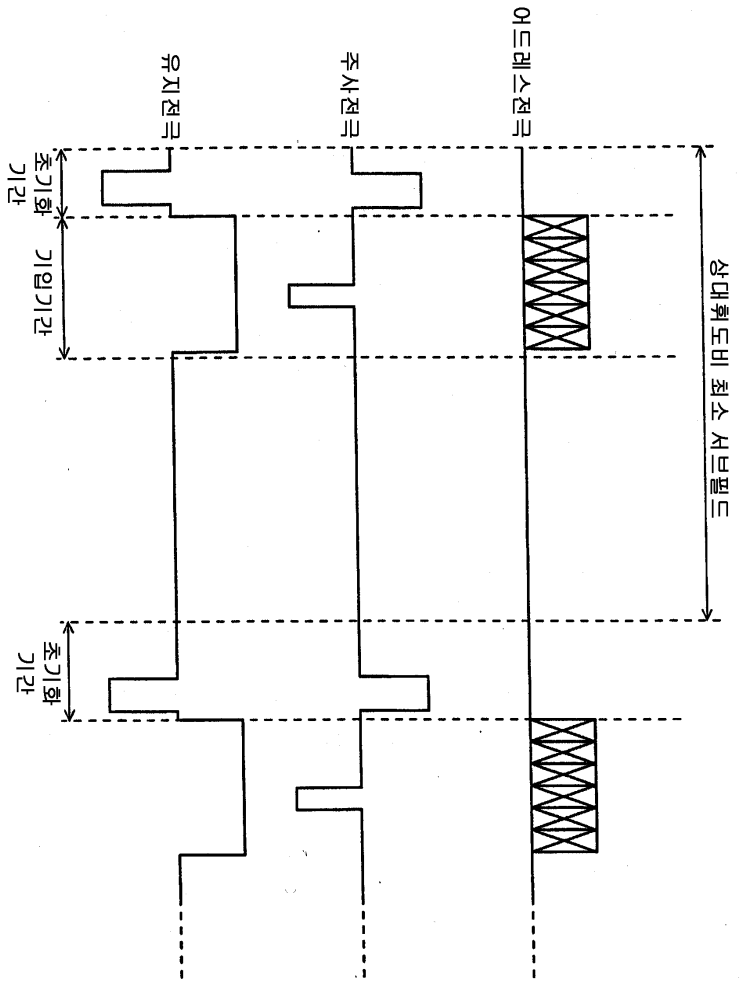
도면8


유지전극
주사전극
어드레스전극
상대 휘도비 최소 서브필드
인접 서브필드
초기화 기간
기입기간
초기화펄스
기입펄스
주사펄스
점증부(경사형)
초기화기간
기입기간
600 초기화펄스

도면9


어드레스전극
주사전극
유지전극
상대휘도비 최소 서브필드
인접 서브필드
기입펄스
초기화펄스
주사펄스
점증부(곡선부)
700 초기화펄스
초기화 기간
기입기간
초기화기간
기입기간

도면10



가중	1	2	4	8	16	32	64	128	표시휘도[cd/㎡]
0번째계조									0,15
1번째계조	1								2.49
2번째계조		1							4.29
3번째계조	1	1							6.62
4번째계조			1						7.89
5번째계조	1		1						10.22
6번째계조		1	1						12.02
7번째계조	1	1	1						14.36
8번째계조				1					15.09
:									:

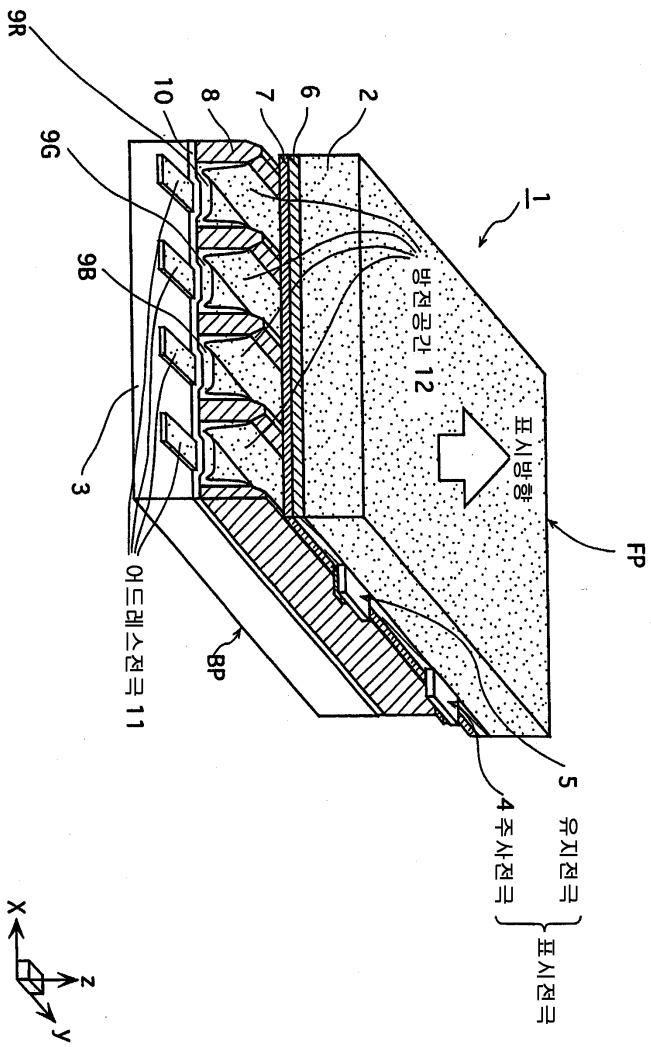
1

: 기입 및 유지방전을 행한 서브필드

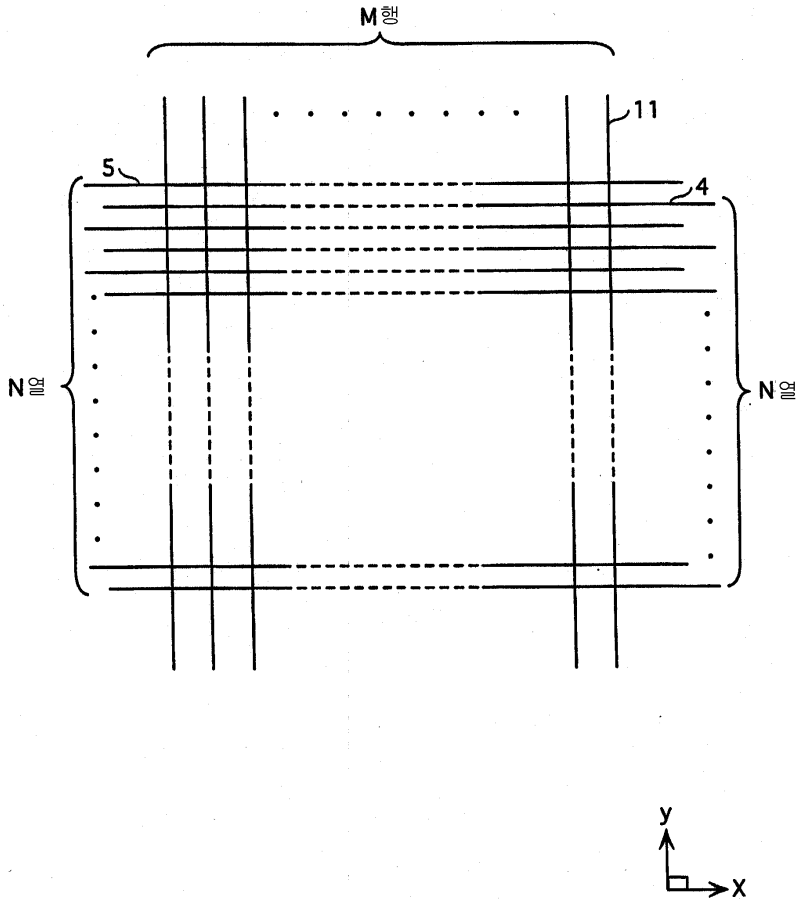
: 기입 및 유지방전을 행하지 않은 서브필드

도면11

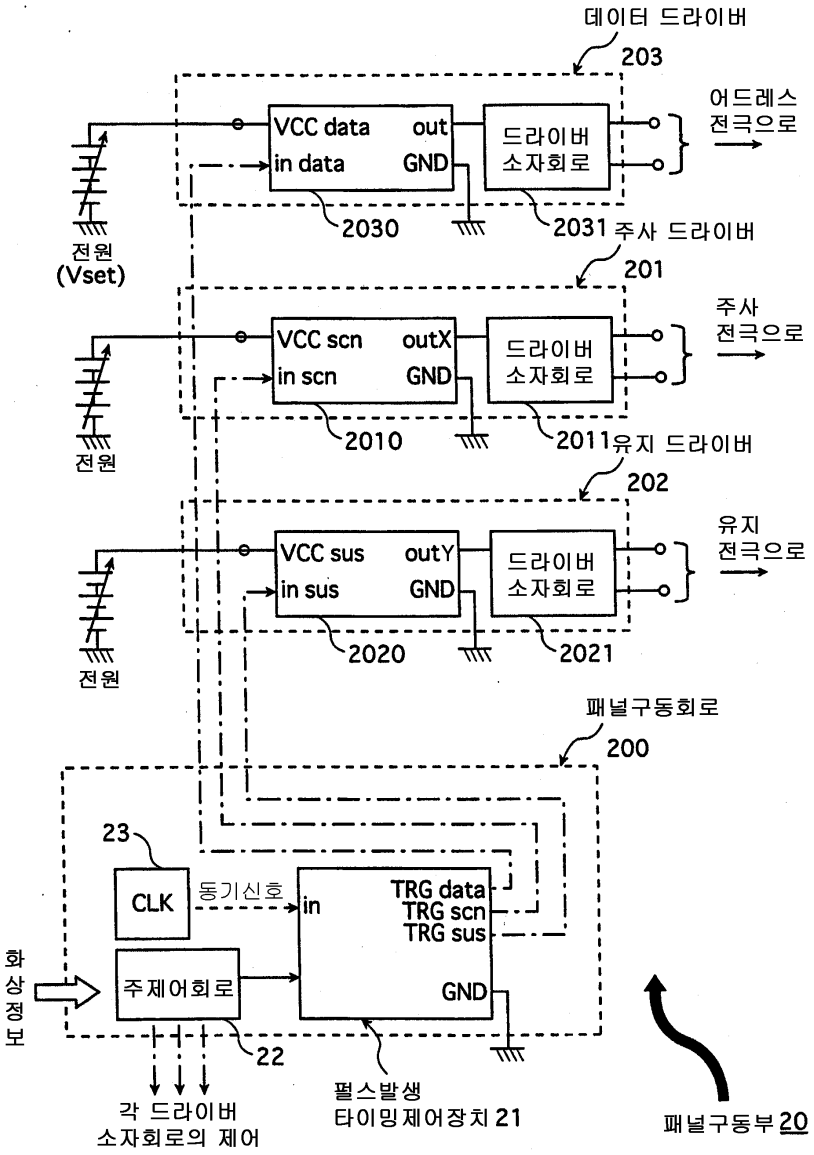
도면12


9R
10
8
7
6
2
9G
9B
3
1
방전공간 12
표시방향
FP
어드레스전극 11
BP
5 유지전극
4 주사전극
표시전극
X
Z
y

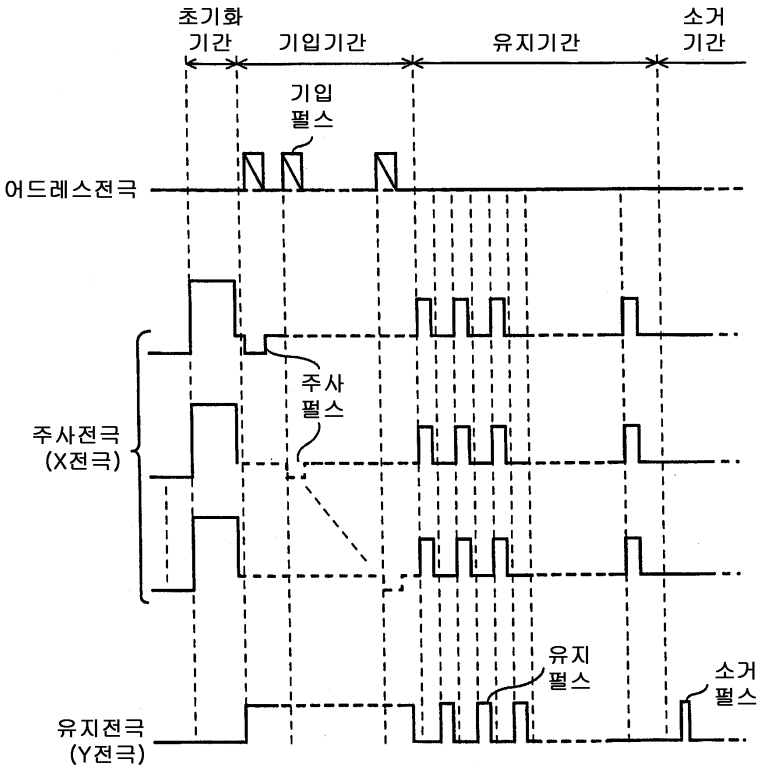
도면13



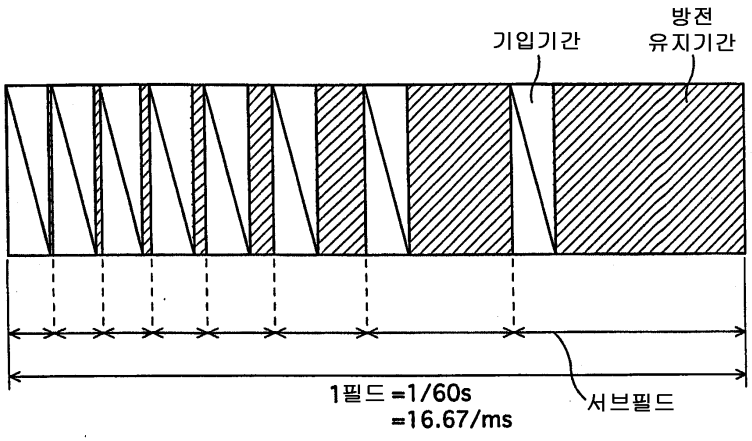
도면14


데이터 드라이버
203
VCC data
in data
out
GND
드라이버
소자회로
어드레스
전극으로
2030
2031
주사 드라이버
201
전원
(Vset)
VCC scn
in scn
outX
GND
주사
전극으로
2010
2011
유지 드라이버
202
전원
VCC sus
in sus
outY
GND
유지
전극으로
2020
2021
전원
패널구동회로
200
23
CLK
동기신호
in
TRG data
TRG scn
TRG sus
GND
화상정보
주제어회로
22
각 드라이버
소자회로의 제어
펄스발생
타이밍제어장치 21
패널구동부 20

도면15


초기화
기간
기입기간
유지기간
소거
기간
기입
펄스
어드레스전극
주사
펄스
주사전극
(X전극)
유지
펄스
소거
펄스
유지전극
(Y전극)

도면16


기입기간
방전
유지기간
1필드 =1/60s
=16.67/ms
서브필드