

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/332	(45) 공고일자 1999년09월01일	(11) 등록번호 10-0218261
(21) 출원번호 10-1996-0055391	(24) 등록일자 1999년06월09일	(65) 공개번호 특1998-0036770
(22) 출원일자 1996년11월19일	(43) 공개일자 1998년08월05일	

(73) 특허권자	페어차일드코리아반도체주식회사 김덕중
(72) 발명자	경기도 부천시 원미구 도당동 82-3 김한수 서울특별시 양천구 신정7동 목동아파트 1103-805호 이태선 서울특별시 영등포구 신길1동 144-354 김능균
(74) 대리인	김능균

심사관 : 정희환

(54) 모스 제어형 사이리스터 및 그 제조방법

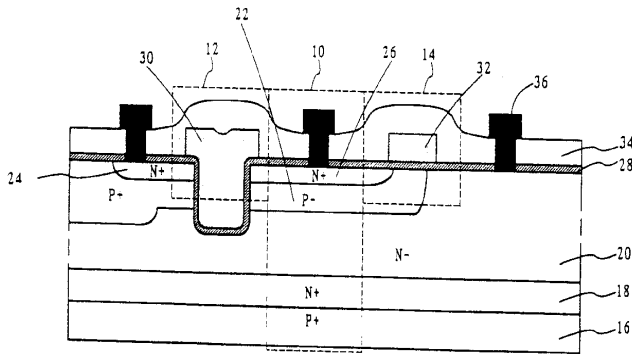
요약

모스 제어형 사이리스터에서 모스 채널 구조를 개선한 모스 제어형 사이리스터 및 그 제조방법이 개시되어 있다.

본 발명은, P1-N1-P2-N2 접합으로 이루어진 사이리스터 영역, 및 상기 사이리스터 영역의 N2 반도체층과 상기 사이리스터 영역의 P2 반도체층의 표면에 상기 N2 반도체층으로부터 이격 형성된 N+반도체층을 각각 소스층 및 드레인층으로 하는 엔모스 트랜지스터 영역으로 구성된 모스 제어형 사이리스터에 있어서, 상기 엔모스 트랜지스터의 게이트가 상기 소스층 및 드레인층 사이에 형성된 복수개의 트렌치 구조를 갖는 것을 특징으로 한다.

따라서, 본 발명은 모스 채널 폭을 증가시켜 채널 저항을 감소시킴으로써 모스 제어형 사이리스터의 전력 용량을 향상시키는 효과가 있다.

대표도



명세서

도면의 간단한 설명

- 제1도는 종래 모스 제어형 사이리스터의 구조를 도시한 단면도.
- 제2도는 본 발명에 따른 모스 제어형 사이리스터의 구조를 도시한 단면도.
- 제3도 내지 제6도는 본 발명에 따른 모스 제어형 사이리스터의 제조방법을 도시한 제조공정도.

* 도면의 주요부분에 대한 부호의 설명

- 10 : 사이리스터 영역
- 12 : 제1의 NMOS 트랜지스터 영역
- 14 : 제2의 NMOS 트랜지스터 영역
- 16, 40 : P+형 반도체 기판

18,42 : N+형 버퍼층	20,44 : N-형 드리프트층
22 : P-형 반도체층	24,50 : N+형 캐소드층
26 : N+형 플로팅 이미터층	28,54 : 게이트산화막
30,58 : 제1게이트전극	32,60 : 제2게이트전극
34 : 층간절연막	36 : 금속전극
46 : P-형 반도체층	48 : P+형 반도체층
52 : N+형 플로팅 이미터층	56 : 폴리실리콘막
62 : 실리콘산화막	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 모스 제어형 사이리스터(MOS Controlled Thyristor)에 관한 것으로서, 특히 트랜치형 모스 채널 구조를 갖는 모스 제어형 사이리스터 및 그 제조방법에 관한 것이다.

최근에 전력용 스위칭 소자의 전력용량과 구동성을 향상시키기 위하여 절연게이트 바이폴라 트랜지스터(IGBT), 모스 제어형 사이리스터(MCT) 등이 제안되어 왔다.

모스 채널을 온-오프시켜 사이리스터의 전류 흐름을 제어하는 모스 제어형 사이리스터는 절연 게이트 바이폴라 트랜지스터에 비해 높은 전류 밀도를 실현할 수 있고 스위칭 특성이 우수한 반면, 소자의 안전 동작 영역이 작으며 채널 오프시 다이내믹 래치업 현상이 발생하여 제어 가능한 전류용량이 작은 단점이 있다.

일반적으로 모스 제어형 사이리스터는 사이리스터 영역, 사이리스터 전류제어 영역 및 제어된 전류를 받아들이는 캐소드 영역으로 나뉘어진다.

제1도는 종래 모스 제어형 사이리스터의 구조를 도시한 단면도이다.

제1도를 참조하면, 종래의 모스 제어형 사이리스터에서 P+, N+, N-, P-, N+ 로 이루어진 사이리스터영역(10)에서 발생하는 사이리스터 래치업 전류는 제1의 MOS 트랜지스터 영역(12)의 NMOS 채널에 의해 그 흐름이 제안되는데, NMOS 채널의 온(On) 상태에서 래치업 전류는 캐소드(24)를 통해 출력된다.

모스 제어형 사이리스터의 동작을 살펴 보면, 채널 오프상태에서 사이리스터영역(10)은 순방향 블로킹 모드로 동작하여 P-형 반도체층(22)과 N-형 드리프트층(20)간의 PN 접합에 의해 전류의 흐름이 방해된다. 이런 상태에서 채널이 온상태가 되고, 사이리스터의 애노드에 전압이 인가되는 경우 제1 및 제2의 NMOS 트랜지스터 영역(12,14)의 NMOS 채널이 동시에 온 상태가 되어 전자가 흐를 수 있는 통로가 형성되고, 제2의 NMOS 트랜지스터 영역(14)의 모스 채널을 통과한 전자는 사이리스터 영역의 PNP 바이폴라 트랜지스터의 N-형 드리프트층(20)으로 출력 구동 전류를 공급하게 된다.

애노드로부터 주입되어 N-형 드리프트 영역(20)을 통과한 홀 전류는 N+형 플로팅 이미터(26) 영역 하부의 P- 반도체층(22)을 통해 캐소드층(24)으로 전도되는데, 이 상태에서 사이리스터는 절연 게이트 바이폴라 트랜지스터와 동일한 특성으로 동작하게 된다.

P-형 반도체층(22)으로 흐르는 전류가 점점 증가하여 P-형 반도체층(22)과 N+형 플로팅 이미터층(26)간의 PN접합에 0.7V의 전위차가 형성되면 사이리스터 영역(10)의 NPN 및 PNP 트랜지스터가 활성화되어 사이리스터가 래치업되어 사이리스터 고유의 동작 특성을 나타낸다.

모스 제어형 사이리스터에서 N+형 플로팅 이미터층(26) 영역으로부터 전도된 사이리스터 전류는 제1의 NMOS 트랜지스터 영역(12)의 모스 채널을 통하여 캐소드층(24)에 전도되므로 모스 채널을 온-오프함으로써 전류의 흐름을 제어하게 되는데, 이때 채널 영역에서 발생하는 전압 강화에 의해 전류량이 감소하게 된다.

채널 영역에서의 전압 강화는 전체 소자에서 발생하는 전압 강화의 60%이상을 차지하게 되므로 모스 제어형 사이리스터의 순방향 전압강하를 낮추기 위해서는 채널 저항을 작게 유지하는 것이 필요하다.

채널 저항을 저하시키기 위해서는 채널 길이를 감소시키고 채널 폭을 증가시켜야 하는데, 반도체칩의 고집적화에 따라 단위 면적당 소자 수가 증가하여 모스 채널 폭도 감소하게 되므로 종래의 모스 제어형 사이리스터에서는 채널 저항이 크게 증가하여 사이리스터의 특성을 저하시키는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

상기한 문제점을 해결하기 위한 본 발명의 목적은 모스 채널저항을 감소시켜 사이리스터의 전력용량을 증가시킬 수 있는 구조를 형성하도록 한 모스 제어형 사이리스터 및 그 제조방법을 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 모스 제어형 사이리스터는

제1의 P형 반도체기판과, 제1의 N형 반도체영역, 제2의 P형 반도체영역 및 제2의 N형 반도체영역의 접합으로 이루어진 사이리스터 영역; 및 상기 사이리스터 영역의 상기 제2의 N형 반도체영역과 상기 제2의 P형 반도체영역의 표면에 상기 제2의 N형 반도체영역으로부터 이격 형성된 N+형 반도체영역을 각각 소스층

및 드레인층으로 하는 NMOS형 트랜지스터 영역으로 구성된 모스 제어형 사이리스터에 있어서, 상기 NMOS형 트랜지스터의 게이트가 상기 소스층 및 드레인층 사이에 형성된 복수개의 트렌치 구조를 갖는 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위한 본 발명의 모스 제어형 사이리스터 제조방법은

사이리스터 영역에서 전도된 전류를 모스 채널을 통하여 캐소드 영역으로 전도하는 모스 제어형 사이리스터를 제조하는 방법에 있어서,

제1의 P형 반도체기판에 제1의 N형 반도체영역을 형성하는 단계; 상기 제1의 N형 반도체영역 표면에 선택적으로 제2의 P형 반도체영역을 형성하는 단계; 상기 제2의 P형 반도체영역 표면에 선택적으로 제2의 N형 반도체 영역을 형성하는 단계; 상기 제1의 N형 반도체영역 일부까지 도달하는 복수개의 트렌치를 형성하는 단계; 상기 결과물의 표면에 게이트 유전막을 형성하는 단계; 상기 유전막 표면에 게이트 도전막을 침적하는 단계; 상기 게이트 도전막을 선택적으로 제거하여 상기 트렌치 영역 및 상기 제2의 N형 반도체영역과 접합된 상기 제2의 P형 반도체영역의 상부 영역에 도전막 게이트전극을 형성하는 단계; 및 층간절연막을 침적하고 금속배선공정을 실시하여 금속전극을 형성하는 단계를 구비함을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명에 따른 모스 제어형 사이리스터 및 그 제조방법에 대하여 상세하게 설명하기로 한다.

제2도는 본 발명에 따른 모스 제어형 사이리스터의 구조를 도시한 단면도이다.

제2도를 참조하면, 본 발명의 모스 제어형 사이리스터는 PNP접합으로 이루어진 사이리스터 영역(10)과 트렌치 형태의 채널 구조를 가진 제1의 NMOS 트랜지스터 영역(12) 및, 평면 채널구조를 가진 제2의 NMOS 트랜지스터 영역(14)으로 구성되어 있다.

이 때, 사이리스터 영역(10)은 P형 반도체층(16), N형 버퍼층(18), N-형 드리프트층(20), P-형 반도체층(22) 및 N형 플로팅 이미터층(26)으로 구성되고, 제1의 NMOS 트랜지스터 영역(12)은 N형 캐소드층(24) 및 N형 플로팅 이미터층(26)을 각각 드레인층 및 소스층으로 하며, 제2의 NMOS 트랜지스터 영역(14)은 N형 플로팅 이미터층(26) 및 N-형 드리프트층(20)을 각각 소스층 및 드리프트층으로 하여 구성되어 있다.

제3도 내지 제6도에 도시된 본 발명에 따른 모스 제어형 사이리스터의 제조방법에 대하여 설명하기로 한다.

먼저, P형 반도체 기판(40)의 표면에 N형 버퍼층(42)과 N-형 드리프트층(44)을 에피택셜 방법으로 성장시킨 다음, 통상의 사진 및 이온주입 공정으로 N-형 드리프트층(44)의 표면 영역에 선택적으로 P형 반도체층(46)과 P형 반도체층(48)을 형성하여 제3도와 같은 구조를 형성한다.

이어서, P형 반도체층(46)과 P형 반도체층(48)의 표면 영역에, 제4도에 도시된 바와 같이, P형 반도체층(48)과 P형 반도체층(46)에 걸쳐 형성된 N형 반도체층(50)은 후속 공정으로 완성되는 제1의 MOS 트랜지스터 구조의 드레인층이 되어 전체 모스 제어형 사이리스터의 캐소드층(50)으로 형성되며, P형 반도체층(46)의 표면 영역에만 형성된 N형 반도체층은 플로팅 이미터층(52)으로서 제1의 MOS모스 트랜지스터의 소스층을 이루게 된다.

제5(a)도 및 제5(b)도를 참조하면, 캐소드층(50)과 플로팅 이미터층(52)이 형성된 반도체 기판에 사진 및 식각 공정으로 캐소드층(50)과 플로팅 이미터층(52) 사이에 N-형 드리프트층(44) 영역까지 도달하는 복수개의 트렌치를 형성한 후, 1000 Å 정도 두께의 게이트산화막(54)을 성장시킨 다음, 3000 Å 정도 두께의 N형 폴리실리콘(56)을 침적하여 트렌치를 채우게 되는데, 제5(b)도는 제5(a)도의 A-A'선을 따라 절단한 단면을 나타낸다.

제6도를 참조하면, 그 후, 게이트사진공정으로 캐소드층(50)과 플로팅 이미터층(52)간의 상부에 침적된 폴리실리콘막(56)과 플로팅 이미터층(52), N-형 드리프트층(44) 간의 상부에 침적된 폴리실리콘막(56)을 마스크링 한 후, 폴리실리콘막(56)을 식각하여 제1 및 제2폴리실리콘 게이트 전극(58,60)을 형성하여 캐소드층(50), 플로팅 이미터층(52) 및 제1폴리실리콘 게이트 전극(58)으로 이루어진 제1의 MOS 트랜지스터 구조와 플로팅 이미터층(52), N-형 드리프트층(44) 및 제2폴리실리콘 게이트전극(60)으로 이루어진 제2의 MOS 트랜지스터 구조를 형성한 다음, 층간절연막으로써 실리콘 산화막(62)을 침적한다.

이후 통상의 금속배선 공정으로 금속 전극을 형성함으로써 제2도와 같은 본 발명의 모스 제어형 사이리스터가 완성된다.

상기와 같은 본 발명의 모스 제어형 사이리스터의 동작을 살펴보면, 제1 및 제2의 NMOS 트랜지스터(12, 14)의 채널이 온 상태에서 사이리스터(10)의 애노드 전압이 인가되면 제2의 NMOS 트랜지스터(14)의 모스 채널을 통과한 전자는 사이리스터 영역의 PNP 바이폴라 트랜지스터의 N-형 드리프트층(20)으로 흘러 구동 전류를 공급하게 된다.

이 때, 애노드로부터 주입되어 N-형 드리프트 영역(20)을 통과한 홀 전류는 N형 플로팅 이미터(26)영역 하부의 P-형 반도체층(22)을 통해 캐소드층(24)으로 전도되는데, 이 상태에서 모스 제어형 사이리스터는 절연 게이트 바이폴라 트랜지스터와 동일한 특성으로 동작하게 된다.

또한, P-형 반도체층(22)으로 흐르는 전류가 점점 증가하여 P-형 반도체층(22)과 N형 플로팅 이미터층(26)간의 PN 접합에 0.7V의 전위차가 형성되면 사이리스터 영역(10)의 NPN 및 PNP 트랜지스터가 활성화되어 사이리스터가 래치업되어 사이리스터 고유의 동작 특성을 나타내게 된다.

모스 제어형 사이리스터에서 N형 플로팅 이미터층(26) 영역으로부터 전도된 사이리스터 전류는 제1의 NMOS 트랜지스터 영역(12)의 모스 채널을 통하여 캐소드층(24)에 전도되므로 모스 채널을 온-오프함으로

써 그 흐름이 제어된다.

상기와 같이 동작하는 본 발명의 모스 제어형 사이리스터에서 제1의 NMOS 트랜지스터(12)의 채널은 트랜치 형태를 갖고 있기 때문에 채널 폭이 크게 증가하여 채널 저항이 크게 감소하므로 채널 영역에서의 전압 강하가 감소하게 된다.

발명의 효과

이상, 본 발명에 따르면, 트랜치형 모스 채널구조로 모스 제어형 사이리스터를 형성함으로써 채널 폭이 크게 증가하여 채널 저항이 크게 감소하므로 채널영역에서의 전압 강하가 감소하게 되어 모스 제어형 사이리스터의 전력 용량을 향상시킬 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1

제1의 P형 반도체기판과, 제1의 N형 반도체영역, 제2의 P형 반도체영역 및 제2의 N형 반도체영역의 접합으로 이루어진 사이리스터 영역; 및 상기 사이리스터 영역의 상기 제2의 N형 반도체영역과 상기 제2의 P형 반도체영역의 표면에 상기 제2의 N형 반도체영역으로부터 이격 형성된 N+형 반도체영역을 각각 소스층 및 드레인층으로 하는 NMOS형 트랜지스터 영역으로 구성된 모스 제어형 사이리스터에 있어서, 상기 NMOS형 트랜지스터의 게이트가 상기 소스층 및 드레인층 사이에 형성된 복수개의 트랜치 구조를 갖는 것을 특징으로 하는 모스 제어형 사이리스터.

청구항 2

제1항에 있어서, 상기 사이리스터 영역의 상기 제2의 N형 반도체영역과 상기 제1의 N형 반도체기판을 각각 소스층 및 드레인층으로 하는 모스 트랜지스터 구조를 더 포함하는 것을 특징으로 하는 모스 제어형 사이리스터.

청구항 3

제1항에 있어서, 상기 사이리스터 영역의 상기 제1의 P형 반도체영역과 상기 제1의 N형 반도체영역 사이에 N+형 반도체영역을 더 포함하는 것을 특징으로 하는 모스 제어형 사이리스터.

청구항 4

사이리스터 영역에서 전도된 전류를 모스 채널을 통하여 캐소드 영역으로 전도하는 모스 제어형 사이리스터를 제조하는 방법에 있어서, 제1의 P형 반도체기판에 제1의 N형 반도체영역을 형성하는 단계; 상기 제1의 N형 반도체영역 표면에 선택적으로 제2의 P형 반도체영역을 형성하는 단계; 상기 제2의 P형 반도체영역 표면에 선택적으로 제2의 N형 반도체 영역을 형성하는 단계; 상기 제1의 N형 반도체영역 일부까지 도달하는 복수개의 트랜치를 형성하는 단계; 상기 결과물의 표면에 게이트 유전막을 형성하는 단계; 상기 유전막 표면에 게이트 도전막을 침적하는 단계; 상기 게이트 도전막을 선택적으로 제거하여 상기 트랜치 영역 및 상기 제2의 N형 반도체영역과 접합된 상기 제2의 P형 반도체영역의 상부 영역에 도전막 게이트전극을 형성하는 단계; 및 중간절연막을 침적하고 금속배선공정을 실시하여 금속전극을 형성하는 단계를 구비함을 특징으로 하는 모스 제어형 사이리스터.

청구항 5

제4항에 있어서, 상기 제1의 P형 반도체 기판과 상기 제1의 N형 반도체영역 사이에 N+형 반도체영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 제어형 사이리스터.

청구항 6

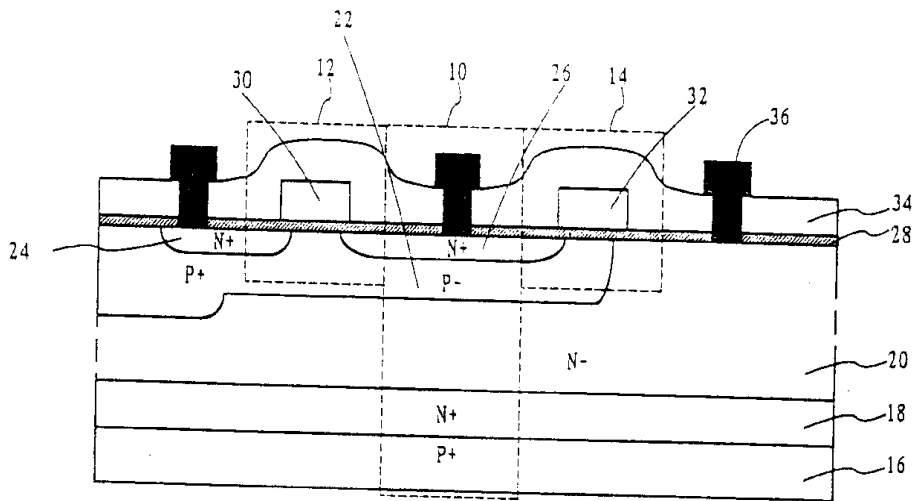
제4항에 있어서, 상기 게이트 유전막은 열산화 방식으로 형성되는 것을 특징으로 하는 모스 제어형 사이리스터.

청구항 7

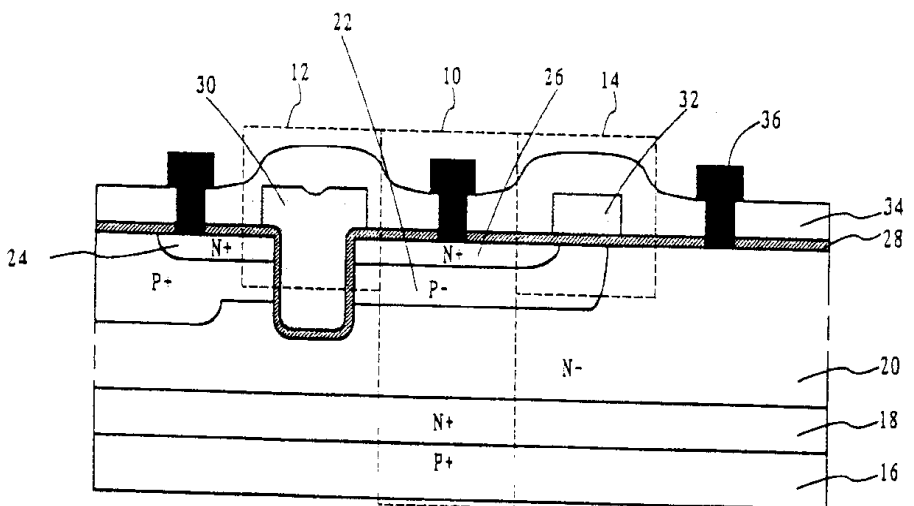
제4항에 있어서, 상기 게이트 도전막을 고농도 N형의 폴리실리콘막인 것을 특징으로 하는 모스 제어형 사이리스터.

도면

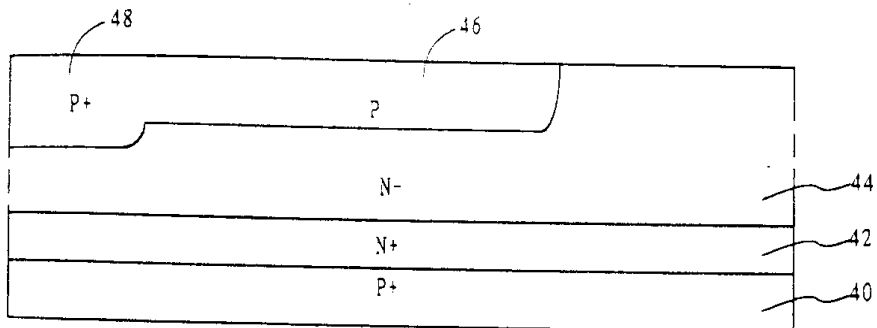
도면1



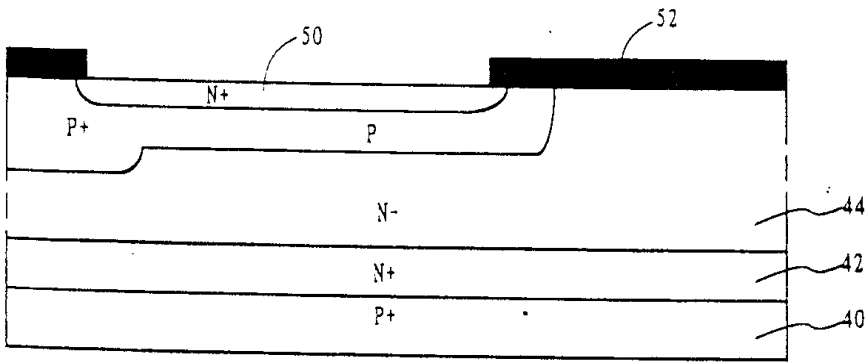
도면2



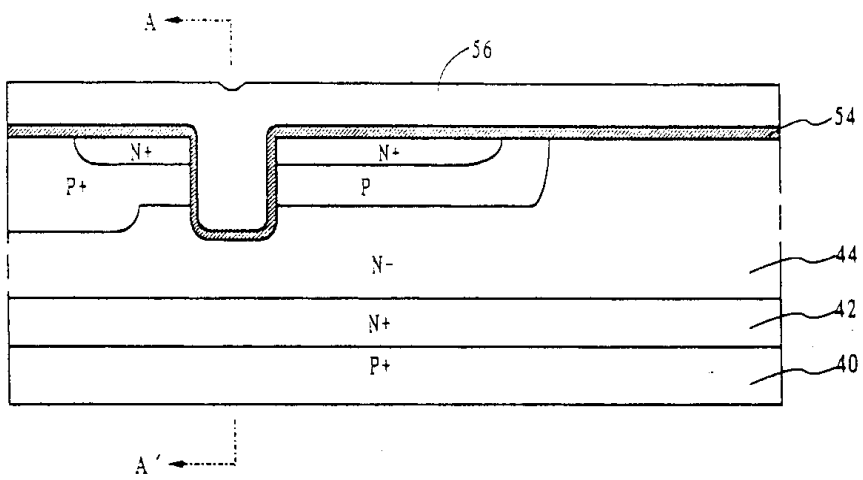
도면3



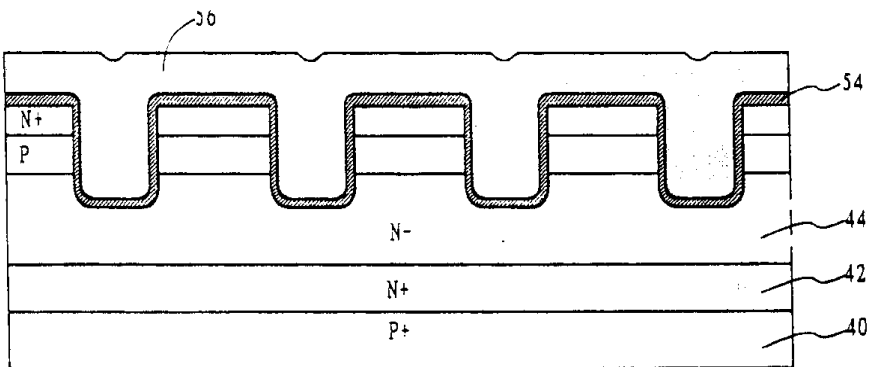
도면4



도면5a



도면5b



도면6

