



(12)发明专利

(10)授权公告号 CN 104217933 B

(45)授权公告日 2016.12.28

(21)申请号 201310222153.6

H01L 29/423(2006.01)

(22)申请日 2013.06.05

H01L 29/78(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104217933 A

(56)对比文件

CN 1405894 A,2003.03.26,

CN 102347357 A,2012.02.08,

US 2011/0215386 A1,2011.09.08,

CN 101989548 A,2011.03.23,

US 2009/0215238 A1,2009.08.27,

(43)申请公布日 2014.12.17

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

审查员 王真真

(72)发明人 赵猛

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51)Int.Cl.

H01L 21/28(2006.01)

H01L 21/336(2006.01)

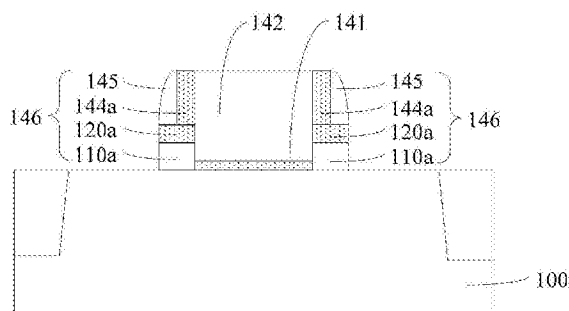
权利要求书2页 说明书8页 附图5页

(54)发明名称

半导体结构及其形成方法

(57)摘要

一种半导体结构及其形成方法,所述形成方法先在半导体衬底上形成第一埋层和牺牲介质层,所述第一埋层的厚度大于后续形成的第一氧化硅层的厚度;对所述牺牲介质层和第一埋层进行刻蚀形成第一开口;在所述第一开口暴露出的半导体衬底表面形成第一氧化硅层,在所述第一氧化硅层表面的第一开口内形成多晶硅电极。由于所述第一埋层的厚度大于第一氧化硅层的厚度,当在所述多晶硅电极暴露出的侧壁和顶部表面形成第二氧化硅层时,所述第一氧化硅层的厚度不会发生改变,使得MOS晶体管的阈值电压较为稳定,不会发生变化,同时由于所述第二氧化硅层没有直接形成在所述半导体衬底表面,不会发生氧化增强扩散效应,不容易引发短沟道效应。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供半导体衬底,在所述半导体衬底表面形成第一埋层;
在所述第一埋层表面形成牺牲介质层;
对所述牺牲介质层和第一埋层进行刻蚀形成第一开口,所述第一开口暴露出半导体衬底表面;
在所述第一开口暴露出的半导体衬底表面形成第一氧化硅层,所述第一埋层的厚度大于所述第一氧化硅层的厚度;
在所述第一氧化硅层表面的第一开口内形成多晶硅电极;
去除所述牺牲介质层,在所述多晶硅电极暴露出的侧壁和顶部表面形成第二氧化硅层;
在所述多晶硅电极侧壁的第二氧化硅层表面形成第一侧墙,利用所述第一侧墙和多晶硅电极为掩膜对暴露出的第一埋层进行刻蚀,直到暴露出所述半导体衬底表面,其中,位于半导体衬底表面且位于第一氧化硅层侧壁和多晶硅电极部分侧壁表面的剩余的第一埋层、位于所述多晶硅电极侧壁表面且位于第一埋层表面的第二氧化硅层、位于所述第二氧化硅层侧壁表面且位于第一埋层表面的第一侧墙构成第二侧墙。
2. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一埋层的厚度范围为1纳米~10纳米。
3. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一埋层的材料为氮化硅。
4. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一埋层具有压缩应力或拉伸应力。
5. 如权利要求1所述的半导体结构的形成方法,其特征在于,还包括:位于所述第一埋层表面的第二埋层,在所述第二埋层表面形成牺牲介质层,所述第二埋层的材料与第一埋层的材料不同。
6. 如权利要求5所述的半导体结构的形成方法,其特征在于,利用所述第一侧墙和多晶硅电极为掩膜依次对暴露出的第二埋层和第一埋层进行刻蚀,直到暴露出所述半导体衬底,其中,位于第一氧化硅层侧壁和多晶硅电极部分侧壁表面的剩余的第一埋层、位于所述第一埋层表面的剩余的第二埋层,位于所述多晶硅电极侧壁表面且位于第二埋层表面的第二氧化硅层、位于所述第二氧化硅层侧壁表面且位于第二埋层表面的第一侧墙构成第二侧墙。
7. 如权利要求5所述的半导体结构的形成方法,其特征在于,所述第二埋层的材料为氧化硅或氮氧化硅。
8. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述第一氧化硅层和第二氧化硅层的工艺为干氧化工艺或湿氧化工艺。
9. 如权利要求1所述的半导体结构的形成方法,其特征在于,还包括:在所述多晶硅电极两侧暴露出的半导体衬底内形成源区和漏区。
10. 如权利要求9所述的半导体结构的形成方法,其特征在于,形成所述源区和漏区的具体工艺包括:以所述第二侧墙和多晶硅电极为掩膜,对所述第二侧墙两侧暴露出的半导体衬底进行离子注入形成轻掺杂区;在所述第二侧墙的侧壁表面形成第三侧墙,以所述第

二侧墙、第三侧墙和多晶硅电极为掩膜,对所述第三侧墙两侧暴露出的半导体衬底进行离子注入形成重掺杂区,从而在所述多晶硅电极两侧暴露出的半导体衬底内形成源区和漏区。

11.如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一氧化硅层为栅氧化层,所述多晶硅电极为栅电极,所述第一氧化硅层和多晶硅电极构成多晶硅栅极结构。

12.如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一氧化硅层和多晶硅电极为用于形成金属栅极结构的伪栅结构。

13.如权利要求12所述的半导体结构的形成方法,其特征在于,形成所述金属栅极结构的具体工艺包括:在所述半导体衬底表面形成覆盖伪栅结构的第一层间介质层,利用化学机械研磨工艺去除多余的所述第一层间介质层,直到暴露出所述多晶硅电极顶部表面;去除所述伪栅结构,形成第二开口,在所述第二开口内形成金属栅极结构。

14.一种采用如权利要求1所述的形成方法所形成的半导体结构,其特征在于,包括:

半导体衬底,位于所述半导体衬底表面的第一氧化硅层,位于所述第一氧化硅层表面的多晶硅电极;

位于半导体衬底表面且位于所述第一氧化硅层侧壁和多晶硅电极部分侧壁表面的第一埋层,位于所述多晶硅电极侧壁表面且位于第一埋层表面的第二氧化硅层,位于所述第二氧化硅层侧壁表面且位于第一埋层表面的第一侧墙,所述第一埋层、第二氧化硅层和第一侧墙构成第二侧墙,且所述第一埋层的厚度大于所述第一氧化硅层的厚度。

15.如权利要求14所述的半导体结构,其特征在于,还包括:位于所述多晶硅电极两侧暴露出的半导体衬底内的源区和漏区。

16.如权利要求14所述的半导体结构,其特征在于,所述第一氧化硅层和多晶硅电极构成多晶硅栅极结构。

17.如权利要求14所述的半导体结构,其特征在于,所述第一氧化硅层和多晶硅电极为用于形成金属栅极结构的伪栅结构。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及半导体制作工艺,特别涉及一种半导体结构及其形成方法。

背景技术

[0002] 金属-氧化物-半导体(MOS)晶体管是半导体制造中的最基本器件,其广泛适用于各种集成电路中,根据源/漏区的掺杂类型不同,分为NMOS和PMOS晶体管。

[0003] 现有技术提供了一种MOS晶体管的制作方法。请参考图1至图3,为现有技术的MOS晶体管的制作过程的剖面结构示意图。

[0004] 请参考图1,提供半导体衬底10,在所述半导体衬底10内形成隔离结构11,所述隔离结构11之间的半导体衬底10为有源区,在所述有源区内形成掺杂阱(未图示),在所述有源区表面依次形成栅氧化层12和多晶硅栅电极13,所述栅氧化层12和多晶硅栅电极13构成栅极结构。

[0005] 请参考图2,利用再氧化工艺在所述栅极结构和半导体衬底10表面形成氧化硅层14;

[0006] 请参考图3,在所述栅极结构两侧的氧化硅层表面形成侧墙18,利用回刻蚀工艺去除半导体衬底10表面和栅极结构表面的氧化硅层,形成氧化硅层14a,并在所述侧墙18两侧的半导体衬底10内进行离子注入形成源区15和漏区16。

[0007] 在实际中发现,利用现有方法制作的MOS晶体管容易产生短沟道效应(Short Channel effect,SCE),而且阈值电压不稳定。

发明内容

[0008] 本发明解决的问题是提供一种半导体结构及其形成方法,可以尽可能避免晶体管的短沟道效应,且能提高阈值电压的稳定性。

[0009] 为解决上述问题,本发明提供一种半导体结构的形成方法,包括:提供半导体衬底,在所述半导体衬底表面形成第一埋层;在所述第一埋层表面形成牺牲介质层;对所述牺牲介质层和第一埋层进行刻蚀形成第一开口,所述第一开口暴露出半导体衬底表面;在所述第一开口暴露出的半导体衬底表面形成第一氧化硅层,所述第一埋层的厚度大于所述第一氧化硅层的厚度;在所述第一氧化硅层表面的第一开口内形成多晶硅电极;去除所述牺牲介质层,在所述多晶硅电极暴露出的侧壁和顶部表面形成第二氧化硅层;在所述多晶硅电极侧壁的第二氧化硅层表面形成第一侧墙,利用所述第一侧墙和多晶硅电极为掩膜对暴露出的第一埋层进行刻蚀,直到暴露出所述半导体衬底表面,其中,位于半导体衬底表面且位于第一氧化硅层侧壁和多晶硅电极部分侧壁表面的剩余的第一埋层、位于所述多晶硅电极侧壁表面且位于第一埋层表面的第二氧化硅层、位于所述第二氧化硅层侧壁表面且位于第一埋层表面的第一侧墙构成第二侧墙。

[0010] 可选的,所述第一埋层的厚度范围为1纳米~10纳米。

[0011] 可选的,所述第一埋层的材料为氮化硅。

- [0012] 可选的,所述第一埋层具有压缩应力或拉伸应力。
- [0013] 可选的,还包括:位于所述第一埋层表面的第二埋层,在所述第二埋层表面形成牺牲介质层,所述第二埋层的材料与第一埋层的材料不同。
- [0014] 可选的,利用所述第一侧墙和多晶硅电极为掩膜依次对暴露出的第二埋层和第一埋层进行刻蚀,直到暴露出所述半导体衬底,其中,位于第一氧化硅层侧壁和多晶硅电极部分侧壁表面的剩余的第一埋层、位于所述第一埋层表面的剩余的第二埋层,位于所述多晶硅电极侧壁表面且位于第二埋层表面的第二氧化硅层、位于所述第二氧化硅层侧壁表面且位于第二埋层表面的第一侧墙构成第二侧墙。
- [0015] 可选的,所述第二埋层的材料为氧化硅或氮氧化硅。
- [0016] 可选的,形成所述第一氧化硅层和第二氧化硅层的工艺为干氧化工艺或湿氧化工艺。
- [0017] 可选的,还包括:在所述多晶硅电极两侧暴露出的半导体衬底内形成源区和漏区。
- [0018] 可选的,形成所述源区和漏区的具体工艺包括:以所述第二侧墙和多晶硅电极为掩膜,对所述第二侧墙两侧暴露出的半导体衬底进行离子注入形成轻掺杂区;在所述第二侧墙的侧壁表面形成第三侧墙,以所述第二侧墙、第三侧墙和多晶硅电极为掩膜,对所述第三侧墙两侧暴露出的半导体衬底进行离子注入形成重掺杂区,从而在所述多晶硅电极两侧暴露出的半导体衬底内形成源区和漏区。
- [0019] 可选的,所述第一氧化硅层为栅氧化层,所述多晶硅电极为栅电极,所述第一氧化硅层和多晶硅电极构成多晶硅栅极结构。
- [0020] 可选的,所述第一氧化硅层和多晶硅电极为用于形成金属栅极结构的伪栅结构。
- [0021] 可选的,形成所述金属栅极结构的具体工艺包括:在所述半导体衬底表面形成覆盖伪栅结构的第一层间介质层,利用化学机械研磨工艺去除所述多余的第一层间介质层,直到暴露出所述多晶硅电极顶部表面;去除所述伪栅结构,形成第二开口,在所述第二开口内形成金属栅极结构。
- [0022] 本发明还提供了一种半导体结构,包括:半导体衬底,位于所述半导体衬底表面的第一氧化硅层,位于所述第一氧化硅层表面的多晶硅电极;位于半导体衬底表面且位于所述第一氧化硅层侧壁和多晶硅电极部分侧壁表面的第一埋层,位于所述多晶硅电极侧壁表面且位于第一埋层表面的第二氧化硅层,位于所述第二氧化硅层侧壁表面且位于第一埋层表面的第一侧墙,所述第一埋层、第二氧化硅层和第一侧墙构成第二侧墙,且所述第一埋层的厚度大于所述第一氧化硅层的厚度。
- [0023] 可选的,还包括:位于所述多晶硅电极两侧暴露出的半导体衬底内的源区和漏区。
- [0024] 可选的,所述第一氧化硅层和多晶硅电极构成多晶硅栅极结构。
- [0025] 可选的,所述第一氧化硅层和多晶硅电极为用于形成金属栅极结构的伪栅结构。
- [0026] 与现有技术相比,本发明的技术方案具有以下优点:
- [0027] 本发明先在半导体衬底上形成第一埋层和牺牲介质层,在所述牺牲介质层和第一埋层内形成第一开口,然后在所述第一开口暴露出的半导体衬底表面形成第一氧化硅层和多晶硅电极。由于所述第一埋层的厚度大于第一氧化硅层的厚度,使得所述第一氧化硅层的侧壁被第一埋层所覆盖,当后续在所述多晶硅电极暴露出的侧壁和顶部表面形成第二氧化硅层时,所述第二氧化硅层与第一氧化硅层不接触,使得所述第一氧化硅层的厚度不会

发生改变,所述MOS晶体管的阈值电压较为稳定,不会发生变化;同时由于只在半导体衬底表面相对于栅极结构的位置形成第一氧化硅层,且所述第二氧化硅层没有直接形成在所述半导体衬底表面,不会在源区或漏区发生氧化增强扩散效应,不容易引发短沟道效应。

附图说明

[0028] 图1至图3是现有技术形成MOS晶体管的结构示意图;

[0029] 图4至图10是本发明实施例的半导体结构的形成过程的剖面结构示意图。

具体实施方式

[0030] 在现有技术中,继续参考图3,通过再氧化工艺在所述栅极结构和半导体衬底10表面形成氧化硅层14,利用所述氧化硅层14一定程度地减少形成栅极结构时刻蚀工艺对栅极结构的侧壁和表面造成的损伤。但同时,在半导体衬底上形成所述氧化硅层的过程中,在所述半导体衬底靠近氧化硅层的区域会形成缺陷,所述缺陷会产生氧化增强扩散(Oxidation-Enhanced Diffusion,OED)效应,半导体衬底中掺杂的离子会随着所述缺陷进行增强扩散,扩散距离会大大增强,使得源区15和漏区16的掺杂离子会在半导体衬底靠近氧化硅层的区域进行增强扩散,所述掺杂离子会扩散到栅极结构下方的沟道区,使得实际的沟道区变短,引发短沟道效应。同时,利用再氧化工艺在所述栅极结构的侧壁表面形成氧化硅层14时,所述氧化硅层14与栅氧化层12相接触,且由于所述栅氧化层12的材料也为氧化硅,位于栅极结构周边区域的栅氧化层12会扩散并重新结晶,使得所述位于栅极结构周边区域的栅氧化层12a的厚度变大,且大于位于栅极结构中间区域的栅氧化层的厚度,使得位于栅极结构周边区域的阈值电压变大,从而使得整个MOS晶体管的阈值电压不稳定,难以控制,且所述较厚的栅氧化层12a会导致半导体衬底在栅极结构周边区域的氧化增强扩散更加显著。

[0031] 为此,本发明提供了一种半导体结构及其形成方法,先在半导体衬底上形成第一埋层和牺牲介质层,所述第一埋层的厚度大于后续形成的第一氧化硅层的厚度;对所述牺牲介质层和第一埋层进行刻蚀形成第一开口;在所述第一开口暴露出的半导体衬底表面形成第一氧化硅层,在所述第一氧化硅层表面的第一开口内形成多晶硅电极。由于所述第一埋层的厚度大于第一氧化硅层的厚度,使得所述第一氧化硅层的侧壁被第一埋层所覆盖,当后续在所述多晶硅电极暴露出的侧壁和顶部表面形成第二氧化硅层时,所述第二氧化硅层与第一氧化硅层不接触,使得所述第一氧化硅层的厚度不会发生改变,使得MOS晶体管的阈值电压较为稳定,不会发生变化,同时由于所述第二氧化硅层没有直接形成在所述半导体衬底表面,不会发生氧化增强扩散效应,不容易引发短沟道效应。

[0032] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0033] 请参考图4~图10,为本发明实施例的半导体结构的形成过程的剖面结构示意图。

[0034] 具体的,请参考图4,提供半导体衬底100,在所述半导体衬底100表面形成第一埋层110,在所述第一埋层110表面形成第二埋层120,在所述第二埋层120表面形成牺牲介质层130。

[0035] 所述半导体衬底100为硅衬底或绝缘体上硅衬底。所述半导体衬底100内还具有浅

沟槽隔离结构(未标示),利用所述浅沟槽隔离结构将相邻的半导体结构电学隔离。

[0036] 在本实施例中,所述第一埋层110的材料为氮化硅,所述第一埋层110的厚度范围为1纳米~10纳米,且所述第一埋层110的厚度大于后续形成的第一氧化硅层的厚度。所述第一埋层110的形成工艺为化学气相沉积工艺。在其他实施例中,所述第一埋层110的厚度也可以为其他范围。

[0037] 在其他实施例中,通过调整所述化学气相沉积工艺的射频功率、反应压强、反应温度、反应气体比例等,使得所述第一埋层110具有压缩应力或拉伸应力,利用所述第一埋层110对半导体衬底100施加应力作用,使得所述半导体衬底100内对应地具有拉伸应力或压缩应力,有利于提高最终形成的NMOS晶体管或PMOS晶体管的沟道区载流子的迁移速率。

[0038] 在本实施例中,在所述第一埋层110表面形成第二埋层120,在所述第二埋层120表面形成牺牲介质层130。所述第二埋层120作为后续刻蚀牺牲介质层130的阻挡层,所述第二埋层120的厚度小于牺牲介质层130的厚度,以避免在刻蚀牺牲介质层130时对第一埋层110进行过多地刻蚀,使得所述第一埋层110的厚度容易控制,从而可以保证所述第一埋层110的厚度大于后续形成的第一氧化硅层的厚度。

[0039] 在本实施例中,所述第二埋层120的材料为氧化硅或氮氧化硅,所述第二埋层120的材料与第一埋层110的材料不同,具有较大的刻蚀选择比,且由于所述第二埋层120的厚度小于牺牲介质层130的厚度,相比于直接去除牺牲介质层而言,去除所述第二埋层120时较不会影响第一埋层110的厚度。且当所述第二埋层120的材料为氧化硅时,由于所述氧化硅不是直接形成在半导体衬底100表面,因此不会在靠近半导体衬底100表面的区域形成氧化增强扩散效应。

[0040] 在其他实施例中,也可以不形成所述第二埋层,在所述第一埋层表面形成牺牲介质层,所述牺牲介质层的材料与第一埋层的材料不相同,具有较大的刻蚀选择比,以避免后续在去除牺牲介质层时对第一埋层进行过多的刻蚀。

[0041] 在本实施例中,所述牺牲介质层130的材料为氮化硅,在其他实施例中,所述牺牲介质层的材料也可以为氧化硅、氮氧化硅或低K栅介质材料。

[0042] 请参考图5,对所述牺牲介质层130、第二埋层120和第一埋层110进行刻蚀形成第一开口140,所述第一开口140暴露出半导体衬底100表面。

[0043] 所述刻蚀工艺为干法刻蚀工艺,具体工艺包括:在所述牺牲介质层130表面形成图形化的光刻胶层(未图示),以所述图形化的光刻胶层为掩膜,对所述牺牲介质层130、第二埋层120和第一埋层110进行干法刻蚀形成第一开口140,然后利用灰化工艺去除所述光刻胶层。

[0044] 请参考图6,在所述第一开口140(请参考图5)暴露出的半导体衬底100表面形成第一氧化硅层141,所述第一埋层120的厚度大于所述第一氧化硅层141的厚度,在所述第一氧化硅层141表面的第一开口140内形成多晶硅电极142。

[0045] 在本实施例中,形成所述第一氧化硅层141的工艺为氧化工艺,所述氧化工艺为干氧化工艺或湿氧化工艺,利用氧化工艺在所述暴露出的半导体衬底100表面形成第一氧化硅层141。

[0046] 形成多晶硅电极142的工艺包括:在所述第一氧化硅层141表面的第一开口140和牺牲介质层130表面形成多晶硅材料层(未图示),利用化学机械研磨工艺对所述牺牲介质

层130进行抛光,直到暴露出所述牺牲介质层130表面,填充第一开口140的多晶硅材料层作为多晶硅电极142。

[0047] 在本实施例中,所述第一氧化硅层141作为MOS晶体管的栅氧化层,所述多晶硅电极142作为MOS晶体管的栅电极,所述第一氧化硅层141和多晶硅电极142构成MOS晶体管的栅极结构。

[0048] 在其他实施例中,所述第一氧化硅层和多晶硅电极为用于形成金属栅极结构的伪栅结构,后续需要将所述伪栅结构去除,在伪栅结构对应的位置形成金属栅极结构。

[0049] 由于所述第一氧化硅层141只形成在半导体衬底100表面与栅极结构对应的位置,在源区和漏区的表面不形成氧化硅层,不会在源区和漏区形成氧化增强扩散效应,不容易使得源区和漏区掺杂的离子扩散到沟道区中,不容易引发短沟道效应。

[0050] 请参考图7,去除所述牺牲介质层130(请参考图6),在所述多晶硅电极142暴露出的侧壁和顶部表面形成二氧化硅层144。

[0051] 去除所述牺牲介质层130的工艺为湿法刻蚀工艺或干法刻蚀工艺。在本实施例中,采用湿法刻蚀工艺去除所述牺牲介质层130,虽然所述牺牲介质层130与第一埋层110的材料相同,由于所述第一埋层110表面具有第二埋层120,即使去除牺牲介质层130时会去除部分厚度的第二埋层120,但不会影响第一埋层110的厚度,从而能保证所述第一埋层110的厚度比第一氧化硅层141的厚度大。

[0052] 在其他实施例中,去除所述牺牲介质层之前,在所述多晶硅电极表面形成掩膜层(未图示),后续形成第一侧墙、第二侧墙、对第一埋层和第二埋层进行刻蚀时,所述掩膜层作为多晶硅电极的掩膜,避免多晶硅电极在后续工艺中受到损伤。

[0053] 在其他实施例中,还可以在去除所述牺牲介质层和第二埋层后在所述多晶硅电极暴露出的侧壁和顶部表面形成二氧化硅层。

[0054] 在本实施例中,形成二氧化硅层144的工艺为再氧化工艺,所述再氧化工艺包括干氧化工艺或湿氧化工艺,通过形成所述二氧化硅层144减少多晶硅电极侧壁形成的缺陷,同时利用所述二氧化硅层144与多晶硅良好的界面特性降低栅侧壁漏电流。由于所述二氧化硅层144只能形成在多晶硅电极142暴露出的侧壁和顶部表面,而由于第一埋层110的厚度大于第一氧化硅层141的厚度,且在所述第一埋层110表面还形成有第二埋层120,使得多晶硅电极142靠近底部的部分侧壁表面被第一埋层110和第二埋层120所覆盖,只能在多晶硅电极142剩余的靠近顶部的侧壁表面和顶部表面形成二氧化硅层144,所述形成的二氧化硅层144不会与第一氧化硅层141相接触,使得形成二氧化硅层144时不会让位于栅极结构周边区域的第一氧化硅层141重新结晶增厚,因此不会影响最终形成的MOS晶体管的阈值电压的稳定性。并且,由于所述二氧化硅层144不形成在源区和漏区对应的半导体衬底100表面,使得所述源区和漏区对应的半导体衬底100表面缺陷较小,源区和漏区的掺杂离子不会产生氧化增强扩散效应,使得源区和漏区的形状容易控制,所述源区和漏区不会向沟道区延伸,因此不容易产生短沟道效应。且由于源区和漏区不会向沟道区延伸,源区和漏区的面积较小,有利于降低源区和衬底之间的源衬电容 C_{j0} ,有利于提高MOS晶体管的截止频率,从而有利于改善MOS晶体管的交流特性。同时由于现有技术形成源区和漏区的过程中通常会先形成较浅的轻掺杂(LDD)区,氧化增强扩散效应会使得轻掺杂区的深度变深,使得轻掺杂区不容易控制,由于本发明不在源区和漏区对应的半导体衬底

100表面形成氧化硅层,轻掺杂区的掺杂离子不会随着氧化增强扩散效应进行扩散,使得轻掺杂区的深度可控。

[0055] 在其他实施例中,即使不形成有第二埋层,由于第一埋层的厚度大于第一氧化硅层的厚度,仍能使得多晶硅电极靠近底部的部分侧壁表面被第一埋层所覆盖,只能在多晶硅电极剩余的靠近顶部的侧壁表面和顶部表面形成第二氧化硅层,所述形成的第二氧化硅层不会与位于栅极结构周边区域的第一氧化硅层相接触,使得形成第二氧化硅层时不会让位于栅极结构周边区域的第一氧化硅层重新结晶增厚,因此不会影响最终形成的MOS晶体管的阈值电压的稳定性。

[0056] 请参考图8,在所述多晶硅电极142侧壁的第二氧化硅层144表面形成第一侧墙145。

[0057] 形成所述第一侧墙145的具体工艺包括:在所述第二氧化硅层144和第二埋层120表面形成第一侧墙材料层(未图示),所述第一侧墙材料层为氧化硅层、氮化硅层或两者的叠层结构;利用回刻蚀工艺对所述第一侧墙材料层进行刻蚀,直到暴露出所述第二埋层120的表面,在所述多晶硅电极142侧壁的第二氧化硅层144表面形成第一侧墙145。

[0058] 请参考图9,利用所述第一侧墙145和多晶硅电极142为掩膜对暴露出的第二埋层120(请参考图8)和第一埋层110(请参考图8)进行刻蚀,直到暴露出所述半导体衬底100表面,其中,位于半导体衬底100表面且位于第一氧化硅层141侧壁和多晶硅电极142部分侧壁表面的剩余的第一埋层110a、位于所述第一埋层110a表面的剩余的第二埋层120a、位于所述多晶硅电极142侧壁表面且位于第二埋层120a表面的第二氧化硅层144a、位于所述第二氧化硅层144a侧壁表面且位于第二埋层120a表面的第一侧墙145构成第二侧墙146。

[0059] 在其他实施例中,如果不形成第二埋层,利用所述第一侧墙和多晶硅电极为掩膜对暴露出的第一埋层进行刻蚀,直到暴露出所述半导体衬底表面,位于半导体衬底表面且位于第一氧化硅层侧壁和多晶硅电极部分侧壁表面的剩余的第一埋层、位于所述多晶硅电极侧壁表面且位于第一埋层表面的第二氧化硅层、位于所述第二氧化硅层侧壁表面且位于第一埋层表面的第一侧墙构成第二侧墙。

[0060] 请参考图10,在所述多晶硅电极142两侧的半导体衬底100内形成源区151和漏区152。

[0061] 所述源区151和漏区152的形成工艺包括:以所述第二侧墙146和多晶硅电极142为掩膜,对所述第二侧墙146两侧暴露出的半导体衬底100进行离子注入形成轻掺杂(LDD)区(未标示);在所述第二侧墙146的侧壁表面形成第三侧墙147,以所述第二侧墙146、第三侧墙147和多晶硅电极142为掩膜,对所述第三侧墙147两侧暴露出的半导体衬底100进行离子注入形成重掺杂区(未标示),从而在所述多晶硅电极142两侧暴露出的半导体衬底100内形成源区151和漏区152。位于多晶硅电极142一侧的轻掺杂区和重掺杂区构成源区151,位于多晶硅电极142另一侧的轻掺杂区和重掺杂区构成漏区152。

[0062] 在其他实施例中,还可以在所述源区和漏区靠近沟道区的一侧形成袋状注入区(未图示),所述袋状注入区的掺杂离子类型与源区、漏区的掺杂离子类型相反,可以抑制源区和漏区的掺杂离子向沟道区扩散,避免引起短沟道效应。

[0063] 在其他实施例中,还可以在所述多晶硅电极两侧的半导体衬底内形成第三开口,在所述第三开口内形成应力层,所述应力层的材料为碳化硅或锗硅,利用所述应力层提高

沟道区载流子的迁移率,然后在所述应力层内掺杂杂质离子,所述应力层作为源区和漏区。

[0064] 在本实施例中,由于所述第一氧化硅层141作为MOS晶体管的栅氧化层,所述多晶硅电极142作为MOS晶体管的栅电极,所述第一氧化硅层141和多晶硅电极142构成MOS晶体管的多晶硅栅极结构,后续在源区、漏区和多晶硅栅极结构表面形成金属互连结构(未图示)。

[0065] 在其他实施例中,所述第一氧化硅层和多晶硅电极为用于形成金属栅极结构的伪栅结构,后续需要将所述伪栅结构去除,利用后栅(gate last)工艺在伪栅结构对应的位置形成金属栅极结构。形成所述金属栅极结构的具体工艺包括:在所述半导体衬底表面形成覆盖伪栅结构的第一层间介质层,利用化学机械研磨工艺去除所述多余的第一层间介质层,直到暴露出所述多晶硅电极顶部表面;利用湿法刻蚀工艺或干法刻蚀工艺去除所述伪栅结构,形成第二开口;在所述第二开口内形成高K栅介质层和位于高K栅介质层表面的金属栅电极,所述高K栅介质层的材料为氧化铪、氧化铪硅、氮氧化铪硅、氧化镧、氧化锆、氧化锆硅、氧化钛、氧化钽、氧化钡锶钛、氧化钡钛、氧化锶钛、氧化铝等。特别优选的是氧化铪、氧化锆和氧化铝其中的一种,所述高K栅介质层和金属栅电极构成金属栅极结构,后续在所述源区、漏区和金属栅极结构表面形成金属互连结构。

[0066] 据此,本发明实施例还提供了一种采用上述形成方法形成的半导体结构,请参考图10,包括:半导体衬底100,位于所述半导体衬底100表面的第一氧化硅层141,位于所述第一氧化硅层141表面的多晶硅电极142;位于半导体衬底100表面且位于所述第一氧化硅层141侧壁和多晶硅电极142部分侧壁表面的第一埋层110a,位于所述第一埋层110a表面的第二埋层120a,位于所述多晶硅电极142侧壁表面且位于第二埋层120a表面的第二氧化硅层144a,位于所述第二氧化硅层144a侧壁表面且位于第二埋层120a表面的第一侧墙145,所述第一埋层110a、第二氧化硅层144a和第一侧墙145构成第二侧墙146,且所述第一埋层110a的厚度大于所述第一氧化硅层141的厚度;位于第二侧墙146外侧的第三侧墙147;位于所述多晶硅电极142两侧暴露出的半导体衬底100内的源区151和漏区152。

[0067] 在本实施例中,所述第一氧化硅层141作为MOS晶体管的栅氧化层,所述多晶硅电极142作为MOS晶体管的栅电极,所述第一氧化硅层141和多晶硅电极142构成MOS晶体管的多晶硅栅极结构。

[0068] 在其他实施例中,所述第一氧化硅层和多晶硅电极为用于形成金属栅极结构的伪栅结构,后续需要将所述伪栅结构去除,在伪栅结构对应的位置形成金属栅极结构。

[0069] 在其他实施例中,也可以不形成第二埋层,位于半导体衬底表面且位于第一氧化硅层侧壁和多晶硅电极部分侧壁表面的剩余的第一埋层、位于所述多晶硅电极侧壁表面且位于第一埋层表面的第二氧化硅层、位于所述第二氧化硅层侧壁表面且位于第一埋层表面的第一侧墙构成第二侧墙。

[0070] 综上,本发明先在半导体衬底上形成第一埋层和牺牲介质层,在所述牺牲介质层和第一埋层内形成第一开口,然后在所述第一开口暴露出的半导体衬底表面形成第一氧化硅层和多晶硅电极。由于所述第一埋层的厚度大于第一氧化硅层的厚度,使得所述第一氧化硅层的侧壁被第一埋层所覆盖,当后续在所述多晶硅电极暴露出的侧壁和顶部表面形成第二氧化硅层时,所述第二氧化硅层与第一氧化硅层不接触,使得所述第一氧化硅层的厚度不会发生改变,所述MOS晶体管的阈值电压较为稳定,不会发生变化;同时由于只在半导

体衬底表面相对于栅极结构的位置形成第一氧化硅层,且所述第二氧化硅层没有直接形成在所述半导体衬底表面,不会在源区或漏区发生氧化增强扩散效应,不容易引发短沟道效应。

[0071] 虽然本发明披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

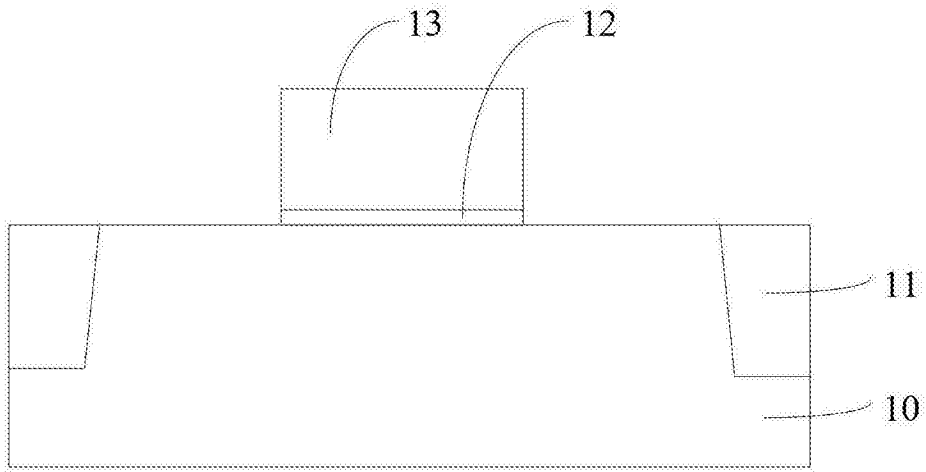


图1

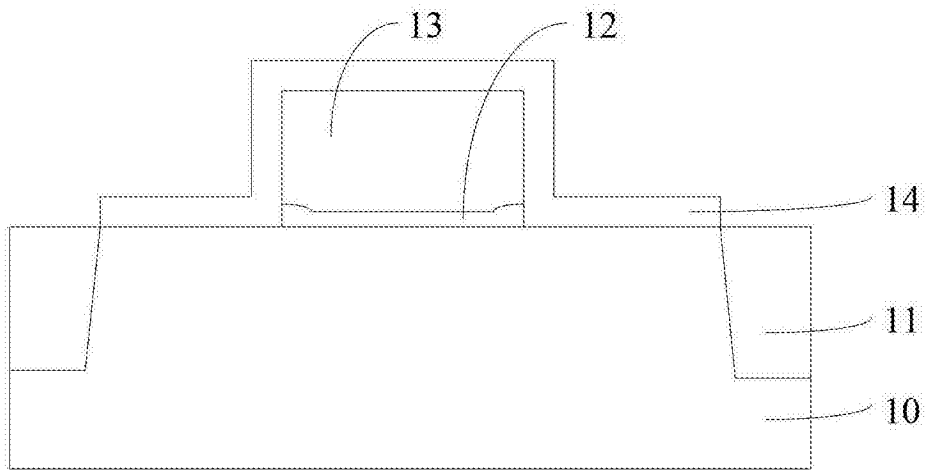


图2

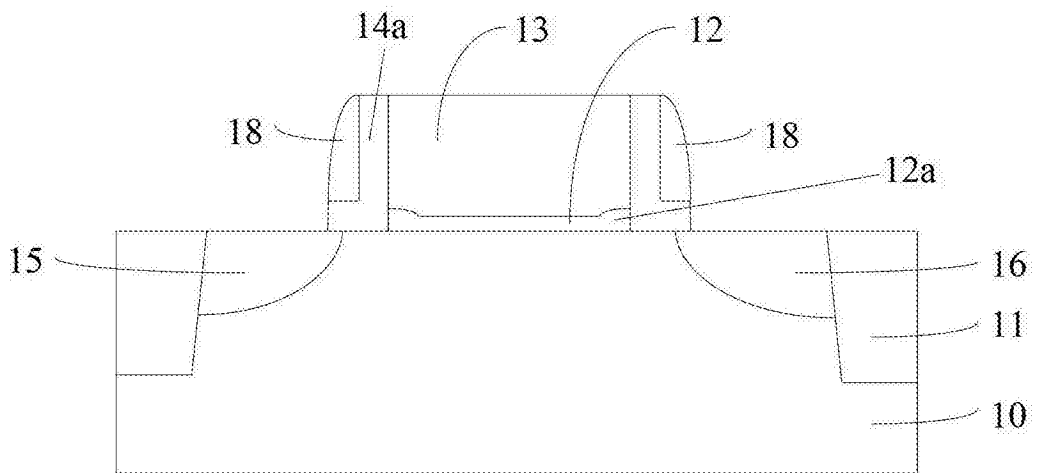


图3

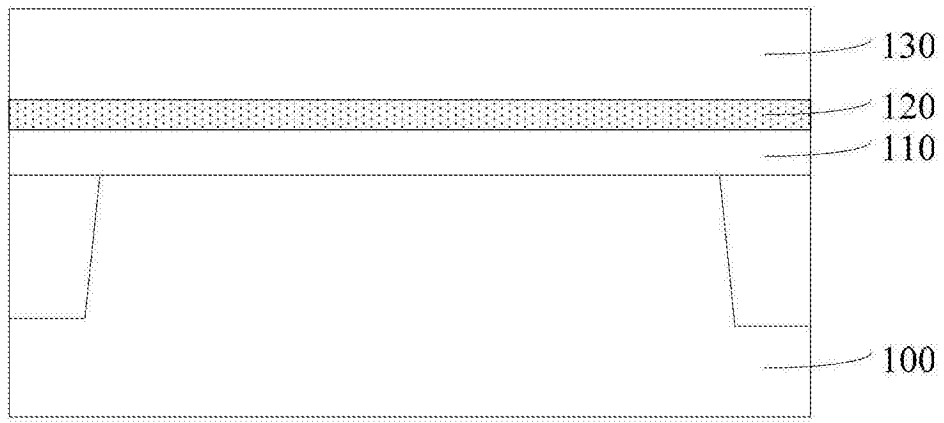


图4

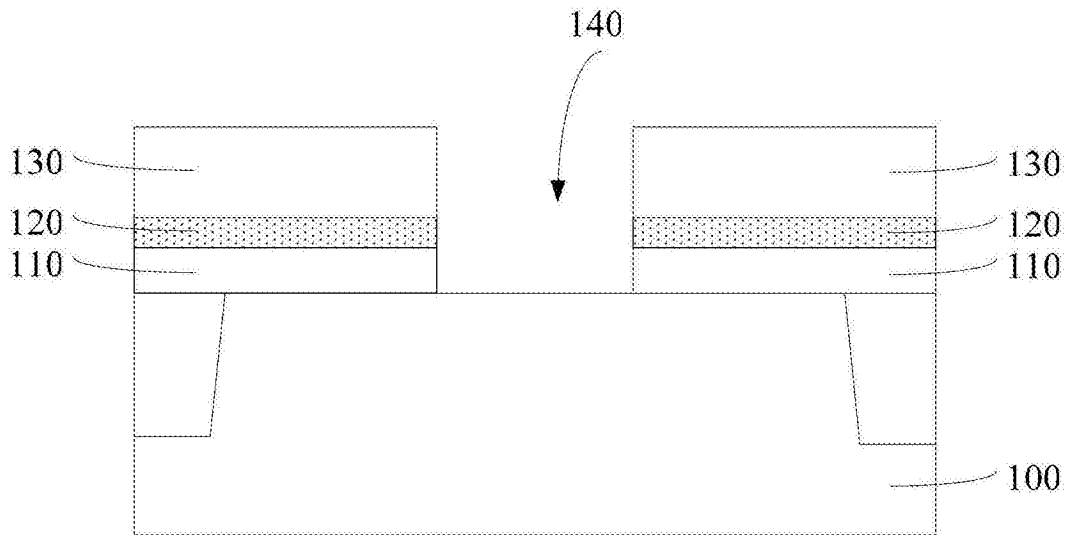


图5

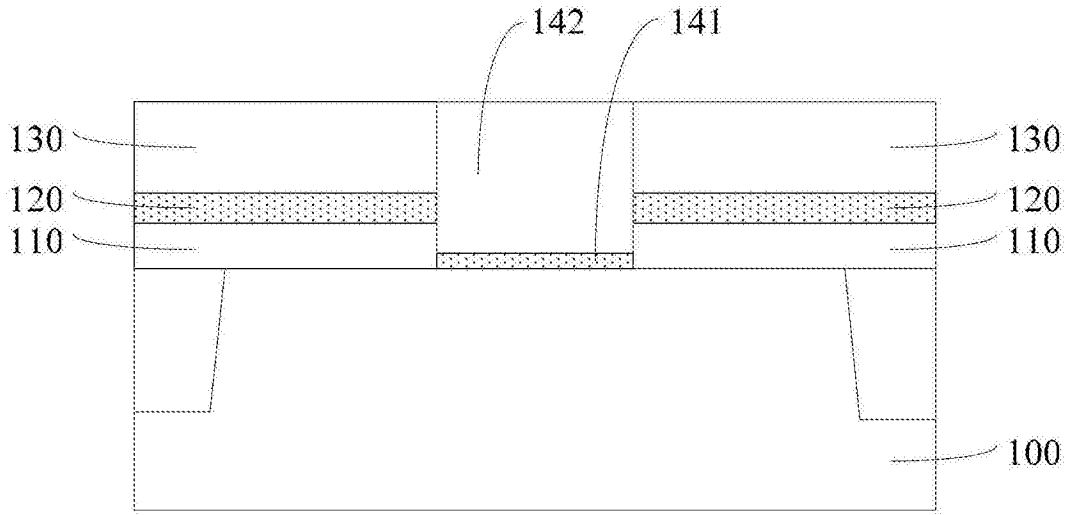


图6

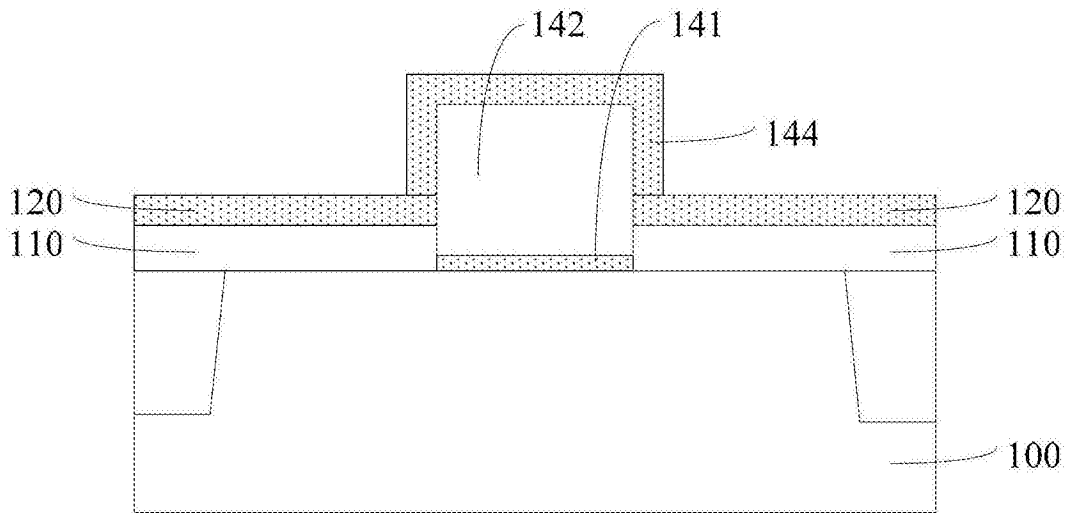


图7

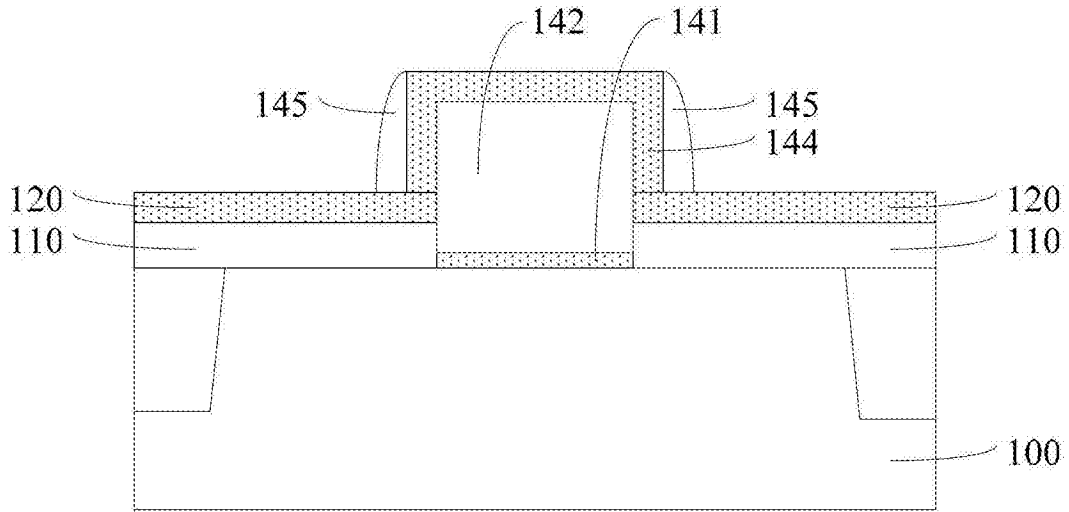


图8

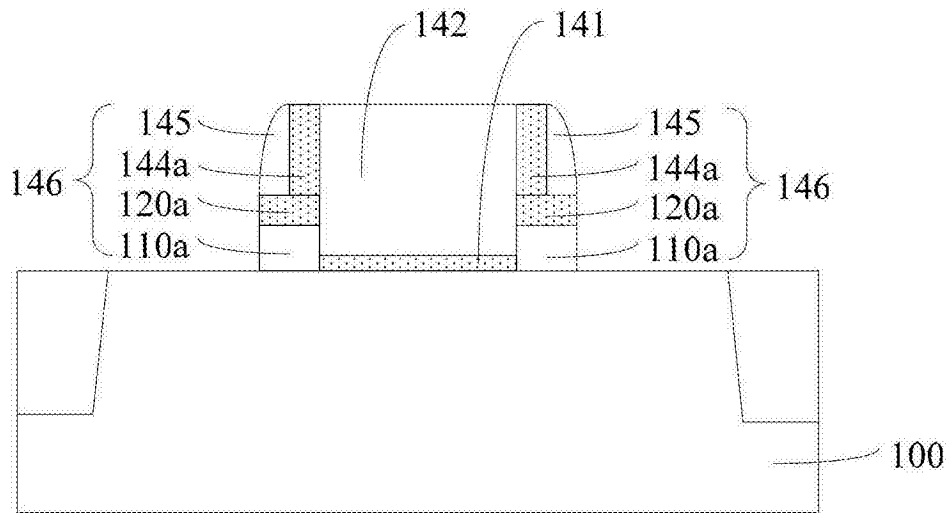


图9

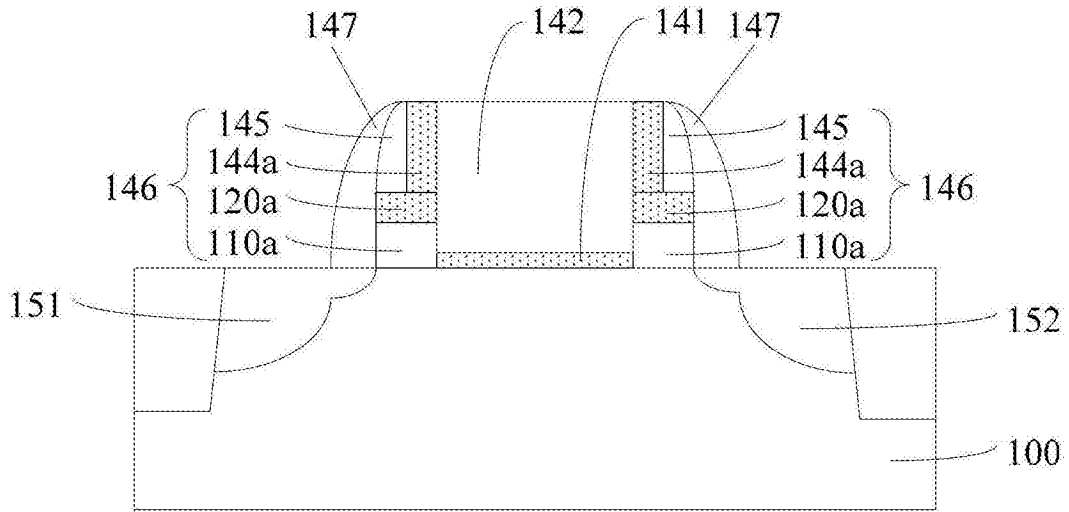


图10