



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0095665
(43) 공개일자 2007년10월01일

(51) Int. Cl.

H01L 33/00(2006.01)

(21) 출원번호 10-2006-0026149

(22) 출원일자 2006년03월22일

심사청구일자 2006년03월22일

(71) 출원인

(주) 아모센스

경기 김포시 통진면 수참리 185-1 2층 201호

(72) 발명자

이영일

경기도 수원시 장안구 정자동 두견마을 현대 벽산 아파트 348-604

(74) 대리인

한양특허법인

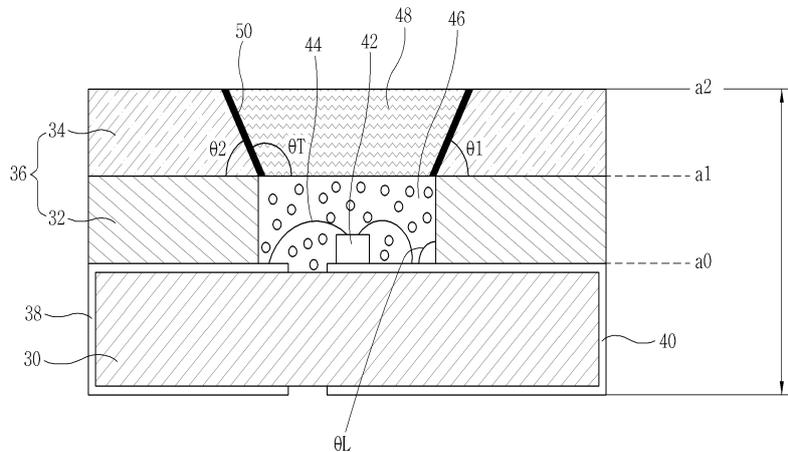
전체 청구항 수 : 총 18 항

(54) 반도체 패키지 및 그의 제조방법

(57) 요약

본 발명은 형광체의 균일한 코팅을 용이하게 할 수 있도록 한 반도체 패키지 및 그의 제조방법에 관한 것으로, 캐비티를 갖춘 기판을 포함하는 반도체 패키지로써, 상기 캐비티는 상호 다른 경사각으로 형성된 적어도 두개의 경사부를 구비하되, 상기 경사부는, 직각의 경사각으로 형성된 제 1경사부 및 상기 제 1경사부의 상부에 형성되면서 둔각의 경사각으로 형성된 제 2경사부를 포함하여, 제 1 및 제 2경사부의 확연히 차이나는 경사각으로 인해 기준점을 정확히 파악할 수 있으므로 형광체 충전의 균일/불균일 여부를 쉽게 파악할 수 있게 되어 종래에 비해 양품/불량품 판정이 용이해지고, 특히 제 1경사부의 경사면은 직각의 경사각을 가지므로 어레이되어 있는 다수개의 반도체 패키지내에 형광체를 충전하고자 할 경우 종래에 비해 형광체의 충전 높이를 균일하게 할 수 있어 상호간의 광 지향각의 차이 발생을 제거하게 된다.

대표도 - 도7



특허청구의 범위

청구항 1

캐비티를 갖춘 기관을 포함하는 반도체 패키지로서,

상기 캐비티는 상호 다른 경사각으로 형성된 적어도 두개의 경사부를 구비하는 것을 특징으로 하는 반도체 패키지.

청구항 2

제 1항에 있어서,

상기 경사부는, 직각의 경사각으로 형성된 제 1경사부 및 상기 제 1경사부의 상부에 형성되면서 둔각의 경사각으로 형성된 제 2경사부를 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 3

제 2항에 있어서,

상기 제 1경사부로 둘러싸인 캐비티 부분에는 발광소자칩이 실장된 것을 특징으로 하는 반도체 패키지.

청구항 4

제 2항 또는 제 3항에 있어서,

상기 제 1경사부로 둘러싸인 캐비티 부분에는 형광체가 충전된 것을 특징으로 하는 반도체 패키지.

청구항 5

제 3항에 있어서,

상기 발광소자칩은 엘이디칩으로 구성되는 것을 특징으로 하는 반도체 패키지.

청구항 6

제 2항에 있어서,

상기 제 2경사부의 내측면에는 반사판이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 7

기관을 포함하는 반도체 패키지로서,

상기 기관은, 중앙에 제 1경사각으로 된 구멍이 형성된 제 1시트층, 및 중앙에 제 2경사각으로 된 구멍이 형성된 제 2시트층을 포함하고,

상기 제 2시트층이 상기 제 1시트층의 상부에 적층된 것을 특징으로 하는 반도체 패키지.

청구항 8

제 7항에 있어서,

상기 제 1시트층의 제 1경사각은 직각인 것을 특징으로 하는 반도체 패키지.

청구항 9

제 7항 또는 제 8항에 있어서,

상기 제 2시트층의 제 2경사각은 둔각인 것을 특징으로 하는 반도체 패키지.

청구항 10

제 9항에 있어서,

상기 제 1시트층의 구멍내에 발광소자칩이 실장된 것을 특징으로 하는 반도체 패키지.

청구항 11

제 10항에 있어서,

상기 제 1시트층의 구멍에는 형광체가 충전된 것을 특징으로 하는 반도체 패키지.

청구항 12

제 10항에 있어서,

상기 발광소자칩은 엘이디칩으로 구성되는 것을 특징으로 하는 반도체 패키지.

청구항 13

제 9항에 있어서,

상기 제 2시트층의 구멍의 내측면에는 반사판이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 14

하부 기판과 상부 기판을 포함하는 반도체 패키지의 제조방법으로서,

중앙에 제 1경사각으로 된 구멍이 형성된 제 1시트층을 준비하는 제 1과정;

중앙에 제 2경사각으로 된 구멍이 형성된 제 2시트층을 준비하는 제 2과정; 및

상기 제 1시트층과 제 2시트층을 상기 상부 기판으로 하여 상기 하부 기판상에 적층시키되, 상기 하부 기판상에 상기 제 1시트층을 적층시키고 그 위에 상기 제 2시트층을 적층시키는 제 3과정을 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

청구항 15

제 14항에 있어서,

상기 제 1과정에서의 제 1경사각을 직각으로 형성시키는 것을 특징으로 하는 반도체 패키지의 제조방법.

청구항 16

제 14항 또는 제 15항에 있어서,

상기 제 2과정에서의 제 2경사각을 둔각으로 형성시키는 것을 특징으로 하는 반도체 패키지의 제조방법.

청구항 17

제 16항에 있어서,

상기 제 1시트층의 구멍에 발광소자칩을 실장시키는 제 4과정을 추가로 구비한 것을 특징으로 하는 반도체 패키지의 제조방법.

청구항 18

제 17항에 있어서,

상기 제 1시트층의 구멍에 형광체를 충전시키는 제 5과정을 추가로 구비한 것을 특징으로 하는 반도체 패키지의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 반도체 패키지 및 그의 제조방법에 관한 것으로, 보다 상세하게는 조명기구 등에 사용되는 발광소자의 형광체 코팅이 균일하게 이루어질 수 있도록 한 반도체 패키지 및 그의 제조방법에 관한 것이다.
- <10> 발광다이오드(light emission diode, 이하, LED라 함)는 GaAs, AlGaAs, GaN, InGaN 및 AlGaInP 등의 화합물 반도체(compound semiconductor) 재료의 변경을 통해 발광원을 구성함으로써 다양한 색을 구현할 수 있는 반도체 소자를 말한다. 현재, 이와 같은 반도체 소자가 전자부품에 패키지형태로 많이 채택되고 있다.
- <11> 일반적으로, 조명기구 등에 채용되는 백색 LED를 구현하는 방법으로는, 가시광 영역중 파장이 430nm~470nm인 청색 LED칩과 YAG계의 형광체(예컨대, yellow phosphor)를 조합하는 방법, 및 UV LED칩과 적색/녹색/청색 형광체를 조합하는 방법, 적색/녹색/청색 LED칩을 조합하는 방법 등이 있다.
- <12> 상기 방법들중에서, 백색 LED를 저렴하게 구현할 수 있고 광효율이 높다라는 등의 이유로 인해 첫 번째 방법이 주로 많이 사용된다.
- <13> 그 청색 LED칩과 YAG계의 형광체(예컨대, yellow phosphor)를 조합하여 백색 LED를 구현하게 되면 도 1 내지 도 4에 예시된 바와 같은 구조가 된다.
- <14> 도 1 내지 도 4에 도시된 LED패키지는 공통적으로, LED칩(10); 그 LED칩(10)이 실장되는 하부 기판(12); 그 하부 기판(12)상에 배치되며 상기 LED칩(10)이 실장되는 영역에 상응하는 영역에 소정의 경사각으로 된 캐비티가 형성된 상부 기판(14); 상기 하부 기판(12)에 소정 형태로 형성되고 와이어(20)를 매개로 하여 LED칩(10)에 접속된 패턴 전극(16, 18); 상기 LED칩(10)을 둘러싸도록 상기 상부 기판(14)의 캐비티 내측면을 따라 밀착되게 설치된 반사판(24); 및 YAG계의 형광체(예컨대, yellow phosphor) 및 실리콘(또는 에폭시)이 소정의 배합비율에 따라 배합된 후 LED칩(10)을 덮도록 포팅(potting)됨에 따라 형성된 형광물질층(22)을 구비한다. 도 3 및 도 4에서 참조부호 26은 실리콘 또는 에폭시에 의한 코팅층을 의미한다.
- <15> 도 1의 LED패키지에 의한 광 지향각은 대략 120도 내지 130도 정도이고, 도 2의 LED패키지에 의한 광 지향각은 대략 80도 내지 110도 정도이며, 도 3 및 도 4의 LED패키지에 의한 광 지향각은 대략 60도 내지 70도 정도이다.
- <16> 물론, YAG계 형광체가 아닌 다른 계열의 형광체를 사용하여도 되고, 청색 LED가 아닌 다른 색깔의 LED를 채용하여 백색 LED를 구현할 수 있다.
- <17> 도 1 내지 도 4에서와 같은 경사각을 갖는 캐비티가 채용된 LED패키지에 따르면, LED칩 위에 균일한 형광체 코팅이 어려울 뿐만 아니라 형광체의 산란 효과 때문에 LED패키지의 경사각에 따른 광 지향각의 정밀한 조절이 곤란하다. 즉, 도 1의 경우는 형광체의 코팅 유무에 따라 캐비티의 경사각과 상관없이 광 지향각이 120도 내지 130도로 고정된다. 도 2의 경우는 광 지향각 조절이 형광물질층의 높이에 따라 변화된다. 도 3 및 도 4의 경우는 형광체의 코팅이 균일하게 되었다면 도 5의 (b)와 같이 되겠으나, LED칩 위에 균일한 형광물질층의 코팅이 어렵기 때문에 그 형광물질층이 불균일하게 코팅되는 경우가 많다. 특히, 도 3 및 도 4에서 형광체의 코팅 정밀도가 낮게 되면 도 5의 (a) 또는 (c)와 같이 되어 빛의 가장자리에 황색띠 현상이 발생하여 백색광의 구현이 어렵게 된다.
- <18> 그리고, 도 2의 LED 패키지 구조의 광 지향각을 보다 좁히기 위해, 도 6에서와 같이 형광물질층(22)상에 실리콘층 또는 에폭시층(26)을 형성시킨 구조가 제안되었다. 이 구조는 형광물질층(22)의 코팅후 경화시 실리콘 또는 에폭시와 캐비티의 경사면 표면의 세라믹 또는 메탈 부분이 반응한다. 그로 인해, 도 6에서와 같이 캐비티의 경사면에 접하는 형광물질층(22)의 부분이 그 경사면의 벽면을 타고 올라가게 되어 원하는 광 지향각을 제대로 얻을 수 없게 된다.

발명이 이루고자 하는 기술적 과제

- <19> 본 발명은 상기한 종래의 문제점을 해결하기 위해 제안된 것으로, 형광체의 균일한 코팅을 용이하게 할 수 있도록 한 반도체 패키지 및 그의 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <20> 상기와 같은 목적을 달성하기 위하여 본 발명의 바람직한 실시예에 따른 반도체 패키지는, 캐비티를 갖춘 기판을 포함하는 반도체 패키지로서,

- <21> 상기 캐비티는 상호 다른 경사각으로 형성된 적어도 두개의 경사부를 구비하는 것을 특징으로 한다.
- <22> 그리고, 상기 경사부는, 직각의 경사각으로 형성된 제 1경사부 및 상기 제 1경사부의 상부에 형성되면서 둔각의 경사각으로 형성된 제 2경사부를 포함한다.
- <23> 그리고, 상기 제 1경사부로 둘러싸인 캐비티 부분에는 발광소자칩이 실장될 뿐만 아니라 형광체가 충전되고, 상기 제 2경사부의 내측면에는 반사판이 형성된다.
- <24> 다르게는, 본 발명의 실시예에 따른 반도체 패키지는, 기판을 포함하는 반도체 패키지로서,
- <25> 상기 기판은, 중앙에 제 1경사각으로 된 구멍이 형성된 제 1시트층, 및 중앙에 제 2경사각으로 된 구멍이 형성된 제 2시트층을 포함하고, 상기 제 2시트층이 상기 제 1시트층의 상부에 적층된 것을 특징으로 한다.
- <26> 그리고, 상기 제 1시트층의 제 1경사각은 직각이고, 상기 제 2시트층의 제 2경사각은 둔각이다.
- <27> 그리고, 상기 제 1시트층의 구멍에는 발광소자칩이 실장될 뿐만 아니라 형광체가 충전되고, 상기 제 2시트층의 구멍의 내측면에는 반사판이 형성된다.
- <28> 한편, 본 발명의 실시예에 따른 반도체 패키지의 제조방법은, 하부 기판과 상부 기판을 포함하는 반도체 패키지의 제조방법으로서,
- <29> 중앙에 제 1경사각으로 된 구멍이 형성된 제 1시트층을 준비하는 제 1과정; 중앙에 제 2경사각으로 된 구멍이 형성된 제 2시트층을 준비하는 제 2과정; 및 상기 제 1시트층과 제 2시트층을 상기 상부 기판으로 하여 상기 하부 기판상에 적층시키되, 상기 하부 기판상에 상기 제 1시트층을 적층시키고 그 위에 상기 제 2시트층을 적층시키는 제 3과정을 포함하는 것을 특징으로 한다.
- <30> 그리고, 상기 제 1과정에서의 제 1경사각을 직각으로 형성시키고, 상기 제 2과정에서의 제 2경사각을 둔각으로 형성시킨다.
- <31> 그리고, 상기 제 1시트층의 구멍에 발광소자칩을 실장시키는 제 4과정, 및 상기 제 1시트층의 구멍내에 형광체를 충전시키는 제 5과정을 추가로 구비하여도 된다.
- <32> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 반도체 패키지 및 그의 제조방법에 대하여 설명하면 다음과 같다.
- <33> 도 7은 본 발명의 실시예에 따른 반도체 패키지의 단면도이다.
- <34> 본 발명의 반도체 패키지는, LED칩(42); 그 LED칩(42)이 실장되는 하부 기판(30); 그 하부 기판(30)상에 배치되며 상기 LED칩(42)이 실장되는 영역에 상응하는 영역에 소정의 제 1 및 제 2경사각으로 된 캐비티가 형성된 상부 기판(36); 상기 하부 기판(30)에 소정 형태로 형성되고 와이어(44)를 매개로 하여 LED칩(42)에 접속된 패턴전극(38, 40); 및 상기 LED칩(42)을 둘러싸도록 상기 상부 기판(36)의 캐비티 내측면을 따라 설치된 반사판(50)을 포함한다.
- <35> 상기 하부 기판(30)은 LED칩(42)을 고밀도로 실장할 수 있는 기판이면 어느 것이나 가능하다. 예를 들어, 이러한 하부 기판(30)으로는 알루미나(alumina), 수정(quartz), 칼슘지르코네이트(calcium zirconate), 감람석(forsterite), SiC, 흑연, 용융실리카(fusedsilica), 물라이트(mullite), 근청석(cordierite), 지르코니아(zirconia), 베릴리아(beryllia), 및 질화알루미늄(aluminum nitride), LTCC(low temperature co-fired ceramic) 등을 들 수 있다. 따라서, 하부 기판(30)의 재질은 특별히 한정하지는 않으나, 본 발명의 실시예에서는 세라믹을 사용한 것으로 한다. 세라믹은 그 위에 금속 도체 배선 패턴을 형성하여 소성공정을 통해 적층형 세라믹 패키지(multi-layer ceramic package; MLP)로 사용이 가능하다. 그리고, 상기 상부 기판(36)도 상술한 하부 기판(30)의 재질과 동일한 것으로 보면 된다.
- <36> 상기 상부 기판(36)은 두개의 세라믹 시트층(32, 34)으로 이루어진 것으로 한다. 하부의 세라믹 시트층(32)의 중앙부에는 직각의 제 1경사각(θ_L)으로 된 캐비티(구멍)(제 1경사부가 됨)가 형성되고, 상부의 세라믹 시트층(34)의 중앙부에는 둔각의 제 2경사각(θ_T)으로 된 캐비티(구멍)(제 2경사부가 됨)가 형성된다. 그 하부의 세라믹 시트층(32)에 형성된 캐비티(구멍)의 상부 개구면은 상기 상부의 세라믹 시트층(34)에 형성된 캐비티(구멍)의 하부 개구면과 접하되, 그 접합 부분의 직경은 상호 동일하다.
- <37> 본 발명의 명세서에서, 상기 제 1경사부라 함은 직각(θ_L)의 경사면 및 그 직각의 경사면에 의해 둘러싸여진 공간을 포함한다. 그리고, 상기 제 2경사부라 함은 둔각(θ_T)의 경사면 및 그 둔각의 경사면에 의해 둘러싸여진

공간을 포함한다

- <38> 상기 하부의 세라믹 시트층(32) 및 상부의 세라믹 시트층(34)에 캐비티(구멍)를 형성하는 것은 익히 알려져 있는 종래의 방식을 채택하면 되고, 이러한 내용은 동종업계에 종사하는 당업자라면 누구나도 쉽게 알 수 있다.
- <39> 그리고, 상기 하부의 세라믹 시트층(32)의 캐비티(구멍)내에는 형광체와 실리콘 또는 형광체와 에폭시(46)가 소정의 배합비율로 배합된 후 충전된다. 그 충전되는 형광체와 실리콘(또는 에폭시)(46)의 높이는 $a_0 \sim a_1$ 이다. 그리고, a_1 의 높이에서 수평을 유지한다.
- <40> 한편, 상기 상부의 세라믹 시트층(34)의 캐비티(구멍)내에는 실리콘 또는 에폭시(48)가 충전된다. 물론, 그 상부의 세라믹 시트층(34)의 캐비티(구멍)내에 아무런 물질도 충전되지 않을 수도 있다. 그 충전되는 실리콘 또는 에폭시(48)의 높이는 $a_1 \sim a_2$ 이다. 그리고, a_2 의 높이에서 수평을 유지하도록 충전된다. 물론, 돔형상으로 충전되어도 된다.
- <41> 이와 같이 상기 하부의 세라믹 시트층(32)의 캐비티(구멍)에 형광체를 충전시킬 때 a_1 의 높이에서 수평을 유지하도록 충전시키게 되면, 종래의 구조에서 발생되었던 형광체 충전에 따른 문제점을 해결할 수 있게 된다. 즉, 다수개의 반도체 패키지에 형광체를 충전시키고 그 형광체가 충전된 반도체 패키지들을 위에서 아래로 내려다 본다고 가정하였을 때, 도 1과 도 2 및 도 6의 경우에는 각각의 LED칩위에 형광체가 충전되더라도 각각의 캐비티의 경사면이 어느 한 각도로 설정되어 있어서 각각의 LED칩위에 충전된 형광체의 높이가 서로 동일한지를 판별하기 어려워 양품/불량품 판정이 어렵다. 그러나, 본 발명의 구조적인 특징 즉, 제 1 및 제 2경사부의 확연히 차이 나는 경사각으로 인해 기준점(형광체의 충전 완료점; a_1)(또는 기준높이라고 할 수도 있음)을 정확히 파악할 수 있으므로 반도체 패키지들을 위에서 아래로 내려다 볼 때 형광체의 충전 높이가 그 기준점(a_1)을 초과하게 되면 쉽게 파악되어 양품/불량품 판정이 용이해진다. 특히, 도 3 및 도 4는 형광체의 균일한 충전이 매우 힘든 구조인데 반해, 본 발명은 도 3 및 도 4에 비해서는 훨씬 간편하게 형광체의 균일한 충전을 행할 수 있게 된다.
- <42> 더욱이, 하기와서와 같이 반사판(50)을 상부의 세라믹 시트층(34)의 내측벽에만 설치시키는 경우에는 형광체 충전후 경화시 그 반사판(50)의 저면이 형광체가 내측 벽면을 타고 올라오는 것을 방지하게 된다. 그로 인해, 형광체 충전후 경화를 하더라도 원하는 형광체 형상을 유지할 수 있게 된다. 이러한 효과는 원하는 휘도 및/또는 광 지향각 형성에 도움을 주게 된다.
- <43> 도 7에서, 반사판(50)을 상부의 세라믹 시트층(34)의 내측벽에만 설치되는 것으로 하였는데, 필요에 따라서는 하부의 세라믹 시트층(32)의 내측벽까지 설치하여도 된다. 이 경우, 상기 반사판(50)은 상기 하부 기판(30)상에 형성된 패턴 전극층 적어도 하나(예컨대, 애노드 전극(38))에 접속될 수 있다.
- <44> 여기서, 상기 반사판(50)은 상술한 통상적인 금속 반사판과 유사한 형태로서 별도로 제작하여 실리콘계 본딩재에 의해 상기 상부의 세라믹 시트층(34)의 캐비티(구멍) 내측벽면에 설치하여도 된다. 다른 방법으로는, 저온동시소성세라믹(Low Temperature Co-fired Ceramic) 공법을 이용하여 반사판(50)을 형성시킬 수 있다. 이 저온동시소성세라믹 공법을 사용할 경우, 상부의 세라믹 시트층(34)을 경사각 형성기(지향각 형성기라고도 함)(도시 생략)를 이용하여 원하는 광 지향각을 얻을 수 있는 각도로 가공한 후에 그 내측벽면에 2~20미크론의 Ag등의 전도성 메탈을 인쇄후 저온동시소성세라믹(Low Temperature Co-fired Ceramic) 공법으로 소결하고 나서 그 소결면위에 2~10미크론의 Ni를 도금하고 난 후 2~20미크론의 Ag(Au)를 재차 도금함에 의해 제작된다. 저온동시소성세라믹 공법에 의한 소결시 25℃에서 시작하여 2℃/min씩 상승시켜 830~900℃에 도달하게 되면 20분 정도 유지시킨 후에 2℃/min씩 하강하여 25℃에 도달하면 소결을 종료한다. 위에서 언급한 도금 및 소성조건은 일반적인 것으로서 조성 및 첨가제에 의해서 다소의 차이가 있을 수 있다.
- <45> 그리고, 상술한 본 발명의 반도체 패키지에서는 반사판(50)의 높이 및 상부의 세라믹 시트층(34)의 캐비티 경사각에 따라 광 지향각이 다르게 나타난다. 물론, 반사판(50)의 반사율의 차이에 의해서도 광 지향각이 다르게 나타난다. 하기의 표는 본 발명의 실시예에 따른 반도체 패키지의 높이(h) 및 경사각(즉, 제 2경사부의 경사각)에 따른 광 지향각(view angle) 및 루멘(lumen)값의 변화를 예시적으로 나타낸 것이다. 본 발명에서는 제 2경사부의 경사각은 둔각이며 도 7에서 θT 로 표시되는데, 하기의 표에서는 편의상 제 2경사부의 경사각을 도 7의 $\theta 1 + \theta 2$ 로 표시한다.

<46> (표)

제 2경사부의 경사각	광특성값	반사판의 높이(a1~a2까지의 높이)		
		1.2mm (h = 1.6mm)	1.6mm (h = 2.0mm)	1.8mm (h = 2.2mm)
120도($\theta_1 + \theta_2$) ($\theta_1 = 60$ 도, $\theta_2 = 60$ 도)	광 지향각	86	59.5	52
	루멘	20.3	27.3	27.4
90도($\theta_1 + \theta_2$) ($\theta_1 = 45$ 도, $\theta_2 = 45$ 도)	광 지향각	102	74	68
	루멘	18	22	24

<48> 즉, 상기의 표는 반사판(50)의 반사율이 모두 동일한 것으로 가정하고 실험한 데이터로서, 상기의 표에서도 알 수 있듯이 제 2경사부의 경사각 및 반사판(50)의 높이에 의해 광 지향각이 조정됨을 알 수 있다. 물론, 표에는 나타나 있지 않지만 그 반사판(50)의 반사율을 변경하게 되면 상기 표에 기재된 광 지향각 및 루멘이 조정된다. 상기 표에서, 반도체 패키지의 높이(h)에서 반사판(50)의 높이(a1~a2까지의 높이)가 차지하는 비율이 높는데, 이는 반사판(50)에 의한 광 지향각 조절 효과를 얻기 위한 것이다. 상기 표에 기재된 반도체 패키지의 높이(h)와 반사판(50)의 높이(a1~a2까지의 높이)는 하나의 예일 뿐, 그 반사판(50)의 높이는 반도체 패키지의 사이즈와 LED칩의 크기 및 캐비티의 크기(위에서 아래로 바라본 크기) 등에 따라 최적화된다.

<49> 상기와 같이 구성된 본 발명의 실시예에 따른 반도체 패키지를 제조하기 위해서는, 하부 기관(30)과 상부 기관(36)을 각각 제조한 후에 적층후 동시소성하면 된다. 물론, 그 이외로 패턴 전극(38, 40) 형성, LED칩(42) 탑재, 와이어 본딩, 반사판(50) 형성 등과 같은 세부적인 공정이 있는데, 이들 공정은 익히 알려져 있는 제조 공정에 의해 행해질 수 있는 것이어서 설명을 생략한다.

<50> 상기 하부 기관(30)과 상부 기관(36)은 캐비티 형성 공정의 유무에서 차이날 뿐 기본적으로 세라믹 시트를 적층하여 제조한다는 면에서는 동일하다. 상기의 하부 기관(30)과 상부 기관(36)을 제조하기 위해서는 먼저 세라믹 시트를 제조해야 한다.

<51> 그 세라믹 시트의 제조방법은 하기와 같다.

<52> 소정 중량의 유리 세라믹 분말을 준비하고 PVB계 바인더(binder)를 유리 세라믹 분말 대비 소정 중량부 측량한 후 톨루엔/알코올(toluene/alcohol)계 솔벤트(solvent)에 용해시켜 그 유리 세라믹 분말에 함께 배합한다.

<53> 그리고 나서, 배합된 유리 세라믹 분말을 용기에 넣고 회전시켜 균일하게 섞는다. 예를 들어, 50rpm으로 20시간 정도 볼밀(ball mill)을 통해 원하는 입径의 유리 세라믹 분말을 얻는다. 상기 예로 든 50rpm과 20시간은 하나의 예시일 뿐, 볼밀내의 볼의 직경 및 양, 솔벤트 및 바인더의 양 등에 따라 가변된다.

<54> 상기 볼밀에서의 밀링(milling)을 거치게 되면 최초로 배합된 유리 세라믹 분말이 슬러리(slurry) 형태로 토출되는데, 그 토출되는 슬러리에 는 기포가 어느 정도 존재하기 때문에 그 토출되는 슬러리내의 기포를 제거하기 위해 탈포를 실시한다. 탈포시 슬러리 표면이 급속히 건조되는 것을 방지하기 위해 슬러리를 교반하면서 진공에서 소정 시간 유지하도록 한다.

<55> 탈포 과정을 거친 섞여진 원재료(즉, 슬러리 형태임)를 시트 형태로 만든다. 즉, 테이프 캐스터에 필름과 블레이드(blade)를 설치한 후에 필름을 서서히 이송시키면서 탈포된 슬러리를 투입하고, 블레이드를 통과한 슬러리를 건조시켜서 원하는 두께(예컨대, 필름위에 20~150 μm)의 세라믹 시트(그린 시트) 형태로 물에 감는다.

<56> 이어, 그 물에 감겨진 세라믹 시트를 일정한 크기(치수)로 절단하여 이후의 공정에서 용이하게 작업할 수 있게 한다.

<57> 이와 같이 소정 크기의 세라믹 시트를 제조하게 되면, 그 후 그 절단된 세라믹 시트에 비아 홀을 형성하고 그 비아 홀에 도전체 페이스트를 충전시킨다. 그 비아 홀은 중간 회로를 연결하는 역할을 한다. 그리고 나서, 그 세라믹 시트위에 스크린 프린팅 등의 후막 제조법 혹은 스퍼터링법, 증발법, 기상화학증착법, 졸겔 코팅법 등의 박막제조법으로 Ag, Pt, Pd 등의 도전성 페이스트를 형성시켜 각 층에 알맞은 내부 회로 패턴이 형성된 세라믹

시트를 제조한다.

- <58> 이와 같이 내부 회로 패턴이 인쇄된 세라믹 시트를 제조하게 되면, 이러한 각각의 세라믹 시트를 이용하여 하부 기관(30) 및 상부 기관(36)을 제조한다.
- <59> 즉, 하부 기관(30) 및 상부 기관(36)의 경우, 그 제조된 각각의 세라믹 시트를 건조한 후에 각각의 세라믹 시트를 원하는 성형체가 될 수 있도록 종합적으로 적층한다. 그리고 나서, 그 적층된 세라믹 시트를 대략 3000psi 정도의 압력 및 80~100℃ 온도에서 가압하여 성형체로 만든다. 그 3000psi 정도의 압력 및 80~100℃ 온도는 하나의 예시일 뿐 상황에 따라 가변될 수 있다.
- <60> 이와 같이 하면 하부 기관(30)의 제조는 완료되고, 상부 기관(36)은 세라믹 시트가 적층된 성형체에 추가적으로 캐비티를 형성시키면 된다. 여기서, 상부 기관(36)에 캐비티를 형성시킬 때 도 7에서와 같이 직각의 제 1경사각(Θ_L)으로 된 캐비티(구멍)(제 1경사부) 및 둔각의 제 2경사각(Θ_T)으로 된 캐비티(구멍)(제 2경사부)를 한꺼번에 형성시킬 수 있다면 그렇게 해도 되겠으나, 한꺼번에 형성시키는 작업이 어렵기 때문에 각각 형성시키는 것이 좋다.
- <61> 즉, 도 7을 보면 알 수 있듯이, 상부 기관(36)은 하부의 세라믹 시트층(32) 및 상부의 세라믹 시트층(34)으로 대별되므로, 하부의 세라믹 시트층(32)에는 직각의 제 1경사각(Θ_L)으로 된 캐비티(구멍)(제 1경사부)를 형성시키고, 상부의 세라믹 시트층(34)에는 둔각의 제 2경사각(Θ_T)으로 된 캐비티(구멍)(제 2경사부)를 형성시킨다. 예를 들어, 상기 하부의 세라믹 시트층(32)의 경우는 통상적인 펀칭 공정을 이용하여 직각의 경사각을 갖는 캐비티를 형성시킨다. 그리고, 상기 상부의 세라믹 시트층(34)의 경우는 경사각 형성기(도시 생략)를 이용하여 둔각의 경사각을 갖는 캐비티를 형성시킨다. 한편으로는, 직경이 상호 다른 구멍이 형성된 다수의 세라믹 시트를 순서적으로 적층하여 압착 후 소성하는 통상적인 제조 공정을 통해 상부의 세라믹 시트층(34)을 제조하여도 된다.
- <62> 이와 같이, 하부 기관(30)과 상부 기관(36; 하부의 세라믹 시트층(32), 상부의 세라믹 시트층(34))이 각각 제조된 이후에는, 그 하부 기관(30)상에 상부 기관(36)중의 하부의 세라믹 시트층(32)을 적층시키고서 그 위에 상부의 세라믹 시트층(34)을 적층시킨 후에 소성하게 되면 도 7에서와 같은 구조를 갖는 반도체 패키지가 완성된다.

발명의 효과

- <63> 이상 상세히 설명한 바와 같이 본 발명에 따르면, 제 1 및 제 2경사부의 확연히 차이 나는 경사각으로 인해 기준점을 정확히 파악할 수 있으므로 형광체 충전의 균일/불균일 여부를 쉽게 파악할 수 있게 되어 종래에 비해 양품/불량품 판정이 용이해진다.
- <64> 그리고, 제 1 및 제 2경사부가 서로 확연히 차이 나는 경사각을 가지고, 특히 제 1경사부의 경사면은 직각의 경사각을 가지므로 어레이되어 있는 다수개의 반도체 패키지내에 형광체를 충전하고자 할 경우 종래에 비해 형광체의 충전 높이를 균일하게 할 수 있어 상호간의 광 지향각의 차이 발생을 제거하게 된다.
- <65> 더욱이, 반사판을 상부의 세라믹 시트층의 내측벽에만 설치시킨 경우에는 형광체 충전후 경화시 그 반사판의 저면이 형광체가 내측 벽면을 타고 올라오는 것을 방지하게 되어 형광체 충전후 경화를 하더라도 원하는 형광체 형상을 유지할 수 있게 된다. 그로 인해, 원하는 광 지향각 및 색 좌표를 얻을 수 있게 되고, 생산 수율을 향상시키는 효과가 있게 된다.
- <66> 한편, 본 발명은 상술한 실시예로만 한정되는 것이 아니라 본 발명의 요지를 벗어나지 않는 범위내에서 수정 및 변형하여 실시할 수 있고, 그러한 수정 및 변형이 가해진 기술사상 역시 이하의 특허청구범위에 속하는 것으로 보아야 한다.

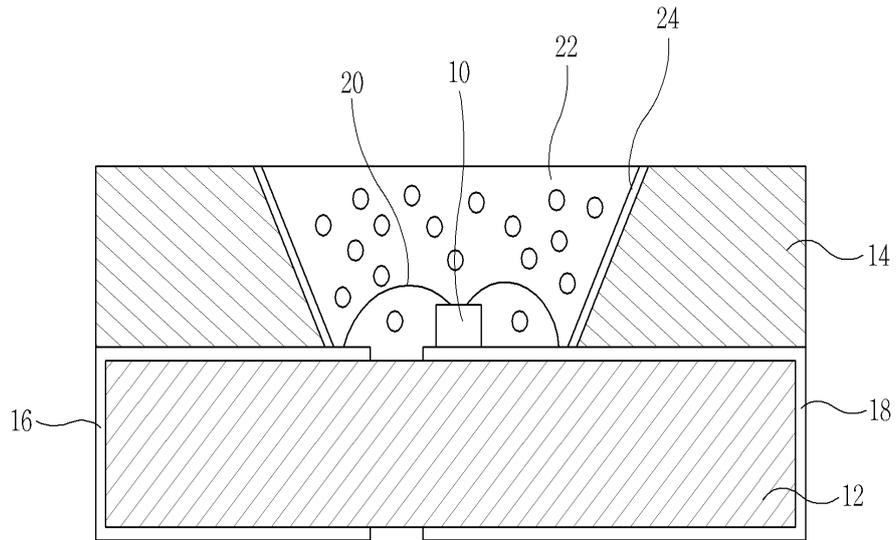
도면의 간단한 설명

- <1> 도 1 내지 도 4는 일반적인 LED패키지의 구조를 나타낸 단면도,
- <2> 도 5는 일반적인 LED패키지에서의 문제점을 설명하기 위해 채용된 도면,
- <3> 도 6은 일반적인 LED패키지의 구조를 나타낸 단면도,
- <4> 도 7은 본 발명의 실시예에 따른 반도체 패키지의 단면도이다.

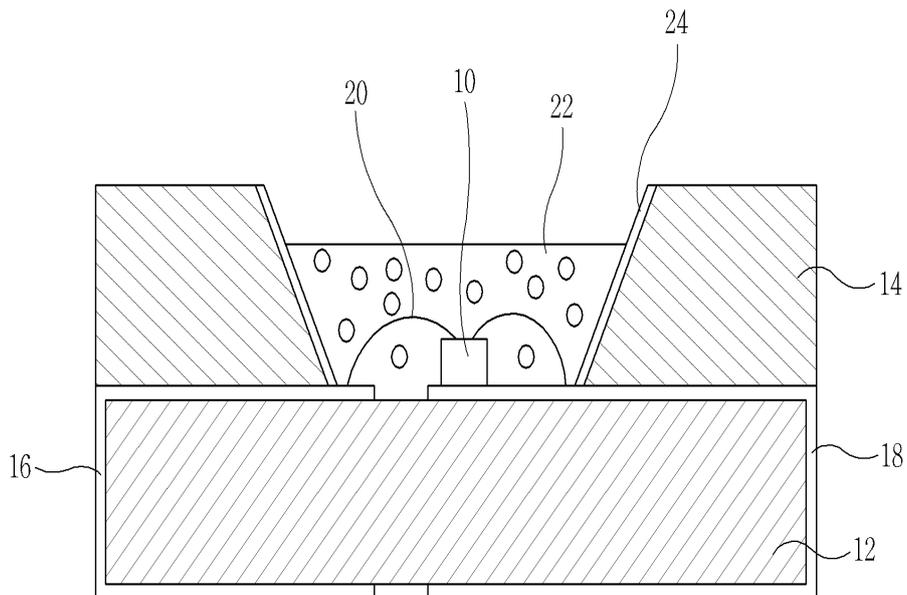
- <5> < 도면의 주요부분에 대한 부호의 설명 >
- <6> 30 : 하부 기관 36 : 상부 기관
- <7> 38, 40 : 패턴 전극 42 : LED칩
- <8> 44 : 와이어 50 : 반사판

도면

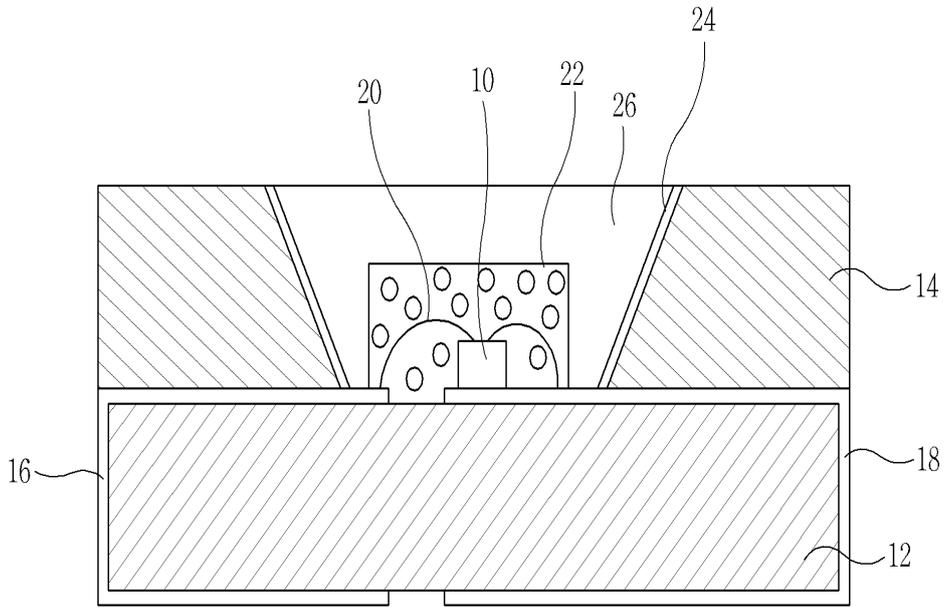
도면1



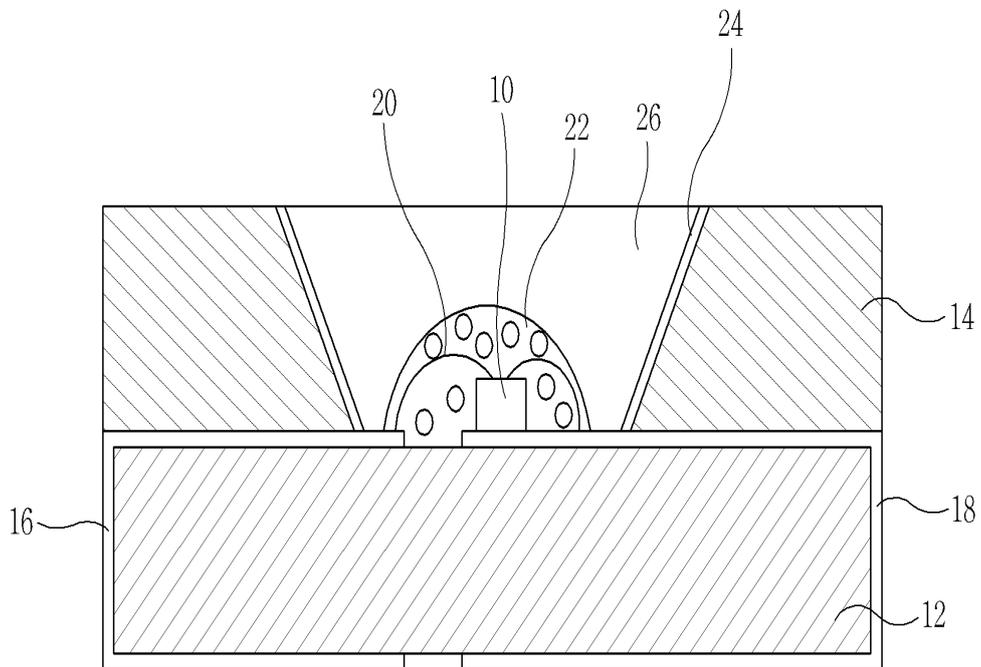
도면2



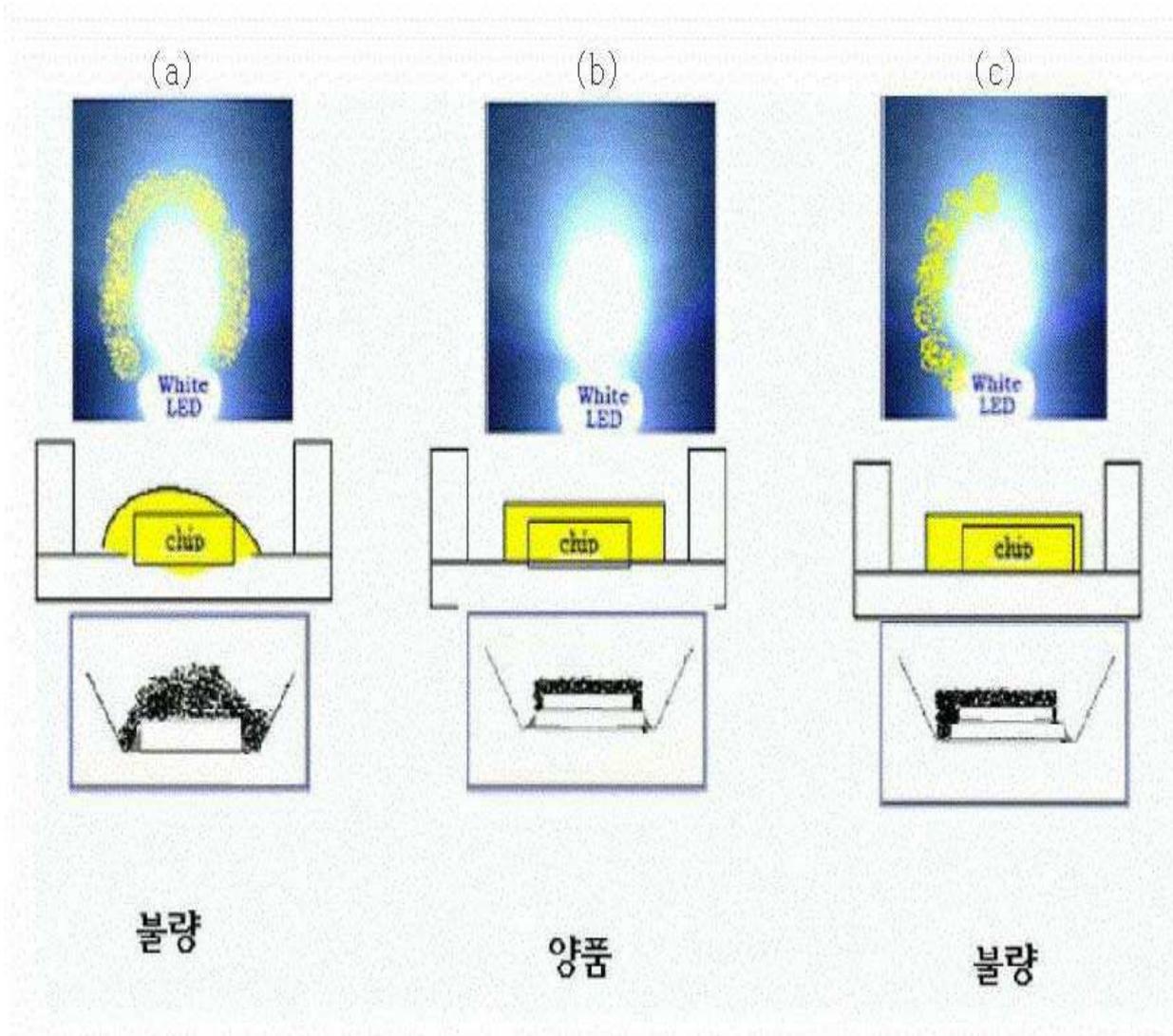
도면3



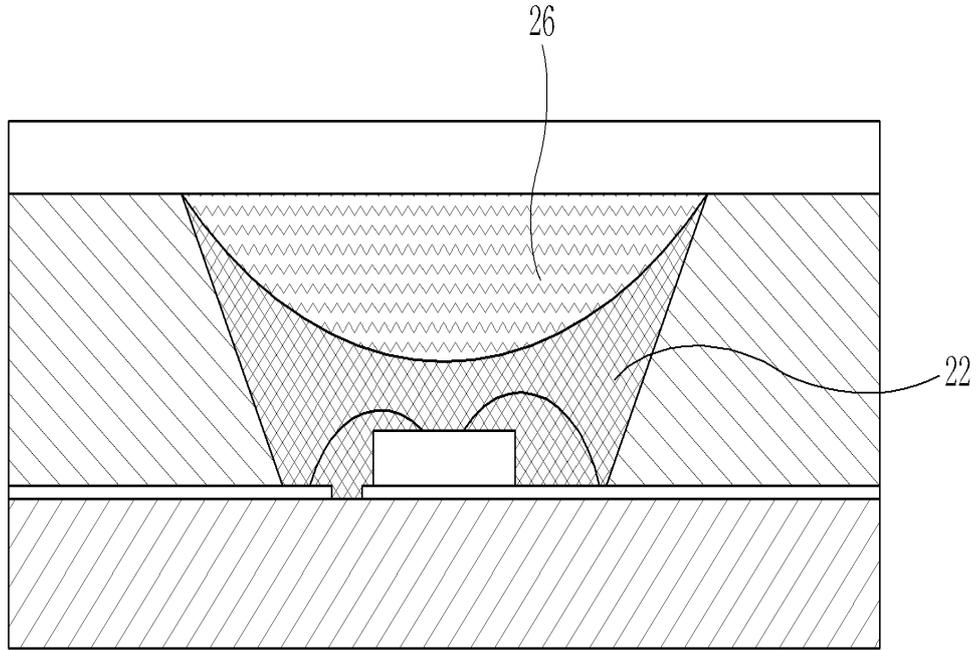
도면4



도면5



도면6



도면7

