

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6319946号
(P6319946)

(45) 発行日 平成30年5月9日(2018.5.9)

(24) 登録日 平成30年4月13日(2018.4.13)

(51) Int.Cl. F 1
HO4N 5/378 (2011.01) HO4N 5/378
HO4N 5/363 (2011.01) HO4N 5/363

請求項の数 21 (全 14 頁)

<p>(21) 出願番号 特願2013-87390 (P2013-87390) (22) 出願日 平成25年4月18日 (2013.4.18) (65) 公開番号 特開2014-212423 (P2014-212423A) (43) 公開日 平成26年11月13日 (2014.11.13) 審査請求日 平成28年3月14日 (2016.3.14)</p>	<p>(73) 特許権者 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号 (74) 代理人 100090273 弁理士 園分 孝悦 (72) 発明者 池田 泰二 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内 (72) 発明者 樋山 拓己 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内 審査官 鈴木 明</p>
--	--

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び撮像システム

(57) 【特許請求の範囲】

【請求項1】

光電変換により第1信号を生成する光電変換部と、前記第1信号を受けて第2信号を出力線へ出力する画素増幅部とを含む画素部と、

前記出力線に接続され、前記画素部から前記出力線へ出力された前記第2信号を増幅する増幅部と、

前記増幅部の出力ノードに接続され、前記増幅部の出力信号のレベルを制限する制限回路とを有し、

前記画素部は、前記第2信号として、第1の期間にリセット状態におけるノイズ信号を出力し、第2の期間に非リセット状態における画素信号を出力し、

前記制限回路は、前記第1の期間では第1の範囲に前記増幅部の出力信号のレベルを制限し、前記第2の期間では前記増幅部の前記出力信号のレベルを第2の範囲に制限し、

前記第1の範囲が前記第2の範囲より狭いことを特徴とする固体撮像装置。

【請求項2】

前記増幅部は、差動増幅回路を有し、

前記差動増幅回路は、差動対及び定電流回路を有し、

前記制限回路は、前記差動増幅回路の出力ノード及び前記定電流回路の間に設けられることを特徴とする請求項1記載の固体撮像装置。

【請求項3】

前記増幅部は、折り返しカスコード増幅回路を有し、

前記折り返しカスコード増幅回路は、定電流回路と入力差動対とカスコード接続された差動対とを有し、

前記制限回路は、前記カスコード接続された差動対の出力ノード及び前記定電流回路の間に設けられることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

前記増幅部は、差動増幅回路と、前記差動増幅回路の後段に接続されるバッファ回路とを有し、

前記差動増幅回路は、定電流回路及び差動対を有し、

前記制限回路は、前記差動増幅回路の出力ノード及び前記定電流回路の間に設けられることを特徴とする請求項 1 記載の固体撮像装置。

10

【請求項 5】

前記増幅部は、差動増幅回路と、前記差動増幅回路の後段に接続されるバッファ回路とを有し、

前記差動増幅回路は、定電流回路及び差動対を有し、

前記制限回路は、前記バッファ回路の出力ノード及びグランド電位ノードの間に設けられることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 6】

前記バッファ回路は、ソース接地増幅回路であることを特徴とする請求項 4 又は 5 記載の固体撮像装置。

【請求項 7】

さらに、前記増幅部により増幅された信号をアナログからデジタルに変換するアナログ/デジタルコンバータを有することを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の固体撮像装置。

20

【請求項 8】

前記制限回路は、MOSトランジスタであり、前記MOSトランジスタに電流が流れることにより、前記出力信号を制限することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

前記制限回路は、前記増幅部の帰還ループ内に設けられていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の固体撮像装置。

30

【請求項 10】

前記制限回路は、前記増幅部の帰還ループ外に設けられ、前記増幅部の出力ノードに設けられることを特徴とする請求項 1 又は 5 記載の固体撮像装置。

【請求項 11】

前記制限回路は、MOSトランジスタであり、

前記第 1 の期間と前記第 2 の期間との間で、前記MOSトランジスタのゲートに供給する電圧を切り替えることにより、前記第 1 の範囲を前記第 2 の範囲より狭くすることを特徴とする請求項 1 ~ 10 のいずれか 1 項に記載の固体撮像装置。

【請求項 12】

前記第 1 の期間に前記MOSトランジスタのゲートに印加される電圧 V_{CLIP} と、前記増幅部に入力される基準電圧 V_{REF} と、前記増幅部の前記基準電圧に対する出力のばらつき V_{th} と、前記MOSトランジスタのオーバードライブ電圧の絶対値 $pVOD$ とが、 $V_{CLIP} = V_{REF} + V_{th} - pVOD$ の関係を満たすことを特徴とする請求項 11 記載の固体撮像装置。

40

【請求項 13】

前記増幅部は、前記第 2 信号が入力される第 1 の入力ノードと、基準電圧が入力される第 2 の入力ノードとを有する差動増幅回路を含み、

前記第 1 の範囲は、前記基準電圧と前記差動増幅回路の出力に生じる前記基準電圧からのばらつきに基づいて定められることを特徴とする請求項 1 ~ 12 のいずれか 1 項に記載の固体撮像装置。

50

【請求項 1 4】

光電変換により信号を生成する光電変換部を含む画素部と、
 差動対及び前記差動対に電氣的に接続された電流源を含み、前記画素部により生成された信号を増幅する増幅部と、
 前記増幅部の出力ノードと前記電流源との間の経路に配されたトランジスタとを有し、
 前記画素部は、第 1 の期間にリセット状態におけるノイズ信号を出力し、第 2 の期間に非リセット状態における画素信号を出力し、
 前記第 1 の期間と前記第 2 の期間との間で、前記トランジスタのゲートに供給する電圧を切り替えることを特徴とする固体撮像装置。

【請求項 1 5】

光電変換により信号を生成する光電変換部を含む画素部と、
 差動対及び前記差動対に電氣的に接続された電流源を含み、前記画素部により生成された信号を増幅する増幅部と、
 前記増幅部の出力ノードとグラウンド電位を供給するノードとの間の経路に配されたトランジスタとを有し、
 前記画素部は、第 1 の期間にリセット状態におけるノイズ信号を出力し、第 2 の期間に非リセット状態における画素信号を出力し、
 前記第 1 の期間と前記第 2 の期間との間で、前記トランジスタのゲートに供給する電圧を切り替えることを特徴とする固体撮像装置。

【請求項 1 6】

前記増幅部はバッファ回路を有し、
 前記増幅部の出力ノードは前記バッファ回路の出力ノードであることを特徴とする請求項 1 4 又は 1 5 記載の固体撮像装置。

【請求項 1 7】

さらに、前記増幅部により増幅された信号をアナログからデジタルに変換するアナログ/デジタルコンバータを有することを特徴とする請求項 1 4 ~ 1 6 のいずれか 1 項に記載の固体撮像装置。

【請求項 1 8】

前記第 1 の期間に前記トランジスタのゲートに印加される電圧 V_{CLIP} と、前記増幅部に入力される基準電圧 V_{REF} と、前記増幅部の前記基準電圧に対する出力のばらつき V_{th} と、前記トランジスタのオーバードライブ電圧の絶対値 $pVOD$ とが、 $V_{CLIP} = V_{REF} + V_{th} - pVOD$ の関係を満たすことを特徴とする請求項 1 4 ~ 1 7 のいずれか 1 項に記載の固体撮像装置。

【請求項 1 9】

前記バッファ回路は、ソース接地増幅回路であることを特徴とする請求項 1 6 記載の固体撮像装置。

【請求項 2 0】

前記トランジスタに電流が流れることにより、前記増幅部からの出力信号を制限することを特徴とする請求項 1 4 ~ 1 9 のいずれか 1 項に記載の固体撮像装置。

【請求項 2 1】

請求項 1 ~ 2 0 のいずれか 1 項に記載の固体撮像装置と、
 前記固体撮像装置に光を結像させる光学系と
 を有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、固体撮像装置及び撮像システムに関する。

【背景技術】

【0 0 0 2】

MOS 型固体撮像装置では、画角内に太陽のような非常に強い光が撮像面に入射した際

10

20

30

40

50

に、その強い光の中心部が黒く映し出されるような、高輝度黒沈み、もしくは単に黒沈みと呼ばれる現象が発生することがある。黒沈みは、画素毎のトランジスタの閾値ばらつきや、リセット時のKT/Cノイズに起因する固定パターンノイズを取り除くCDS（相関二重サンプリング）動作を行う場合に発生する。CDS動作では、画素のノイズレベルであるN信号と、データレベルであるS信号を読み出し、両者の差分を演算し出力する。

【0003】

特許文献1では、画素出力線上でN信号を制限するとともに、増幅部で増幅された後のN信号を保持する保持容量へ書き込むレベルを制限するトランジスタによってS信号とN信号の差分を確保し、黒沈みを防止している。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-42679号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

N信号を読み出す際に光電変換部に強い光が当たっていると、光電変換部で発生した電荷が浮遊拡散部に入り込んでN信号を正しいレベルから変動させる。この変動が大きい場合、S信号とN信号の差分が小さくなり、結果として黒沈み現象が発生する。CDS動作をするためには、N信号を保持する回路とS信号を保持する回路は、その対称性が重要となる。

【0006】

しかしながら、特許文献1では、N信号保持部とS信号保持部が異なる構成となるため、信号の値によっては、CDSの除去精度が悪化することがある。保持容量への書き込みレベルを制限するトランジスタを用いずにトランジスタの制御電極のハイレベル電圧を変えることでN信号を制限する方法でも、2個のトランジスタの制御電極の電圧振幅が異なる。そのために、チャージインジェクションの差などにより、CDSの除去精度が悪化するという課題がある。

【0007】

本発明は、黒沈みの発生を低減するとともに、CDS性能の悪化を低減することができる固体撮像装置及び撮像システムを提供することである。

【課題を解決するための手段】

【0008】

本発明の固体撮像装置は、光電変換により第1信号を生成する光電変換部と、前記第1信号を受けて第2信号を出力線へ出力する画素増幅部とを含む画素部と、前記出力線に接続され、前記画素部から前記出力線へ出力された前記第2信号を増幅する増幅部と、前記増幅部の出力ノードに接続され、前記増幅部の出力信号のレベルを制限する制限回路とを有し、前記画素部は、前記第2信号として、第1の期間にリセット状態におけるノイズ信号を出力し、第2の期間に非リセット状態における画素信号を出力し、前記制限回路は、前記第1の期間では第1の範囲に前記増幅部の出力信号のレベルを制限し、前記第2の期間では前記増幅部の前記出力信号のレベルを第2の範囲に制限し、前記第1の範囲が前記第2の範囲より狭いことを特徴とする。

【発明の効果】

【0009】

制限回路を設けることにより、黒沈みの発生を低減するとともに、CDS性能の悪化を低減することができる。

【図面の簡単な説明】

【0010】

【図1】第1の実施形態による固体撮像装置の構成例を示す図である。

【図2】固体撮像装置の駆動方法を示す図である。

10

20

30

40

50

【図3】第2の実施形態による固体撮像装置の構成例を示す図である。

【図4】第3の実施形態による固体撮像装置の構成例を示す図である。

【図5】第4の実施形態による固体撮像装置の構成例を示す図である。

【図6】第5の実施形態による固体撮像装置の構成例を示す図である。

【図7】第6の実施形態による撮像システムの構成例を示す図である。

【発明を実施するための形態】

【0011】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る固体撮像装置の構成例を示す図である。画素部101は、光電変換部1、転送ゲート2、リセットトランジスタ3、増幅トランジスタ4、電荷電圧変換部5及び選択トランジスタ6を有し、2次元行列状に複数配置される。光電変換部1は、例えばフォトダイオードを有し、光を受けて電荷を発生する。すなわち、光電変換部1は、光電変換により信号を生成する。転送ゲート2は、光電変換部1で発生した電荷を転送パルスPTXに従って電荷電圧変換部5に転送する。電荷電圧変換部5は、例えばフローティングディフュージョンである。電荷電圧変換部5の電位は、電荷電圧変換部5に転送された電荷の量によって決定される。電荷電圧変換部5は、電荷の量を電圧に変換する。増幅トランジスタ4は、電荷電圧変換部5の電圧を増幅する。選択トランジスタ6は、画素選択パルスPSELに応じて、増幅トランジスタ4により増幅された電圧を画素出力線130に出力する。リセットトランジスタ3は、電荷電圧変換部5の電位を電源電位にリセットする。リセットトランジスタ3のソースは、電荷電圧変換部5及び増幅トランジスタ4のゲートに接続され、リセットトランジスタ3のドレインは、電源電位ノードに接続される。

【0012】

画素出力線130は、増幅トランジスタ4と定電流負荷7によって形成されるソースフォロワ回路の出力ノードである。増幅部120は、画素部101により生成された画素出力線130の信号を増幅する。増幅部120は、例えば入力容量8、帰還容量9、差動増幅回路10及びクランプスイッチ11を有する。差動増幅回路10は、定電流回路を構成するNMOSTランジスタ25と、差動対を構成するPMOSTランジスタ20, 21とNMOSTランジスタ22, 23と、本実施形態の特徴であるPMOSクリップトランジスタ24を有する。PMOSクリップトランジスタ24は、差動増幅回路10の出力を制限する制限回路である。

【0013】

PMOSクリップトランジスタ24を用いて、増幅部120の出力自体を制限することにより、S信号とN信号の経路の対称性を維持し、CDSの除去精度を高く維持することができる。PMOSクリップトランジスタ24は、ソースがトランジスタ21のドレインに接続され、ドレインがNMOSTランジスタ25のドレインに接続され、ゲートが電圧VCLIPのノードに接続され、N信号を出力する際に増幅部120の出力の最大電位を制限する。

【0014】

増幅部120からの出力のうちノイズレベルであるN信号は、転送スイッチ12を介して、容量14に保持される。一方、信号レベルであるS信号は、転送スイッチ13を介して、容量15に保持される。容量14及び15に保持されたN信号及びS信号は、スイッチトランジスタ16及び17がオンすると、差動アンプを含む出力部160で差動増幅され、その差分が出力部160から出力される。

【0015】

図2は、図1の固体撮像装置の動作例を示すタイミングチャートである。PSELは、選択トランジスタ6をオンさせるための画素選択パルスであり、ハイレベル期間に選択された画素部101の行の信号が画素出力線130に出力される。リセットパルスPRESは、リセットトランジスタ3の駆動パルスであり、ハイレベル期間では、リセットトランジスタ3がオンし、電荷電圧変換部5の電位がリセット電圧Vresにリセットされる。

リセットパルス P R E S がハイレベル期間の時刻 t_1 では、電圧 P C L M P が立ち上がり、電圧 V C L I P が N 信号のクリップレベルである電圧 V C L I P _ N となる。クリップ電圧 V C L I P _ N は、ハイレベルより低い電圧である。リセットパルス P R E S が時刻 t_2 で立ち下がると、リセットトランジスタ 3 がオフする。これにより、画素部 1 0 1 は、第 1 の期間にリセット状態におけるノイズ信号を、画素出力線 1 3 0 を介して、増幅部 1 2 0 に出力する。このとき、電圧 P C L M P はハイレベルになっているため、クランプスイッチ 1 1 がオンし、差動増幅回路 1 0 の入出力ノードが短絡され、電圧 V R E F に等しい電圧が増幅部出力ノード 1 5 0 に出力される。時刻 t_3 では、電圧 P C L M P が立ち下がると、クランプスイッチ 1 1 がオフし、差動増幅回路 1 0 の出力ノード 1 5 0 には N 信号 (ノイズ信号) が出力される。この状態で、転送パルス P T N のパルスを立ち上げる
10
と、転送スイッチ 1 2 がオンし、N 信号が容量 1 4 に蓄積される。時刻 t_4 では、転送パルス P T N を立ち下げると、転送スイッチ 1 2 がオフし、N 信号が容量 1 4 に保持される。

【 0 0 1 6 】

ここで、仮に電圧 V C L I P をハイレベルにしていると、クリップトランジスタ 2 4 がオフし、この N 信号を出力する期間中に光電変換部 1 に高輝度の光が入射していると、そこで発生した電荷が電荷電圧変換部 5 に入り込むことがある。この場合、N 信号のレベルが S 信号に近づくように変化し、時刻 t_3 以降の破線で表した増幅部出力ノード 1 5 0 が、時刻 t_4 に容量 1 4 に保持されて、黒沈みが発生する。

【 0 0 1 7 】

本実施形態では、黒沈みを防止するため、この期間にクリップトランジスタ 2 4 により、差動増幅回路 1 0 が出力する N 信号のレベルが S 信号に近づくように変化することを制限する。電圧 V C L I P をクリップ電圧 V C L I P _ N にすると、クリップトランジスタ 2 4 に電流が流れることにより、増幅部出力ノード 1 5 0 の最大電位が制限される。この制限は、N 信号を出力する期間に、その効果があることが必要である。更に重要なことは、S 信号を出力する期間は、クリップトランジスタ 2 4 のゲートが、クリップ電圧 V C L I P _ N のままだと、S 信号の出力が制限されてしまい、正しい S 信号を得ることができないことである。したがって、この場合、クリップトランジスタ 2 4 のゲートの電圧 V C L I P をハイレベルに切り替える必要がある。時刻 t_1 では、クリップトランジスタ 2 4 のゲートの電圧 V C L I P を、前行の S 信号を出力した際のハイレベルから、クリップ電
30
圧 V C L I P _ N に切り替える必要がある。クリップトランジスタ 2 4 のゲート配線の電圧 V C L I P を切り替えると、クリップトランジスタ 2 4 のゲート配線の配線遅延により、全列のクリップトランジスタ 2 4 のゲート配線の電位が安定するまでには、所定の時間を要する。N 信号を出力し始めると同時に、クリップトランジスタ 2 4 のゲート配線にクリップ電圧 V C L I P _ N を供給し、その効果を得るためには、余計に時間を必要となり、読出し時間が延びてしまう。

【 0 0 1 8 】

この対策として、本実施形態のもう一つの特徴は、クリップトランジスタ 2 4 のゲート配線の電圧 V C L I P をクリップ電圧 V C L I P _ N に切り替えるタイミングである。即ち、差動増幅部 1 0 のリセット期間に当たる時刻 $t_2 \sim t_3$ 、広くは時刻 $t_1 \sim t_3$ の期間の少なくとも一部の期間には、クリップトランジスタ 2 4 のゲート配線の電圧 V C L I P をクリップ電圧 V C L I P _ N に切り替えておく。又は、時刻 t_7 以降の水平転送期間中にクリップトランジスタ 2 4 のゲート配線の電圧 V C L I P をクリップ電圧 V C L I P _ N に切り替えておいてもよい。
40

【 0 0 1 9 】

更に、クリップ電圧 V C L I P _ N は、電圧 $V R E F + V O D + V_{th}$ であれば、増幅部 1 2 0 のリセット動作に影響を与えることなく、クリップ電圧 V C L I P _ N への切り替えとリセット動作を並列に行うことができる。ここで、 V_{th} は、差動増幅回路 1 0 の基準電圧 V R E F に対するばらつきの電圧である。また、V O D とは、差動増幅部 1 0 のトランジスタのオーバードライブ電圧である。以下、詳細に説明する。
50

【 0 0 2 0 】

ここで、増幅部出力ノード150において、N信号の制限される最大電圧 V_{out_max} は出来る限り低い電圧である方が、黒沈み防止の効果が高い。一方、最大電圧 V_{out_max} が低すぎると、クリップ電圧 V_{CLIP_N} が時刻 t_1 において供給された場合、正しいN信号出力を得ることが出来ない。従って、増幅部出力ノード150の制限される最大電圧 V_{out_max} はクランプ期間中の電圧 V_{REF} に対して十分高い電圧である必要がある。具体的には、増幅部出力ノード150は、基準電圧 V_{REF} に対して最大で素子ばらつき分の最大 V_{th_max} 分ばらつくため、最大電圧 V_{out_max} は、 $V_{out_max} = V_{REF} + V_{th_max}$ に設定される。ここで、電圧 V_{CLIP} は、最大電圧 V_{out_max} からPMOSトランジスタ24のオーバードライブ電圧 pV_{OD} 分下がった電圧に設定すれば良いため、電圧 $V_{CLIP} = V_{REF} + V_{th} - |pV_{OD}|$ に設定される。これにより、N信号の出力期間のみにN信号の出力が制限され、高輝度時にもN信号は最大で電圧 V_{out_max} に制限される。

10

【 0 0 2 1 】

また、時刻 t_4 以降に、電圧 V_{CLIP} は、クリップトランジスタ24が差動増幅回路10の出力を制限しない電圧、例えばハイレベル(電源電圧)に切り替える。これにより、S信号の出力期間ではクリップトランジスタ24が制限しないため、制限のないS信号が読み出される。

【 0 0 2 2 】

時刻 t_5 において、画素転送パルス P_{TX} が立ち上がると、転送ゲート2がオンし、光電変換部1から電荷電圧変換部5へ電荷の転送が開始される。時刻 t_6 において、転送パルス P_{TX} が立ち下がると、転送ゲート2がオフし、S信号の出力期間が開始される。これにより、画素部101は、第2の期間に非リセット状態における画素信号を、画素出力線130を介して、増幅部120に出力する。増幅部130は、クリップトランジスタ24による制限なしで、画素出力線130の画素信号を増幅し、S信号(画素信号)を出力ノード150に出力する。

20

【 0 0 2 3 】

その後、転送パルス P_{TS} を立ち上げると、転送スイッチ13がオンし、出力ノード150のS信号が容量15に蓄積される。時刻 t_7 では、転送パルス P_{TS} を立ち下げると、転送スイッチ13がオフし、S信号が容量15に保持される。

30

【 0 0 2 4 】

その後、スイッチトランジスタ16及び17がオンすると、出力部160は、容量14に保持されたN信号と容量15に保持された信号との差分を出力し、ノイズレベルを除去した画素信号を出力する。

【 0 0 2 5 】

更に、本実施形態の特徴は、クリップトランジスタ24が増幅部120の帰還ループ内に設けられることである。このように、増幅部120の出力ノード150に容量負荷が見える場合においては、クリップトランジスタ24が帰還ループ内にあるため、出力ノード150の電圧に応じて負荷容量の見え方が変わることがなくなる。これにより、制限される電圧近傍においても、小信号特性及び応答特性への影響は抑えられ、その影響する電圧範囲も少なく、実質的には画像への影響はないものである。また、消費電力を増やすことなく動作する。

40

【 0 0 2 6 】

また、差動増幅回路10は、ソース接地増幅回路にゲート接地増幅回路を積み重ねたカスコード構成としても良い。この場合は、出力電圧範囲が狭くなるが、利得が増加し、より制限電圧近傍でのゲインエラーを小さくすることが出来る。

【 0 0 2 7 】

増幅部120は、クリップトランジスタ(制限回路)24により、N信号が出力される第1の期間では、S信号が出力される第2の期間よりも、出力信号のレベルを制限する。クリップトランジスタ24は、MOSトランジスタであり、MOSトランジスタ24に電

50

流が流れることにより、増幅部 120 の出力信号のレベルを制限する。

【0028】

以上のように、本実施形態では、差動増幅回路 10 の出力ノード 150 及び定電流回路 25 の間にクリップトランジスタ 24 を接続し、N 信号出力期間に電圧 VCLIP をクリップ電圧 VCLIP_N とする。これにより、N 信号出力ノード 150 と S 信号出力ノード 150 とが共通な増幅部 120 において N 信号の出力を制限し、黒沈みを低減することができる。仮に、光電変換部が正孔を信号電荷として蓄積する場合には、信号振幅が図 2 とは逆になる。

【0029】

(第 2 の実施形態)

図 3 は、本発明の第 2 の実施形態に係る固体撮像装置の構成例を示す図である。本実施形態(図 3)は、第 1 の実施形態(図 1)に対して、差動増幅回路 10 が異なる。以下、本実施形態が第 1 の実施形態と異なる点を説明する。本実施形態の差動増幅回路 10 は、折り返しカスコード差動増幅回路である。差動増幅回路 10 は、NMOS トランジスタ 25 と、入力差動対を構成する NMOS トランジスタ 22, 23 と、カスコード接続された差動対を構成する PMOS トランジスタ 20, 21, 26, 27 と NMOS トランジスタ 28, 29, 30, 31 とを有する。NMOS トランジスタ 25 は、定電流回路を構成する。さらに、差動増幅回路 10 は、本実施形態の特徴となる増幅回路 10 の出力を制限する PMOS クリップトランジスタ 24 を有する。

【0030】

PMOS クリップトランジスタ 24 を用いて、増幅部 120 の出力ノード 150 の電圧自体を制限することにより、S 信号と N 信号の経路の対称性を維持し、CDS の除去精度を高く維持することができる。PMOS クリップトランジスタ 24 は、ソースが PMOS トランジスタ 27 のドレイン(出力ノード 150)に接続され、ドレインが NMOS トランジスタ 25 のドレインに接続され、ゲートが電圧 VCLIP のノードに接続される。電圧 VCLIP により、クリップトランジスタ 24 は、N 信号を出力する際に、増幅部 120 の出力ノード 150 の最大電位を制限する。

【0031】

本実施形態の固体撮像装置の動作は、第 1 の実施形態のものと同様である。本実施形態でも、第 1 の実施形態と同様に、クリップトランジスタ 24 が増幅部 120 の帰還ループ内にあり、出力ノード 150 の電圧に応じて負荷容量の見え方が変わることがなくなる。これにより、制限される電圧近傍においても、小信号特性及び応答特性への影響は抑えられ、その影響する電圧範囲も少なく、実質的には画像への影響はない。また、本実施形態では、折り返しカスコード差動増幅回路にすることで消費電力は増えるが、利得を増やしながらも出力電圧範囲を保つことで、S 信号と N 信号の差分を大きく保つことが出来る。すなわち、黒沈みを低減できる。

【0032】

以上のように、本実施形態では、カスコード接続された差動対の出力ノード 150 及び定電流回路 25 の間にクリップトランジスタ 24 を接続し、N 信号の出力期間に電圧 VCLIP をクリップ電圧 VCLIP_N にする。これにより、N 信号出力ノード 150 と S 信号出力ノード 150 とが共通な増幅部 120 において N 信号の出力を制限し、黒沈みを低減することができる。

【0033】

(第 3 の実施形態)

図 4 は、本発明の第 3 の実施形態に係る固体撮像装置の構成例を示す図である。本実施形態(図 4)は、第 1 の実施形態(図 1)に対して、増幅部 120 が異なる。以下、本実施形態が第 1 の実施形態と異なる点を説明する。本実施形態では、PMOS クリップトランジスタ 24 を用いて、カスコード差動増幅回路 10 の出力電圧を制限し、カスコード差動増幅回路 10 の後段にソース接地増幅回路 32, 33 を接続し、増幅部 120 の出力としている。ソース接地増幅回路 32, 33 は、バッファ回路であり、ソースフォロアを構

10

20

30

40

50

成する。カスコード差動増幅回路10は、カスコード接続された差動対を構成するPMOSトランジスタ20, 21, 26, 27とNMOSトランジスタ22, 23, 28, 29と、定電流回路を構成するNMOSトランジスタ25とを有する。ソースフォロアは、NMOSトランジスタ32及び33を有する。また、帰還容量9は、ソースフォロアの出力ノード150と増幅回路10の入力ノードの間に接続され、帰還ループを構成している。従って、PMOSクリップトランジスタ24による出力電圧の制限は、帰還ループの内部で行われていることとなる。

【0034】

PMOSクリップトランジスタ24を用いて、増幅回路10の出力電圧を制限することで、S信号とN信号の経路の対称性を維持し、CDSの除去精度を高く維持することができる。PMOSクリップトランジスタ24は、ソースがトランジスタ27のドレインに接続され、ドレインがNMOSトランジスタ25のドレインに接続され、ゲートが電圧VCLIPのノードに接続される。クリップトランジスタ24は、N信号を出力する際に、増幅回路10の初段の差動カスコード増幅回路の出力ノードの最大電位を制限することで、増幅部120の出力電圧を制限する。

10

【0035】

本実施形態の固体撮像装置の動作は、第1の実施形態のものと同様である。本実施形態でも、第1の実施形態と同様に、クリップトランジスタ24が増幅部120の帰還ループ内にあり、出力ノード150の電圧に応じて負荷容量の見え方が変わることがなくなる。これにより、制限される電圧近傍においても、小信号特性及び応答特性への影響は抑えられ、その影響する電圧範囲も少なく、実質的には画像への影響はない。また、増幅部120の出力部にソースフォロア回路を設けることで、消費電力は大きい、外部の負荷が大きい場合でも駆動することが可能である。

20

【0036】

以上のように、本実施形態では、カスコード差動増幅回路10の出力ノード及び定電流回路25の間にクリップトランジスタ24を接続し、N信号の出力期間に電圧VCLIPをクリップ電圧VCLIP_Nにする。これにより、N信号出力ノード150とS信号出力ノード150とが共通な増幅部120においてN信号の出力を制限し、黒沈みを低減することができる。

【0037】

(第4の実施形態)

図5は、本発明の第4の実施形態に係る固体撮像装置の構成例を示す図である。本実施形態(図5)、第3の実施形態(図4)に対して、クリップトランジスタ24を設ける位置が異なる。以下、本実施形態が第1の実施形態と異なる点を説明する。増幅部120は、差動増幅回路10の後段のソースフォロア33と、ソースフォロワ33に接続されたPMOSクリップトランジスタ24を有する。本実施形態では、PMOSクリップトランジスタ24を用いて、ソースフォロア33の出力ノード150の電圧を制限している。また、帰還容量9は、差動増幅回路10の出力ノードと差動増幅回路10の入力ノードの間に接続され、帰還ループを構成している。帰還ループの後段には、ソースフォロア33が接続されている。

30

40

【0038】

PMOSクリップトランジスタ24を用いて、ソースフォロア33の出力ノード150の電圧を制限することで、S信号とN信号の経路の対称性を維持し、CDSの除去精度を高く維持することができる。PMOSクリップトランジスタ24は、ソースがトランジスタ33のドレイン(出力ノード150)に接続され、ドレインがグランド電位ノードに接続され、ゲートが電圧VCLIPのノードに接続される。電圧VCLIPをクリップ電圧VCLIP_Nにすることにより、クリップトランジスタ24は、N信号を出力する際に、増幅部120の出力ノード150の電圧を制限する。クリップトランジスタ24は、増幅部120の帰還ループ外に設けられ、増幅部120の出力ノード150に設けられる。

【0039】

50

本実施形態の固体撮像装置の動作は、第3の実施形態のものと同様である。また、増幅部120の出力部にソースフォロア回路33を設けることで、外部の負荷が大きい場合でも駆動することが可能である。

【0040】

以上のように、本実施形態では、ソースフォロア33の出力ノード150及びグランド電位ノードの間にクリップトランジスタ24を接続し、N信号の出力期間に電圧VCLIPをクリップ電圧VCLIP_Nにする。これにより、N信号出力ノード150とS信号出力ノード150とが共通な増幅部120においてN信号の出力を制限し、黒沈みを抑制することができる。

【0041】

(第5の実施形態)

図6は、本発明の第5の実施形態に係る固体撮像装置の構成例を示す図である。本実施形態(図6)は、第1の実施形態(図1)に対して、アナログ/デジタルコンバータ170を追加したものである。以下、本実施形態が第1の実施形態と異なる点を説明する。増幅部出力ノード150は、A/Dコンバータ170の入力ノードに接続される。アナログ/デジタルコンバータ170は、増幅部120により増幅された信号をアナログからデジタルに変換する。本実施形態の固体撮像装置は、2次元行列状の複数の画素部101を有し、列毎にアナログ/デジタルコンバータ170を有し、N信号及びS信号の保持部を有していない。従って、増幅部120の出力電圧制限は、増幅部120の内部で行われる必要がある。増幅部出力ノード150がアナログ/デジタルコンバータ170の入力ノードに接続される場合においても、増幅部120の出力電圧は、クリップトランジスタ24により制限される。なお、第2~第4の実施形態にも、本実施形態と同様に、アナログ/デジタルコンバータ170を設けることができる。

【0042】

本実施形態の固体撮像装置の動作は、第1の実施形態のものと同様である。本実施形態では、増幅部出力ノード150の電圧がアナログ/デジタルコンバータ170に入力される場合において、N信号の出力期間に増幅部120の出力電圧を制限し、黒沈みを抑制することができる。

【0043】

(第6の実施形態)

図7は、本発明の第6の実施形態に係る撮像システムの構成例を示す図である。撮像システム800は、例えば、光学部810、固体撮像装置100、映像信号処理回路部830、記録・通信部840、タイミング制御回路部850、システムコントロール回路部860、及び再生・表示部870を有する。固体撮像装置100は、第1~第5の実施形態の固体撮像装置である。

【0044】

レンズ等の光学系である光学部810は、被写体からの光を固体撮像装置100の、複数の画素が2次元状に配列された画素部101に結像させ、被写体の像を形成する。固体撮像装置100は、タイミング制御回路部850からの信号に基づくタイミングで、画素部101に結像された光に応じた信号を出力する。固体撮像装置100から出力された信号は、映像信号処理部である映像信号処理回路部830に入力され、映像信号処理回路部830が、プログラム等によって定められた方法に従って信号処理を行う。映像信号処理回路部830での処理によって得られた信号は画像データとして記録・通信部840に送られる。記録・通信部840は、画像を形成するための信号を再生・表示部870に送り、再生・表示部870に動画や静止画像を再生・表示させる。記録・通信部840は、また、映像信号処理回路部830からの信号を受けて、システムコントロール回路部860と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

【0045】

システムコントロール回路部860は、撮像システムの動作を統括的に制御するもので

10

20

30

40

50

あり、光学部 810、タイミング制御回路部 850、記録・通信部 840、及び再生・表示部 870の駆動を制御する。また、システムコントロール回路部 860は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システムコントロール回路部 860は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的な例としては、読み出す行やりセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。タイミング制御回路部 850は、システムコントロール回路部 860による制御に基づいて固体撮像装置 100及び映像信号処理回路部 830の駆動タイミングを制御する。

【0046】

10

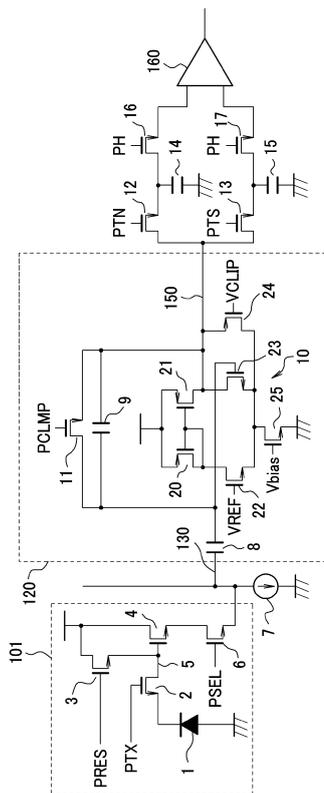
なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。例えば、クリップトランジスタ 24はPMOSトランジスタで構成するものに限定されない。

【符号の説明】

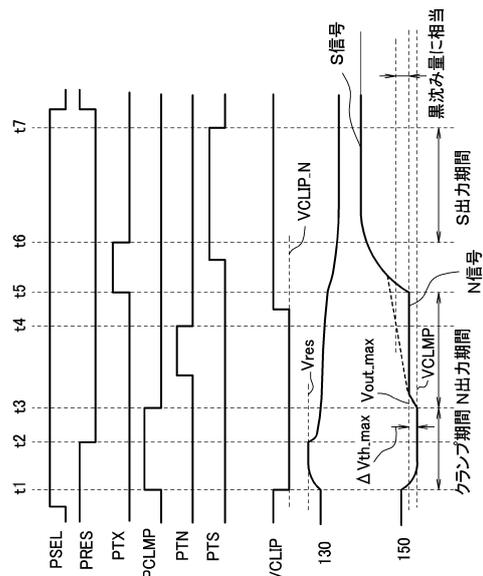
【0047】

24 制限回路、101 画素部、120 増幅部

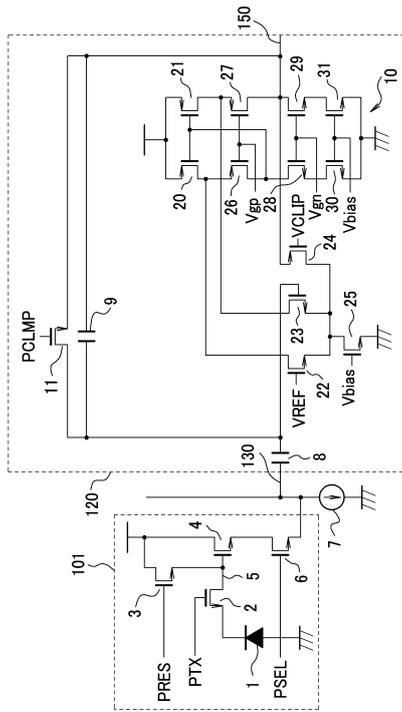
【図1】



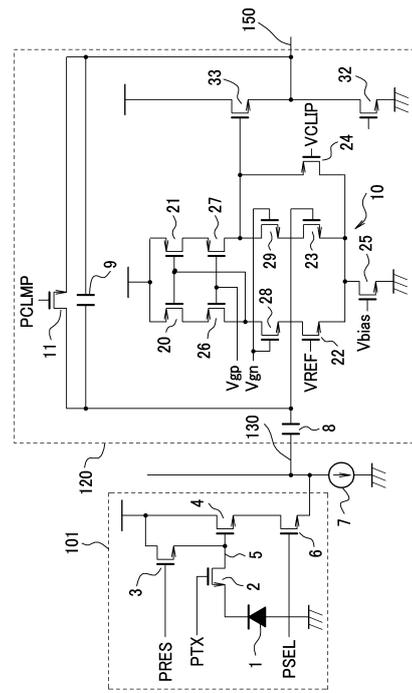
【図2】



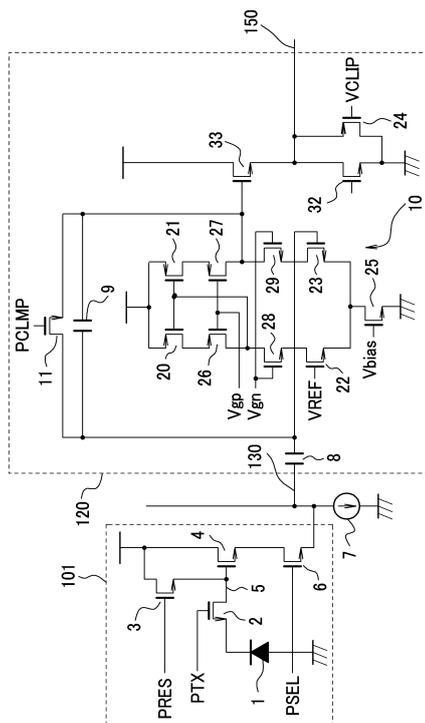
【 図 3 】



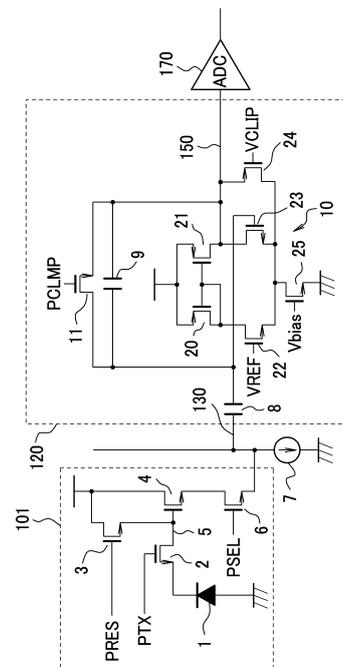
【 図 4 】



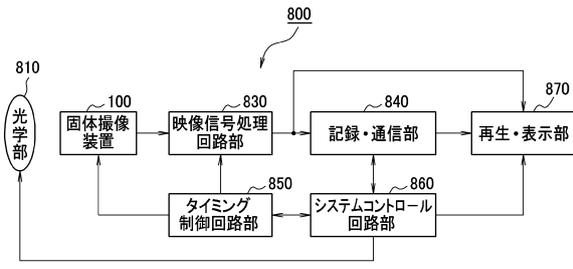
【 図 5 】



【 図 6 】



【図7】



フロントページの続き

(56)参考文献 特開2009-200660(JP,A)
特開2010-057137(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/30 - 5/378