



(12) 发明专利

(10) 授权公告号 CN 102881688 B

(45) 授权公告日 2015. 04. 15

(21) 申请号 201210349520. 4

(22) 申请日 2012. 09. 19

(73) 专利权人 北京京东方光电科技有限公司
地址 100176 北京市大兴区经济技术开发区
西环中路 8 号

(72) 发明人 邓检

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 29/786(2006. 01)

H01L 21/77(2006. 01)

G02F 1/1368(2006. 01)

(56) 对比文件

CN 102544029 A, 2012. 07. 04, 说明书第
[0033] 段至第 [0056] 段、附图 1-2E.

US 2012/0081642 A1, 2012. 04. 05, 全文.

CN 102629584 A, 2012. 08. 08, 全文.

CN 102651342 A, 2012. 08. 29, 全文.

审查员 张剑铭

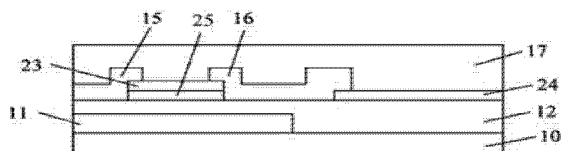
权利要求书2页 说明书5页 附图5页

(54) 发明名称

一种阵列基板、显示面板及阵列基板的制造方法

(57) 摘要

本发明公开了一种阵列基板、显示面板及阵列基板的制造方法,所述阵列基板包括多个像素单元,每个像素单元包括薄膜晶体管、透明导电金属层和像素电极,所述薄膜晶体管包括栅极、有源层、源极和漏极,其中,所述有源层位于栅极的上方或者下方;所述透明导电金属层与有源层层叠接触;所述源极和漏极形成有源层的沟道,且所述漏极与像素电极连接。由于透明导电金属与有源层层叠接触,在阵列基板的制造过程中,在沉积透明导电薄膜和有源层薄膜之后,只需通过一次半色调掩模构图工艺即可形成像素电极图形和有源层图形,大大简化了生产工艺,同时也减少了该次掩模构图工艺可能带来的产品缺陷,大大提高了产能。



1. 一种阵列基板,其特征在于,包括多个像素单元,每个像素单元包括薄膜晶体管、透明导电薄膜层和像素电极,所述薄膜晶体管包括栅极、有源层、源极和漏极,其中,
 - 所述有源层位于栅极的上方或者下方;
 - 所述透明导电薄膜层与有源层层叠接触;
 - 所述源极和漏极形成有源层的沟道,且所述漏极与像素电极连接;
 - 所述阵列基板还包括:透明基板、与栅极连接的栅极扫描线、栅极绝缘层、与源极连接的数据扫描线,其中,
 - 所述栅极和栅极扫描线,形成于透明基板之上;
 - 所述栅极绝缘层,形成于栅极和栅极扫描线之上并覆盖基板;
 - 所述像素电极和透明导电薄膜层,形成于栅极绝缘层之上,且所述透明导电薄膜层位于栅极的上方;
 - 所述有源层,形成于透明导电薄膜层之上并与透明导电薄膜层层叠接触;
 - 所述源极和漏极形成于有源层之上。
2. 如权利要求 1 所述的阵列基板,其特征在于,所述透明导电薄膜层和像素电极材质相同。
3. 如权利要求 1 所述的阵列基板,其特征在于,进一步包括钝化层,所述钝化层位于薄膜晶体管、透明导电薄膜层和像素电极所组成的结构之上并覆盖基板,且在基板的信号引导区具有过孔。
4. 如权利要求 3 所述的阵列基板,其特征在于,进一步包括:形成于钝化层之上且具有狭缝结构的公共电极。
5. 如权利要求 3 所述的阵列基板,其特征在于,进一步包括:位于像素电极的下方并与像素电极绝缘隔离的公共电极,其中,所述像素电极具有狭缝结构。
6. 一种显示装置,其特征在于,包括如权利要求 1~5 任一项所述的阵列基板。
7. 一种阵列基板的制造方法,其特征在于,包括:
 - 在透明基板上形成栅极和与之连接的栅极扫描线;
 - 形成栅极绝缘层,所述栅极绝缘层形成在所述栅极和栅极扫描线之上并覆盖基板;
 - 在栅极绝缘层上沉积透明导电薄膜和有源层薄膜,通过一次半色调或灰色调掩模构图工艺形成像素电极图形、透明导电薄膜层图形和有源层图形,其中,所述透明导电薄膜层位于栅极的上方,所述有源层位于所述透明导电薄膜层之上并与所述透明导电薄膜层层叠接触;
 - 在有源层之上形成相对而置的、并形成沟道的源极和漏极图形,同时在基板上形成与源极连接的数据扫描线图形;
 - 将所述漏极与像素电极连接。
8. 如权利要求 7 所述的制造方法,其特征在于,所述通过一次半色调或灰色调掩模构图工艺形成像素电极图形、透明导电薄膜层图形和有源层图形的步骤,包括:
 - 采用具有全透光区、半透光区和不透光区的掩模板对基板进行曝光,其中,全透光区对应的位置全部曝光,刻蚀后露出栅极绝缘层;半透光区对应的位置部分曝光,刻蚀后形成像素电极图形;不透光区对应的位置未曝光,刻蚀后形成透明导电薄膜层图形和有源层图形。
9. 如权利要求 7 所述的制造方法,其特征在于,

在形成像素电极图形、透明导电薄膜层图形和有源层图形的步骤之后,进一步包括:

在源极、漏极和数据扫描线之上形成覆盖基板的钝化层,并在基板的信号引导区形成过孔图形。

10. 如权利要求 9 所述的制造方法,其特征在于,在源极、漏极和数据扫描线之上形成覆盖基板的钝化层,并在基板的信号引导区形成过孔图形的步骤之后,进一步包括:

在钝化层之上形成具有狭缝结构的公共电极图形。

11. 如权利要求 7 所述的制造方法,其特征在于,所述形成像素电极图形具有狭缝结构,所述形成像素电极图形、透明导电薄膜层图形和有源层图形的步骤之前包括:形成位于需要形成的狭缝结构的所述像素电极的下方并与所述像素电极绝缘隔离的公共电极图形。

一种阵列基板、显示面板及阵列基板的制造方法

技术领域

[0001] 本发明涉及薄膜晶体管液晶显示技术领域,特别是涉及一种阵列基板、显示面板及阵列基板的制造方法。

背景技术

[0002] 在平板显示装置中,薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称 TFT-LCD)具有体积小、功耗低、制造成本相对较低和无辐射等特点,在当前的平板显示器市场占据了主导地位。

[0003] 目前,TFT-LCD 的显示模式主要有 TN (Twisted Nematic,扭曲向列)模式、VA (Vertical Alignment,垂直取向)模式、IPS (In-Plane-Switching,平面方向转换)模式和 AD-SDS (ADvanced Super Dimension Switch,高级超维场转换技术,简称 ADS)模式等。

[0004] 其中,ADS 模式的液晶显示器主要是通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(push Mura)等优点。

[0005] 以 ADS 模式的 TFT-LCD 阵列基板为例,该阵列基板包括:一组栅极扫描线和与栅极扫描线垂直交叉的一组数据扫描线,彼此交叉的栅极扫描线和数据扫描线限定了一个像素区。如图 1 所示,每一个像素区包括形成于基板 10 之上的栅极 11、栅极绝缘层 12、有源层 13、源极 15、漏极 16、像素电极 14 (即板状电极)、钝化层 17 和公共电极 18 (即狭缝电极),其中,公共电极 18 在像素区内具有多个狭缝结构。

[0006] 在现有阵列基板的制造过程中,形成栅极和栅极扫描线图形,有源层图形,源极、漏极和数据扫描线图形,像素电极图形和过孔图形各需采用一次掩模构图工艺,图 1 所示的 ADS 模式的 TFT-LCD 阵列基板则需采用 1+5 次掩模构图工艺形成。

[0007] 形成有源层和像素电极各自均需采用一次掩模构图工艺,而每次掩模构图工艺均包括多个步骤,这无疑使得阵列基板的制造工艺较为繁琐,产能较难提升。

发明内容

[0008] 本发明提供了一种阵列基板、显示面板及阵列基板的制造方法,用以解决现有技术中阵列基板的制造工艺较为繁琐,产能较难提升的技术问题。

[0009] 本发明阵列基板,包括多个像素单元,每个像素单元包括薄膜晶体管、透明导电金属层和像素电极,所述薄膜晶体管包括栅极、有源层、源极和漏极,其中,

[0010] 所述有源层位于栅极的上方或者下方;

[0011] 所述透明导电金属层与有源层层叠接触;

[0012] 所述源极和漏极形成有源层的沟道,且所述漏极与像素电极连接。

[0013] 本发明显示装置,包括前述技术方案所述的阵列基板。

[0014] 本发明阵列基板的制造方法,包括:

[0015] 在基板上沉积透明导电薄膜和有源层薄膜,通过一次半色调或灰色调掩模构图工艺形成像素电极图形、透明导电金属层图形和有源层图形,其中,所述透明导电金属层与有源层层叠接触。

[0016] 在本发明技术方案中,由于透明导电金属与有源层为层叠接触,因此,在阵列基板的制造过程中,在沉积透明导电薄膜和有源层薄膜之后,只需通过一次半色调或灰色调掩模构图工艺即可形成像素电极图形和有源层图形,对比于现有技术,省去了一次掩模构图工艺,大大简化了生产工艺,同时也减少了该次掩模构图工艺可能带来的产品缺陷,大大提高了产能。

附图说明

[0017] 图 1 为现有阵列基板结构示意图(ADS 模式);

[0018] 图 2 为本发明阵列基板结构示意图(以 ADS 模式为例);

[0019] 图 3 为本发明阵列基板制造方法流程示意图(以 ADS 模式为例);

[0020] 图 4 为本发明阵列基板制造方法中半色调掩模工艺流程示意图;

[0021] 图 5a~ 图 5e 为基板的半色调掩模工艺示意图;

[0022] 图 6 为本发明阵列基板结构示意图(以 TN 模式为例)。

[0023] 附图标记:

[0024] 10- 透明基板 11- 栅极

[0025] 12- 栅极绝缘层 13- 有源层(现有技术)

[0026] 14- 像素电极(现有技术) 15- 源极

[0027] 16- 漏极 17- 钝化层

[0028] 18- 公共电极 23- 有源层

[0029] 24- 像素电极 230- 有源层薄膜

[0030] 240- 透明导电薄膜 100- 光刻胶

[0031] 25- 透明导电金属层

具体实施方式

[0032] 为了解决现有技术中阵列基板的制造工艺较为繁琐,产能较难提升的技术问题,本发明实施例提供了一种阵列基板、显示面板及阵列基板的制造方法。

[0033] 如图 6 所示实施例,本发明阵列基板,包括多个像素单元(图中以一个像素单元的截面为例),每个像素单元包括薄膜晶体管、透明导电金属层 25 和像素电极 24,所述薄膜晶体管包括栅极 11、有源层 23、源极 15 和漏极 16,其中,

[0034] 所述有源层 23 位于栅极 11 的上方或者下方;

[0035] 所述透明导电金属层 25 与有源层 23 层叠接触;

[0036] 所述源极 15 和漏极 16 形成有源层 23 的沟道,且所述漏极 16 与像素电极 24 连接。

[0037] 本发明所述阵列基板的类型不限,例如可以为底栅型阵列基板(此时有源层位于栅极的上方)或者顶栅型阵列基板(此时有源层位于栅极的上方)等。阵列基板各膜层的结构位置可以有很多种变化,只要制作出显示装置驱动所必要的元素(比如栅极、有源层、源

极、漏极和像素电极等),确保显示装置正常驱动即可。所述透明导电金属层和像素电极的材质优选相同,这样,像素电极和透明导电金属层便可以同层制作形成。

[0038] 以底栅型阵列基板为例,还具体包括:透明基板 10、与栅极 11 连接的栅极扫描线(图中未示出)、栅极绝缘层 12、与源极 15 连接的数据扫描线(图中未示出),其中,

[0039] 所述栅极 11 和栅极扫描线,形成于透明基板 10 之上;

[0040] 所述栅极绝缘层 12,形成于栅极 11 和栅极扫描线之上并覆盖基板;

[0041] 所述像素电极 24 和透明导电金属层 25,形成于栅极绝缘层 12 之上,且所述透明导电金属层 25 位于栅极 11 的上方;

[0042] 所述有源层 23,形成于透明导电金属层 25 之上并与透明导电金属层 25 层叠接触;

[0043] 所述源极 15 和漏极 16 形成于有源层 23 之上。

[0044] 在本发明实施例的阵列基板中,透明导电金属层 25 的存在可以使像素电极 24 和有源层 23 在一次半色调或灰色调掩模构图工艺中形成,透明导电金属层 25 的存在对阵列基板的功能不产生影响。对比于现有技术,省去了一次掩模构图工艺,大大简化了生产工艺,同时也减少了该次掩模构图工艺可能带来的产品缺陷,大大提高了产能。

[0045] 在图 6 所示的实施例中,所述阵列基板还进一步包括钝化层 17,所述钝化层 17 位于薄膜晶体管、透明导电金属层 25 和像素电极 24 所组成的结构之上并覆盖基板,且在基板的信号引导区具有过孔(图中未示出)。该结构阵列基板可应用于 TN 模式的显示装置,在 TN 模式的显示装置中,公共电极设置于彩膜基板上。

[0046] 请参考图 2 所示,当阵列基板为 ADS 模式的阵列基板时,所述阵列基板还进一步包括:

[0047] 钝化层 17,形成于源极 15、漏极 16 和数据扫描线之上并覆盖基板,且在基板的信号引导区具有过孔(图中未示出);

[0048] 公共电极 18,形成于钝化层 17 之上,且具有狭缝结构。

[0049] 在本发明的其它实施例中,阵列基板的结构还可以是,像素电极具有狭缝结构,阵列基板进一步包括公共电极,该公共电极位于像素电极的下方并与像素电极绝缘隔离。当阵列基板为 ADS 模式时,只要保证上面的电极具有狭缝结构,下面的电极具有板状结构即可。公共电极可以位于栅极绝缘层的上方,或者与栅极在一次构图工艺中形成均可。

[0050] 本发明实施例还提供了一种显示装置,其包括上述任意一种阵列基板。所述显示装置可以为:液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0051] 本发明阵列基板的制造方法,包括:

[0052] 在基板上沉积透明导电薄膜和有源层薄膜,通过一次半色调或灰色调掩模构图工艺形成像素电极图形、透明导电金属层图形和有源层图形,其中,所述透明导电金属层与有源层层叠接触。

[0053] 所述通过一次半色调或灰色调掩模构图工艺形成像素电极图形、透明导电金属层图形和有源层图形,包括:

[0054] 本发明具体可以采用具有全透光区、半透光区和不透光区的掩模板对基板进行曝光,其中,全透光区对应的位置全部曝光,刻蚀后露出栅极绝缘层;半透光区对应的位置部

分曝光,刻蚀后形成像素电极图形;不透光区对应的位置未曝光,刻蚀后形成透明导电金属层图形和有源层图形。

[0055] 掩模板的半透光区起半透光效果的可以为两个狭缝,掩模时利用双缝干涉达到部分透光,也可以为使光线部分透过的半透膜;半透膜的光线透过率为 35%~45%;半透膜材质可以为铬、钼、锰的氧化物、氮化物、有机玻璃、透明热固性高分子材料、或甲基戊烯聚合物。

[0056] 在形成像素电极图形、透明导电金属层图形和有源层图形的步骤之前,进一步包括:

[0057] 在透明基板上形成栅极及栅极扫描线图形和栅极绝缘层;

[0058] 在形成像素电极图形、透明导电金属层图形和有源层图形之后,进一步包括:

[0059] 在有源层之上形成相对而置的、并形成沟道的源极和漏极图形,同时在基板上形成与源极连接的数据扫描线图形;

[0060] 在源极、漏极和数据扫描线之上形成覆盖基板的钝化层,并在基板的信号引导区形成过孔图形。

[0061] 其中,制造 ADS 模式的阵列基板,在形成钝化层和过孔图形之后,进一步包括:

[0062] 在钝化层之上形成具有狭缝结构的公共电极图形。

[0063] 图 2 所示的 ADS 模式的 TFT-LCD 阵列基板共需采用 1+4 次掩模构图工艺形成,如图 3 所示,其主要实施过程包括:

[0064] 步骤 201:在透明基板上沉积栅金属薄膜,通过第一次掩模构图工艺形成栅极和栅极扫描线图形;

[0065] 栅金属薄膜可以采用铝、铬、钨、钽、钛、钼或钼镍的单层薄膜,也可以采用由上述单层薄膜构成的多层复合薄膜,对于金属薄膜,沉积方式采用物理气相淀积的方式成膜。

[0066] 步骤 202:在完成步骤 201 的基板上沉积栅极绝缘层、第一透明导电薄膜和有源层薄膜,通过一次半色调掩模构图工艺(即第二次掩模构图工艺)形成像素电极图形、透明导电金属层图形和有源层图形;

[0067] 栅极绝缘层的绝缘成分可以为氮化硅等,采用化学气相淀积的方式成膜;第一透明导电薄膜材质可以为氧化铟锡等,采用物理气相淀积的方式成膜;有源层薄膜材质可以为非晶硅、氢化非晶硅等,采用化学气相淀积法成膜。

[0068] 步骤 203:在完成步骤 202 的基板上沉积源漏电极金属薄膜,通过第三次掩模构图工艺形成源极、漏极和数据扫描线图形;

[0069] 源漏电极金属薄膜可以采用铝、铬、钨、钽、钛、钼或钼镍的单层薄膜,也可以采用由上述单层薄膜构成的多层复合薄膜,对于金属薄膜,沉积方式采用物理气相淀积的方式成膜。

[0070] 步骤 204:在完成步骤 203 的基板上沉积钝化层,通过第四次掩模构图工艺形成信号引导区过孔图形;

[0071] 钝化层材质可选用氮化硅等。

[0072] 步骤 205:在完成步骤 204 的基板上沉积第二透明导电薄膜,通过第五次掩模构图工艺形成具有狭缝结构的公共电极图形;

[0073] 第二透明导电薄膜可采用与第一透明导电薄膜相同的材质,例如氧化铟锡等,采用物理气相淀积的方式成膜。

[0074] 结合图 4 和图 5a 至图 5e 所示,步骤 202 具体为:

[0075] 步骤 2021:在完成步骤 201 的基板上采用化学气相淀积的方式沉积栅极绝缘层 12、采用物理气相淀积的方式沉积第一透明导电薄膜(即透明导电薄膜 240)和采用化学气相淀积的方式沉积有源层薄膜 230;

[0076] 步骤 2022:在完成步骤 2021 的基板上涂覆一层正性光刻胶 100;

[0077] 步骤 2023:使用设计的具有全透光区、半透光区和不透光区结构的掩模板对基板进行曝光,其中,掩模板的全透光区对应的光刻胶全部曝光,半透光区对应的光刻胶部分曝光,不透光区对应的光刻胶未被曝光;

[0078] 步骤 2024:对完成步骤 2023 的基板进行显影,完全曝光的区域光刻胶溶解并去除,部分曝光的区域光刻胶部分溶解并去除,未曝光区域光刻胶 100 保留,成为保护掩模,如图 5a 所示;

[0079] 步骤 2025:对完成步骤 2024 的基板进行刻蚀,完全曝光区域刻蚀后露出栅极绝缘层 12,如图 5b 所示;

[0080] 步骤 2026:对完成步骤 2025 的基板通过灰化工艺去除部分曝光区域残留的部分光刻胶,暴露出该区域的有源层薄膜 230,对该薄膜进行刻蚀,至暴露出像素电极 24,如图 5c 和图 5d 所示;

[0081] 步骤 2027:将完成步骤 2026 的基板的残余光刻胶剥离,暴露出有源层 23,如图 5e 所示。

[0082] 所述步骤 202 中形成的所述像素电极图形可以具有狭缝结构,因此,在步骤 S202 之前可以包括:形成位于需要形成的狭缝结构的所述像素电极的下方并与所述像素电极绝缘隔离的公共电极图形。

[0083] 当需要制备的阵列基板为 ADS 模式时,制备时只要保证上面的电极具有狭缝结构,下面的电极具有板状结构即可。公共电极可以位于栅极绝缘层的上方,或者与栅极在一次构图工艺中形成均可。

[0084] 本发明阵列基板的制造方法同样适用于 TN 模式(经步骤 201~204 可生产出 TN 模式的阵列基板)、IPS 模式等其他显示模式。图 6 所示的 TN 模式的阵列基板,通过一次半色调掩模构图工艺即可形成像素电极图形和有源层图形。

[0085] 在本发明技术方案中,由于透明导电金属层与有源层层叠接触,因此,在阵列基板的制造过程中,在沉积透明导电薄膜和有源层薄膜之后,只需通过一次半色调掩模构图工艺即可形成像素电极图形和有源层图形,对比于现有技术,省去了一次掩模构图工艺,大大简化了生产工艺,同时也减少了该次掩模构图工艺可能带来的产品缺陷,大大提高了产能。

[0086] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

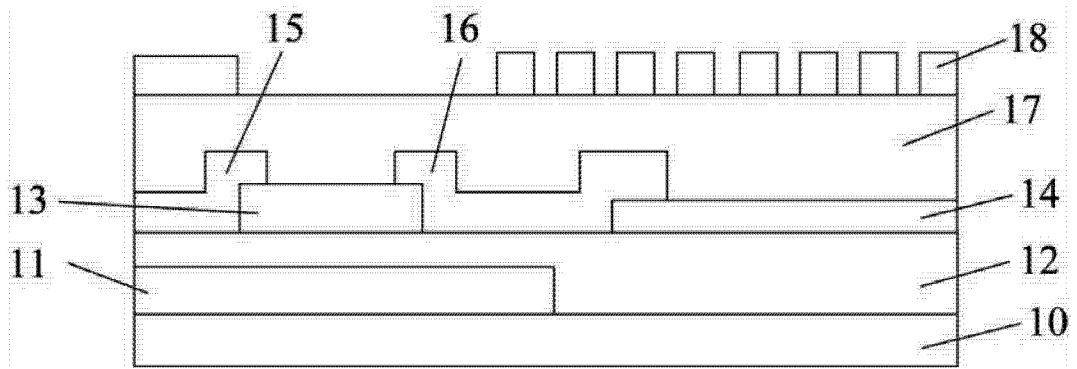


图 1

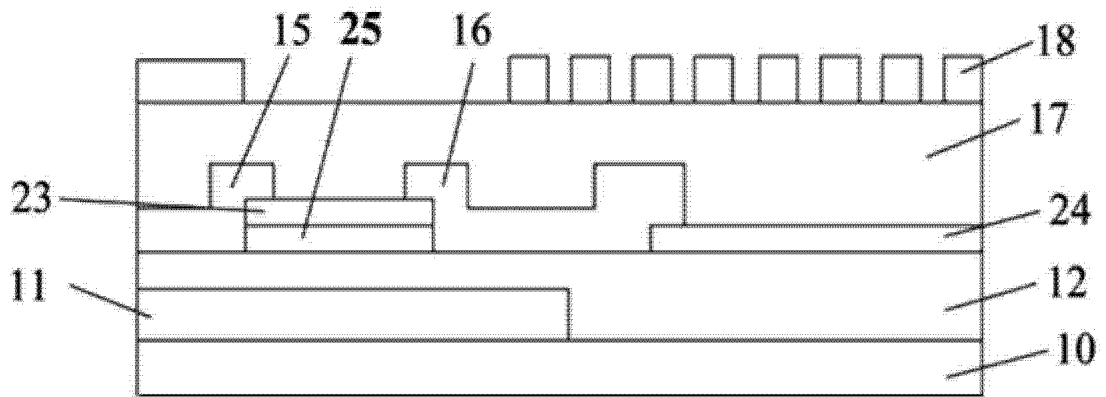


图 2

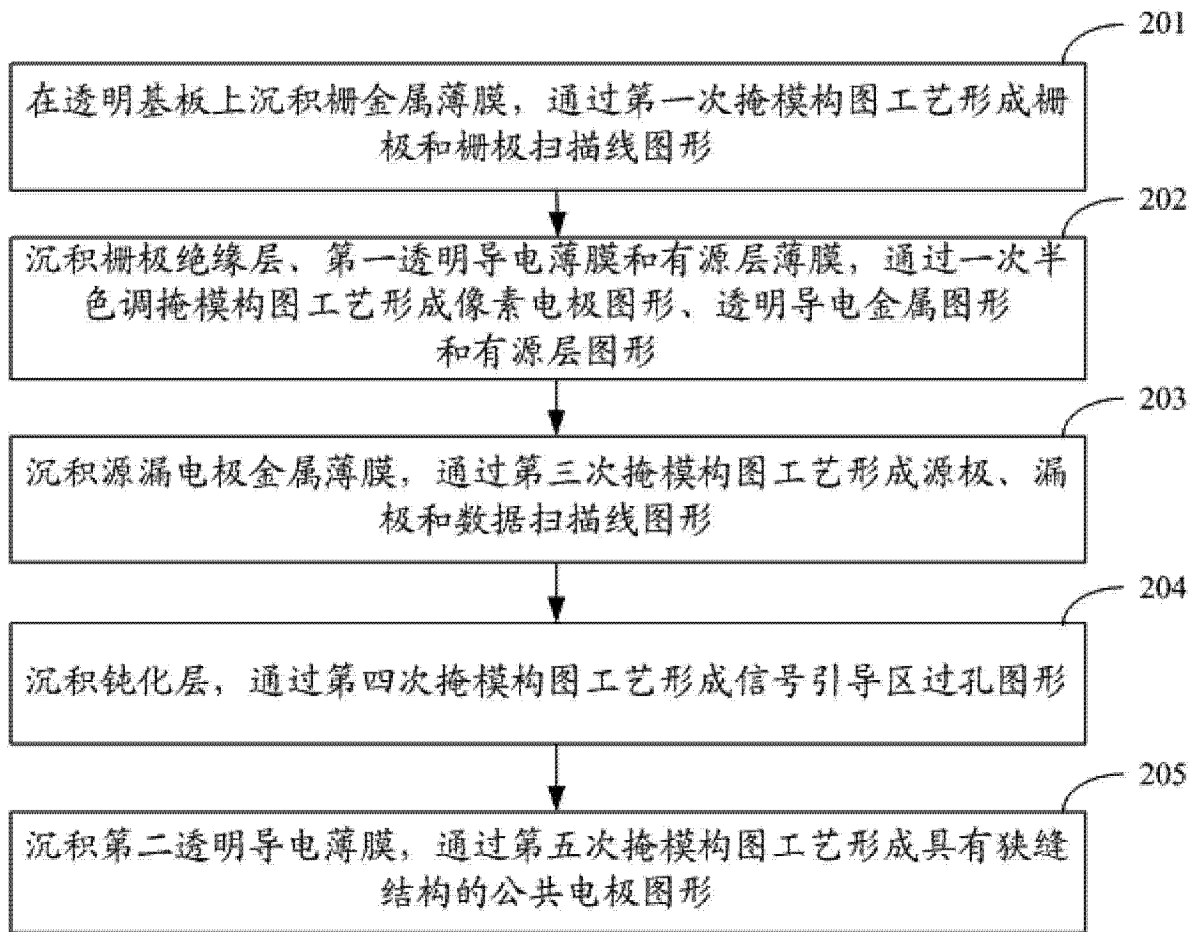


图 3

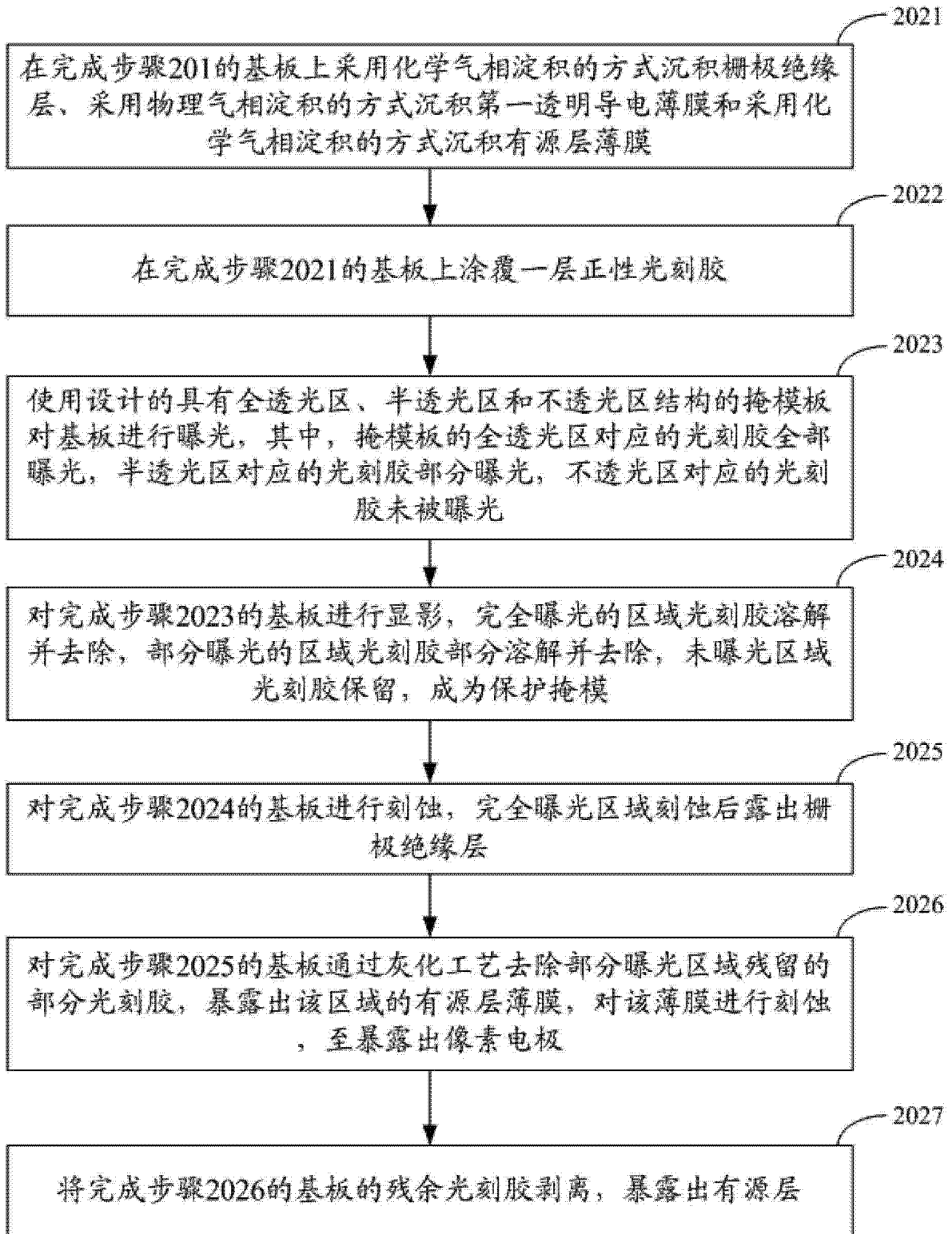


图 4

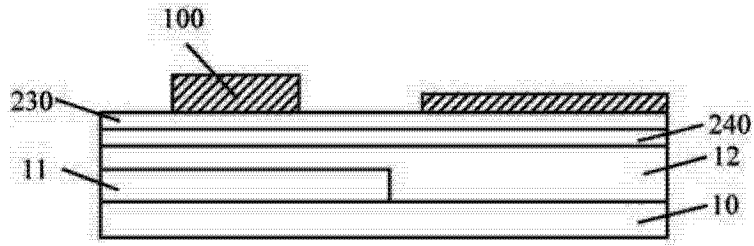


图 5a

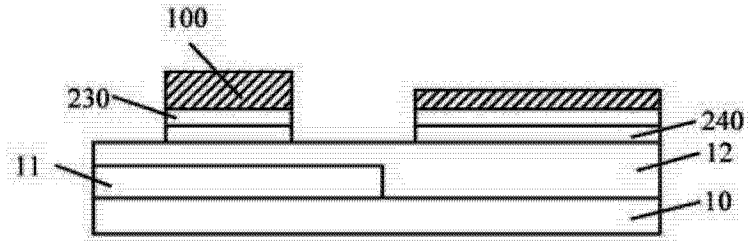


图 5b

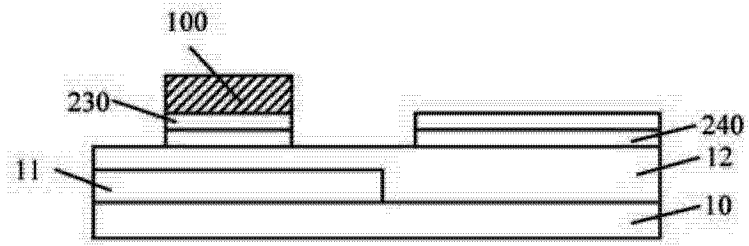


图 5c

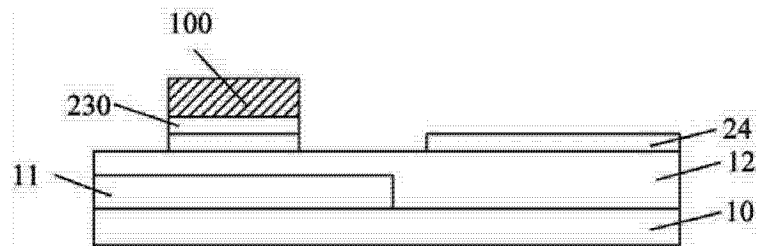


图 5d

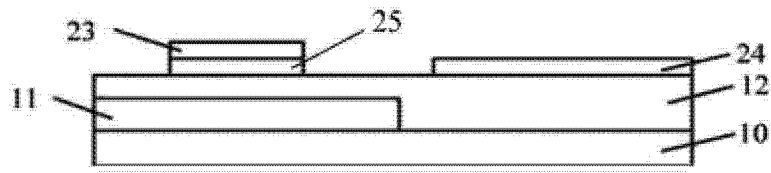


图 5e

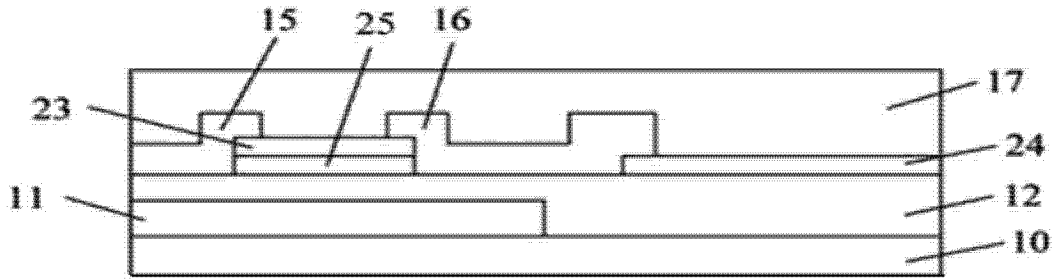


图 6