



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201604884 A

(43) 公開日：中華民國 105 (2016) 年 02 月 01 日

(21) 申請案號：104120315

(22) 申請日：中華民國 99 (2010) 年 10 月 20 日

(51) Int. Cl. : *G11C29/42 (2006.01)*

(30) 優先權：2009/12/09 美國 12/634,286

(71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)  
美國

(72) 發明人：班 庫杰特 BAINS, KULJIT S. (IN)；齊莫曼 大衛 ZIMMERMAN, DAVID J. (US)；布茲辛斯基 丹尼斯 BRZEZINSKI, DENNIS W. (US)；威廉斯 麥可 WILLIAMS, MICHAEL (US)；赫伯特 約翰 HALBERT, JOHN B. (US)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：21 項 圖式數：7 共 32 頁

(54) 名稱

記憶體裝置中錯誤管理之方法及系統

METHOD AND SYSTEM FOR ERROR MANAGEMENT IN A MEMORY DEVICE

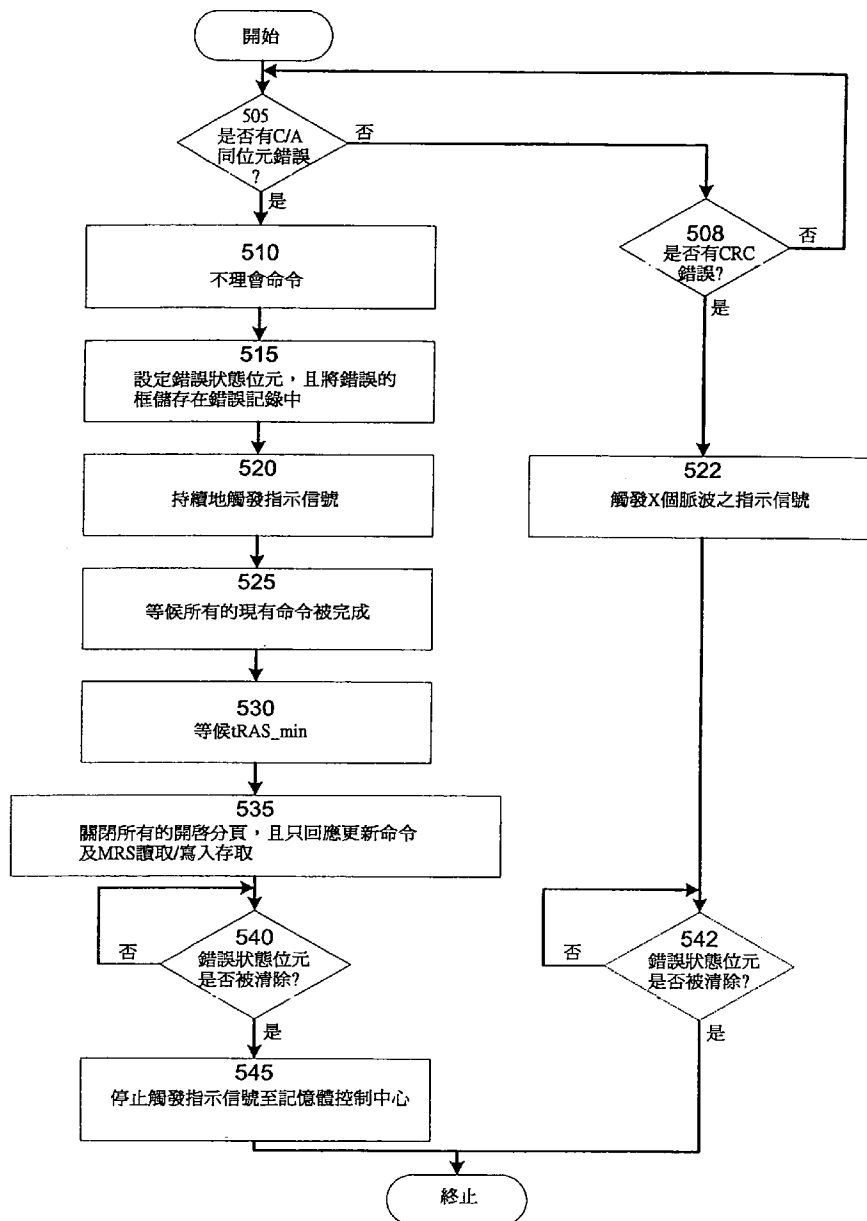
(57) 摘要

本發明揭示了一種用於記憶體裝置中之錯誤管理的方法及系統。在本發明的一實施例中，該記憶體裝置可處理命令及位址同位元錯誤、以及循環冗餘檢查錯誤。在本發明的一實施例中，該記憶體可決定一被接收的命令之命令位元或位址位元是否有任何同位元錯誤，而偵測該被接收的命令是否有任何同位元錯誤。如果偵測到該被接收的命令中之一同位元錯誤或循環冗餘檢查錯誤，則觸發一錯誤處理機構，以便自錯誤命令恢復。

A method and system for error management in a memory device. In one embodiment of the invention, the memory device can handle commands and address parity errors and cyclic redundancy check errors. In one embodiment of the invention, the memory can detect whether a received command has any parity errors by determining whether the command bits or the address bits of the received command has any parity errors. If a parity error or cyclic redundancy check error in the received command is detected, an error handling mechanism is triggered to recover from the errant command.

指定代表圖：

第 5 圖



201604884

## 發明摘要

※申請案號：104120315

(由99135757分割)

※申請日：099年10月20日

※IPC分類：G11C 09/42 (2006.01)

## 【發明名稱】(中文/英文)

記憶體裝置中錯誤管理之方法及系統

Method and system for error management in a memory device

## 【中文】

本發明揭示了一種用於記憶體裝置中之錯誤管理的方法及系統。在本發明的一實施例中，該記憶體裝置可處理命令及位址同位元錯誤、以及循環冗餘檢查錯誤。在本發明的一實施例中，該記憶體可決定一被接收的命令之命令位元或位址位元是否有任何同位元錯誤，而偵測該被接收的命令是否有任何同位元錯誤。如果偵測到該被接收的命令中之一同位元錯誤或循環冗餘檢查錯誤，則觸發一錯誤處理機構，以便自錯誤命令恢復。

## 【英文】

A method and system for error management in a memory device. In one embodiment of the invention, the memory device can handle commands and address parity errors and cyclic redundancy check errors. In one embodiment of the invention, the memory can detect whether a received command has any parity errors by determining whether the command bits or the address bits of the received command has any parity errors. If a parity error or cyclic redundancy check error in the received command is detected, an error handling mechanism is triggered to recover from the errant command.

**【代表圖】**

**【本案指定代表圖】**：第(5)圖。

**【本代表圖之符號簡單說明】**：無

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

記憶體裝置中錯誤管理之方法及系統

Method and system for error management in a memory device

## 【技術領域】

本發明係有關一種記憶體裝置，尤係有關（但非專門地有關）記憶體裝置中之諸如命令及／或位址同位元錯誤或循環冗餘檢查錯誤等的錯誤之錯誤管理。

## 【先前技術】

在典型的電腦系統中，記憶體控制器促進該電腦系統中之一或多個記憶體之存取。在記憶體控制器與記憶體間之通訊毀壞之情況中，該等記憶體可能接收到錯誤的命令。當該等記憶體沒有用來偵測錯誤命令之任何機構，而將執行所有的寫入操作時，上述狀況將導致該等記憶體中之資料毀損。爲了自該錯誤命令恢復，需要重新啓動電腦系統。因而將影響到電腦系統的效能，且可能喪失關鍵性的資料。

## 【發明內容】

本發明揭示了一種用於記憶體裝置中之錯誤管理的方法及系統。在本發明的一實施例中，該記憶體裝置可處理

命令及位址同位元錯誤、以及循環冗餘檢查錯誤。在本發明的一實施例中，該記憶體可藉由決定一被接收的命令之命令位元或位址位元是否有任何同位元錯誤，而偵測該被接收的命令是否有任何同位元錯誤。如果偵測到該被接收的命令中之一同位元錯誤或循環冗餘檢查錯誤，則觸發一錯誤處理機構，以便自錯誤命令恢復。

### 【圖式簡單說明】

自前文對本發明主題之詳細說明將可易於了解本發明的各實施例之特徵及優點，其中：

第 1 圖示出根據本發明的一實施例的一記憶體控制中心及一記憶體模組之一方塊圖；

第 2 圖示出根據本發明的一實施例的一模式暫存器之一格式；

第 3 圖示出根據本發明的一實施例而處理一記憶體模組中之同位元錯誤之一序列；

第 4 圖示出根據本發明的一實施例而處理一記憶體模組中之循環冗餘檢查錯誤之一序列；

第 5 圖示出根據本發明的一實施例而在一記憶體模組中執行錯誤管理的步驟之一流程圖；

第 6 圖示出根據本發明的一實施例而在一記憶體控制中心中執行錯誤管理的步驟之一流程圖；以及

第 7 圖示出根據本發明的一實施例而用來實施本發明揭示的方法之一系統。

## 【實施方式】

將參照各附圖而以舉例但非限制之方式解說本說明書中述及的本發明之實施例。爲了顧及圖式的精簡及清晰，不必然按照比例繪製該等圖式中示出之元件。例如，爲了圖式的清晰，某些元件之尺寸可能比其他元件的尺寸放大了。此外，在被認爲適當時，在該等圖式中重複各代號，以便指示對應的或類似的元件。在本說明書中提及本發明的"一個實施例"或"一實施例"時，意指參照該實施例而述及的一特定特徵、結構、或特性被包含在本發明的至少一實施例中。因此，在本說明書中之各部分中出現詞語"在一實施例中"時，不必然都參照到相同的實施例。

本發明之實施例提供了一種記憶體裝置中之錯誤管理之方法及系統。在本發明的一實施例中，該記憶體裝置可處理命令及位址同位元錯誤、以及循環冗餘檢查錯誤。在本發明的一實施例中，該記憶體可決定一被接收的命令之命令位元或位址位元是否有任何同位元錯誤，而偵測該被接收的命令是否有任何同位元錯誤。如果偵測到該被接收的命令中之一同位元錯誤，則觸發一錯誤處理機構，以便自錯誤命令恢復。

記憶體裝置中具有命令／位址（Command/Address；簡稱 C/A）同位元支援時，可改善利用該記憶體裝置的系統之效能。不需要爲了自該記憶體裝置接收的一錯誤命令恢復，而重新啓動該系統。在本發明的一實施例中，該記

憶體裝置包括（但不限於）同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory；簡稱 SDRAM）、動態隨機存取記憶體（Dynamic Random Access Memory；簡稱 DRAM）、RAMBUS 動態隨機存取記憶體（RAMBUS Dynamic Random Access Memory；簡稱 RDRAM）、雙倍資料速率三 SDRAM（Double-Data-Rate three SDRAM；簡稱 DDR3）、雙倍資料速率四 SDRAM（DDR four SDRAM；簡稱 DDR4）、以及任何其他類型的隨機存取記憶體裝置。

第 1 圖示出根據本發明的一實施例的一記憶體控制中心 110 及一記憶體模組 120 之一方塊圖 100。在本發明的一實施例中，記憶體模組 120 包括（但不限於）DRAMs、暫存器裝置、緩衝器裝置。記憶體控制中心 110 具有一錯誤處理邏輯 112，用以在記憶體模組 120 接收到一錯誤命令時處理命令及位址同位元錯誤。記憶體控制中心 110 使用其中包括（但不限於）位址信號 130、控制信號 132、時脈信號 136、資料信號 138、同位元信號 140、以及促進記憶體控制中心 110 與記憶體模組 120 間之通訊的任何其他信號之信號與記憶體模組 120 通訊。

在本發明的一實施例中，當要求記憶體控制中心 110 將一命令傳送到記憶體模組 120 時，記憶體控制中心 110 中之錯誤處理邏輯 112 計算該命令的位址信號位元及命令信號位元之同位元。對一同位元信號的選擇及決定係基於該被計算出的同位元以及該同位元信號的組合之偶或



奇同位元。在本發明的一實施例中，錯誤處理邏輯 112 處理其中包括（但不限於）記憶體模組 120 的列位址選通（Row Address Strobe；簡稱 RAS）信號、行位址選通（Column Address Strobe；簡稱 CAS）信號、寫入啓用（Write Enable；簡稱 WE）信號、位址匯流排信號、以及記憶體模組的區（bank）選擇信號的信號之同位元。

當一命令被傳送到記憶體模組 120 時，記憶體控制中心 110 提供作為該等同位元信號 140 中之一同位元信號之同位元信號。在本發明的一實施例中，記憶體模組 120 於接收到一命令及其相關聯的同位元信號時，能夠偵測或決定該被接收的命令是否有任何 C/A 同位元錯誤。在本發明的另一實施例中，記憶體模組 120 能夠偵測或決定該被接收的命令是否有任何循環冗餘檢查（CRC）錯誤。記憶體模組 120 具有一錯誤處理邏輯 124，用以執行 C/A 同位元或 CRC 錯誤偵測。

在本發明的一實施例中，如果記憶體模組 120 偵測到被接收的命令中之一同位元錯誤，則記憶體模組 120 不理會該被接收的命令，且將該被接收的命令之命令位元及位址位元儲存在一模式暫存器 122。當偵測到該被接收的命令中之同位元錯誤時，記憶體模組 120 將作為該等同位元信號 140 中之一同位元信號的一指示信號觸發到記憶體控制中心 110。同樣地，當偵測到該被接收的命令中之一 CRC 錯誤時，記憶體模組 120 將作為該等同位元信號 140 中之一同位元信號的一指示信號觸發（assert）到記憶體

控制中心 110。

記憶體控制中心 110 在接收到該指示信號時，自該指示信號決定該被接收的命令中是否出現一同位元或 CRC 錯誤。記憶體控制中心 110 執行一適當的恢復機制，以便自該同位元或 CRC 錯誤恢復。在記憶體控制中心 110 中設有錯誤處理邏輯 112 時，該錯誤處理邏輯 112 將設法自記憶體模組 120 中之錯誤恢復。

對相關技術具有一般知識者將可易於了解：可在不影響本發明運作之情形下實施其他形式的錯誤偵測機構。在本發明的另一實施例中，一系統中設有一個以上的記憶體模組 120 或記憶體控制中心 110。在本發明的另一實施例中，記憶體控制中心 110 被整合到該系統的一處理器中。

第 2 圖示出根據本發明的一實施例的一模式暫存器 122 之一格式 200。模式暫存器 122 具有只能被記憶體控制中心 110 寫入或設定之一 C/A 同位位元 210 及一 CRC 錯誤位元 215。C/A 同位位元 210 可啓動或停止啓動對記憶體模組 120 之同位元檢查。當在記憶體模組 120 中偵測到 CRC 錯誤時，CRC 錯誤位元 215 可啓動或停止啓動一 CRC 指示脈波。當 C/A 同位位元 210 被觸發 (assert) 或被設定為邏輯一 (logic one) 時，記憶體模組 120 之錯誤處理邏輯 124 被啓用。當 C/A 同位位元 210 被停止觸發或被設定為邏輯零 (logic zero) 時，記憶體模組 120 之錯誤處理邏輯 124 被停用。

模式暫存器 122 具有可被讀取及寫入之一錯誤狀態位

元 220 及一 CRC 錯誤狀態位元 225。當記憶體模組 120 偵測到一同位元錯誤時，該記憶體模組將錯誤狀態位元 220 觸發或設定為邏輯一。當記憶體模組 120 偵測到一 CRC 錯誤時，該記憶體模組將 CRC 錯誤狀態位元 225 觸發或設定為邏輯一。當記憶體控制中心 110 完成了同位元或 CRC 錯誤之恢復機制或程序時，該記憶體控制中心將錯誤狀態位元 220 或 CRC 錯誤狀態位元 225 分別停止觸發 (de-assert) 或設定為邏輯零。

當記憶體模組 120 偵測到一被接收的命令中之一同位元錯誤時，記憶體模組 120 將該被接收的命令之命令位元及位址位元儲存在模式暫存器 122 之錯誤記錄位元 230。記憶體控制中心 110 可讀取錯誤記錄位元 230，以便決定記憶體模組 120 接收了哪一具有同位元錯誤的命令。

模式暫存器 122 之格式 200 例示了本發明的一實施例中之一組態，但其用意並非限制性。對此項技術具有相關知識者將可易於了解：可在不影響本發明的運作之情形下使用模式暫存器 122 的組態之其他變化。在本發明的一實施例中，模式暫存器 122 是一 DRAM 裝置的一模式暫存器組 (Mode Register Set；簡稱 MRS) 的一部分。

第 3 圖示出根據本發明的一實施例而處理一記憶體模組 120 中之同位元錯誤之一序列 300。事件 310 示出在記憶體模組 120 接收到具有一同位元錯誤之一命令時的一可能事件序列 300。在事件 312 中，記憶體模組 120 正在以一有效或正確同位元信號回應所有的命令。在事件 312

期間，錯誤狀態位元 220 及警示信號 340 並未被設定或觸發。事件位元未被設定 332 中示出該情況。警示信號 340 是記憶體模組 120 接收到具有一同位元錯誤的一命令之對記憶體控制中心 110 之一指示信號。在本發明的一實施例中，該警示信號是被連接到一系統中之所有記憶體模組之"或" (OR) 信號。

在事件 314 中，記憶體模組 120 偵測到或決定該記憶體模組接收到具有錯誤同位元之一命令。在事件 316 中，記憶體模組 120 不理會具有錯誤同位元的命令、及所有其他外部命令。記憶體模組 120 將錯誤命令及位址儲存在錯誤記錄位元 230，且觸發錯誤狀態位元 220。事件位元被設定 334 中示出該情況。當錯誤狀態位元 220 被觸發時，觸發警示信號 340。在事件 316 中，記憶體模組 120 空出在該被接收的錯誤命令之前接收的待處理有效命令之佇列，亦即，記憶體模組 120 等候所有該等待處理有效命令完成執行。

在事件 318 中，記憶體模組 120 等候一有效至預充電 (active-to-precharge) 命令延遲 (tRAS) 結束。該 tRAS 延遲是一記憶體區有效命令與發出預充電命令之間所需的時脈周期之數目。在本發明的一實施例中，記憶體模組 120 等候 tRAS 所需的最短延遲時間。當該 tRAS 延遲結束時，如果有任何開啓的分頁 (page)，則記憶體模組 120 關閉所有的分頁。

在事件 320 中，記憶體模組 120 將一內部預充電命令

發出到記憶體模組 120 的所有記憶體區。在事件 322 中，記憶體模組 120 回應來自記憶體控制中心 110 的更新命令以及模式暫存器組（MRS）讀取及寫入命令。當錯誤狀態位元 220 被觸發時，記憶體模組 120 在事件 322 中不回應任何其他命令。該等更新命令包括（但不限於）更新所有（refresh-all）命令及更新群組（refresh-group）命令。

在事件 324 中，記憶體控制中心 110 完成了其錯誤處理恢復程序，且使用對模式暫存器 122 的一 MRS 寫入命令而停止觸發錯誤狀態位元 220。記憶體模組 120 恢復其正常操作，且以有效同位元回應所有的命令。當錯誤狀態位元 220 被停止觸發時，停止觸發警示信號 340。事件位元未被設定 336 示出該情況。

第 4 圖示出根據本發明的一實施例而處理一記憶體模組 120 中之 CRC 錯誤之一序列 400。在本發明的一實施例中，CRC 錯誤機制共用相同的警示信號 340。爲了在 CRC 錯誤與同位元錯誤之間作出決定，記憶體控制中心 110 需要讀取每一記憶體模組之錯誤狀態位元 220。此種方式是耗時的，且降低該系統的效率。

爲了克服該問題，事件 410 示出在記憶體模組 120 正在寫入具有一 CRC 錯誤之資料時的一可能之事件序列 400。在事件 412 至 418 中，記憶體模組 120 回應一寫入操作而寫入資料。在事件 412 至 418 期間，錯誤狀態位元 220 及警示信號 440 並未被設定或觸發。在事件 420 中，該記憶體模組接收到該被寫入的資料之 CRC，且該記憶體

模組根據該 CRC 而檢查該被寫入的資料是否正確。當偵測到或決定一 CRC 錯誤時，記憶體模組 120 在事件 432 中設定錯誤狀態位元 220。記憶體模組 120 在警示信號 440 上傳送一脈波，以便向記憶體控制中心 110 指示一 CRC 錯誤已被偵測到。

記憶體控制中心 110 可檢查警示信號 440，而易於區分來自記憶體模組 120 的 CRC 錯誤或同位元錯誤。可將時脈周期的數目或該脈波的寬度設定為該記憶體控制中心能夠偵測的任何適當數目。在本發明的一實施例中，當記憶體模組 120 偵測到一 CRC 錯誤時，警示信號 440 之脈波寬度被設定為兩個時脈周期。對此項技術具有相關知識者將可易於了解：可在不影響本發明的運作之情形下使用向記憶體控制中心 110 指示 CRC 錯誤的其他變化。

第 5 圖示出根據本發明的一實施例而在一記憶體模組 120 中執行錯誤管理的步驟之一流程圖 500。為了顧及解說的清晰，將參照第 1 圖而說明第 5 圖。在步驟 505 中，記憶體模組 120 檢查任何被接收的命令中是否有任何 C/A 同位元錯誤，其中係由一晶片選擇（Chip Select；簡稱 CS）信號使被接收的命令具備資格。如果沒有任何 C/A 同位元錯誤，則記憶體模組 120 在步驟 508 中檢查是否有任何 CRC 錯誤。如果沒有任何 CRC 錯誤，則記憶體模組 120 回到步驟 505。如果有一 CRC 錯誤，則記憶體模組 120 在步驟 522 中觸發 X 個脈波之一指示信號。

該數目 X 可以是可讓記憶體控制中心 110 區分同位元

錯誤與 CRC 錯誤之任何適當的數目。在本發明的一實施例中，亦可改變該 X 個脈波之寬度。在可選擇的步驟 542 中，該記憶體模組檢查錯誤狀態位元 220 是否被記憶體控制中心 110 清除或停止觸發。在記憶體控制中心 110 完成了錯誤命令的錯誤恢復之後，該記憶體控制中心清除錯誤狀態位元 220。如果錯誤狀態位元 220 被清除，則該流程終止。如果錯誤狀態位元 220 未被清除，則記憶體模組 120 回到步驟 542。

如果有一 C/A 同位元錯誤，則記憶體模組 120 在步驟 510 中不理會具有該 C/A 同位元錯誤之被接收的命令。在步驟 510 中，該記憶體模組不理會所有其他的外部命令。在步驟 515 中，記憶體模組 120 設定或觸發錯誤狀態位元 220，且將錯誤命令框儲存在錯誤記錄位元 230。在步驟 520 中，記憶體模組 120 持續地觸發一指示信號。在本發明的一實施例中，該指示信號是警示信號 340。在步驟 525 中，記憶體模組 120 等候所有的現有命令被完成。在該錯誤命令之前即接收到該等現有命令。

在步驟 530 中，記憶體模組 120 等候最短有效至預充電命令延遲 ( $t_{RAS\_min}$ ) 結束。在步驟 535 中，記憶體模組 120 關閉所有的開啓記憶體分頁，且只回應來自記憶體控制中心 110 之更新命令及 MRS 讀取／寫入命令。在步驟 540 中，記憶體模組 120 檢查錯誤狀態位元 220 是否被記憶體控制中心 110 清除。在記憶體控制中心 110 完成了錯誤命令的錯誤恢復之後，該記憶體控制中心清除錯誤

狀態位元 220。如果錯誤狀態位元 220 被清除或被停止觸發，則記憶體模組 120 在步驟 545 中停止觸發該指示信號，且該流程終止。如果錯誤狀態位元 220 未被清除，則記憶體模組 120 回到步驟 540。

第 6 圖示出根據本發明的一實施例而在一記憶體控制中心 110 中執行錯誤管理的步驟之一流程圖 600。為了顧及解說的清晰，將參照第 1 圖而說明第 6 圖。在步驟 610 中，記憶體控制中心 110 檢查其是否接收到任何指示信號。在本發明的一實施例中，該指示信號是警示信號 340。如果並未接收到任何指示信號，則記憶體控制中心 110 回到步驟 610。如果接收到一指示信號，則記憶體控制中心 110 在步驟 615 中檢查該指示信號是否指示一同位元錯誤。如果該指示信號指示了一同位元錯誤，則記憶體控制中心 110 在步驟 620 中等候現有命令佇列被完成。

在步驟 625 中，記憶體控制中心 110 將一預充電命令傳送到所有的記憶體模組。除了有一同位元錯誤的記憶體模組之外的所有記憶體模組執行或完成來自記憶體控制中心 110 之該預充電命令。在步驟 630 中，記憶體控制中心 110 將一更新命令傳送到所有的記憶體模組，以便保持每一記憶體模組中之資料。包括有一同位元錯誤的記憶體模組之所有記憶體模組執行或完成來自記憶體控制中心 110 之該更新命令。

在步驟 635 中，記憶體控制中心 110 自每一記憶體模組讀取錯誤狀態位元 220，以便決定哪一記憶體模組是該



錯誤的來源。例如，在本發明的一實施例中，記憶體控制中心 110 被連接到四個記憶體模組。記憶體控制中心 110 自該四個記憶體模組中之每一記憶體模組讀取錯誤狀態位元 220，以便決定該四個記憶體模組中之哪一記憶體模組接收到具有一 C/A 同位元錯誤之一命令。

在步驟 640 中，記憶體控制中心 110 清除接收到具有一 C/A 同位元錯誤的該命令的該記憶體模組之錯誤狀態位元 220。在步驟 645 中，記憶體控制中心 110 將寫入命令重新傳送（如有需要）到已接收到具有一 C/A 同位元錯誤的該命令之該記憶體模組，且本流程終止。

在步驟 615 中，如果並未在該指示信號中偵測到任何同位元錯誤，則意指已偵測到了一 CRC 錯誤，且本流程進入可選擇的步驟 622。爲了便於解說，記憶體控制中心 110 能夠偵測同位元錯誤或 CRC 錯誤。在可選擇的步驟 622 中，該記憶體模組決定該等記憶體模組中之哪一記憶體模組接收到具有一 CRC 錯誤之一寫入命令。在本發明的一實施例中，記憶體控制中心 110 藉由檢查該指示信號的時序以及該指示信號的傳播延遲，而偵測或決定該等記憶體模組中之哪一記憶體模組已接收到具有一 CRC 錯誤之一寫入命令。在本發明的另一實施例中，不執行步驟 622，且記憶體控制中心 110 藉由將寫入命令備份到某一點，其假設最遠的 DRAM 裝置有 CRC 錯誤，而處理 CRC 錯誤，然後自該點開始重新傳送所有的寫入命令。可決定該警示信號的最壞狀況延遲作爲使用用於寫入命令之記憶

體通通之前的部分訓練。

第 7 圖示出根據本發明的一實施例而用來實施本發明揭示的方法之一系統 700。系統 700 其中包括（但不限於）桌上型電腦、膝上型電腦、簡易筆記本電腦、筆記本電腦、個人數位助理（Personal Digital Assistant；簡稱 PDA）、伺服器、工作站、細胞式電話、行動運算裝置、網際網路設備、或任何其他類型的運算裝置。在另一實施例中，被用來實施本發明所揭示方法之系統 700 可以是一系統單晶片（System On a Chip；簡稱 SOC）系統。

處理器 710 具有用來執行系統 700 的指令之一處理核心 712。處理核心 712 包含（但不限於）用來提取指令之預先提取邏輯、用來將指令解碼之解碼邏輯、以及用來執行指令之執行邏輯等的邏輯。處理器 710 具有用來緩衝儲存系統 700 的指令及／或資料之一快取記憶體 716。在本發明的另一實施例中，快取記憶體 716 包括（但不限於）第一階、第二階、第三階快取記憶體、或處理器 710 內之快取記憶體的任何其他結構。

記憶體控制中心（Memory Controller Hub；簡稱 MCH）714 執行使處理器 710 能夠存取其中包括一揮發性記憶體 732 及／或一非揮發性記憶體 734 的一記憶體 730，並與該記憶體 730 通訊。揮發性記憶體 732 包括（但不限於）同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory；簡稱 SDRAM）、動態隨機存取記憶體（Dynamic Random Access Memory；簡稱

DRAM) 、 RAMBUS 動態隨機存取記憶體 ( RAMBUS Dynamic Random Access Memory ; 簡稱 RDRAM ) 、 及 / 或任何其他類型的隨機存取記憶體裝置。非揮發性記憶體 734 包括 ( 但不限於 ) " 反及 " ( NAND ) 快閃記憶體、相變化記憶體 ( Phase Change Memory ; 簡稱 PCM ) 、唯讀記憶體 ( Read Only Memory ; 簡稱 ROM ) 、電氣可抹除可程式唯讀記憶體 ( Electrically Erasable Programmable Read Only Memory ; 簡稱 EEPROM ) 、 及 / 或任何其他所需類型的非揮發性記憶體。

記憶體 730 儲存將被處理器 710 執行之資訊及指令。記憶體 730 亦可儲存處理器 710 正在執行指令時之暫時性變數或其他中間資訊。晶片組 720 經由點對點 ( Point-to-Point ; 簡稱 PtP ) 介面 717 及 722 而連接到處理器 710 。晶片組 720 使處理器 710 能夠連接到系統 700 中之其他模組。在本發明的一實施例中，介面 717 及 722 根據諸如 Intel® 快速路徑互連 ( QuickPath Interconnect ; 簡稱 QPI ) 或類似通訊協定等的點對點通訊協定而操作。

晶片組 720 連接到其中包括 ( 但不限於 ) 液晶顯示器 ( Liquid Crystal Display ; 簡稱 LCD ) 、陰極射線管 ( Cathode Ray Tube ; 簡稱 CRT ) 顯示器、或任何其他形式的視覺顯示裝置之一顯示裝置 740 。在本發明的一實施例中，處理器 710 及晶片組 720 被合併到一 SOC 中。此外，晶片組 720 連接到用來互連各模組 774 、 760 、 762 、 764 、 及 766 之一或多個匯流排 750 及 755 。如果有匯流

排速度或通訊協定的不匹配，則可經由一匯流排橋接器 772 將匯流排 750 及 755 互連在一起。晶片組 720 耦合到（但不限於）一非揮發性記憶體 760、一或多個大量儲存裝置 762、一鍵盤／滑鼠 764、以及一網路介面 766。

大量儲存裝置 762 包括（但不限於）固態硬碟、硬碟機、通用序列匯流排快閃記憶體、或任何其他形式的電腦資料儲存媒體。使用其中包括（但不限於）以太網路介面、通用序列匯流排（Universal Serial Bus；簡稱 USB）介面、周邊組件互連（Peripheral Component Interconnect Express；簡稱 PCI Express）介面、無線介面、及／或任何其他適當類型的介面之任何類型的習知網路介面標準以實施網路介面 766。該無線介面係根據（但不限於）IEEE 802.11 標準及其相關系列標準、Home Plug AV（HPAV）、超寬頻（Ultra Wide Band；簡稱 UWB）、藍芽（Bluetooth）、WiMax、或任何形式的無線通訊協定而操作。

雖然係以系統 700 內之獨立區塊之方式示出第 7 圖所示之該等模組，但是亦可將這些區塊中之某些區塊執行的功能整合在單一半導體電路內，或者可使用兩個或更多個獨立的積體電路實施該等功能。例如，雖然係以處理器 710 的一獨立區塊之方式示出快取記憶體 716，但是可分別地將快取記憶體 716 包含在處理核心 712 內。在本發明的另一實施例中，系統 700 可包含一個以上的處理器／處理核心。

可以硬體、軟體、韌體、或以上各項的任何組合實施本發明揭示的方法。雖然已說明了本發明揭示的主題的實施例之一些例子，但是對此項技術具有一般知識者將可易於了解：可替代地使用實施本發明揭示的主題之許多其他方法。在前文之說明中，已說明了本發明揭示的主題之各種觀點。爲了便於解說，述及了一些特定的數目、系統、及結構，以便提供對該主題的徹底了解。然而，熟悉相關技術者在得益於本揭示之後應可了解：可在沒有該等特定細節的情形下實施該主題。在其他的情形中，省略、簡化、合併、或分割了一些習知的特徵、組件、或電路，以便不會模糊了本發明揭示的主題。

本說明書中使用的術語"是可操作的"意指裝置、系統、或協定等的實體在該裝置或系統處於關閉電源狀態時能夠針對其所需功能而操作或適於操作。可以硬體、韌體、軟體、或以上各項的組合實施本發明揭示的主題之各實施例，且可參照或配合諸如指令等的程式碼、函式、程序、資料結構、邏輯、應用程式、用於設計的模擬、仿真、及製造之設計表示法或格式而說明該等實施例，其中當該等程式碼等的項目被機器存取時，將導致該機器執行工作、界定抽象資料類型或低階硬體環境、或產生結果。

可使用被儲存在諸如一般用途電腦或運算裝置等的一或多個運算裝置中之碼及資料實施各圖式中示出之技術，且在該一或多個運算裝置上執行該等技術。這些運算裝置使用諸如機器可讀取的儲存媒體（例如，磁碟、光碟、隨

機存取記憶體、唯讀記憶體、快閃記憶體裝置、相變化記憶體）以及機器可讀取的通訊媒體（例如，電信號、光信號、聲音信號、或諸如載波、紅外線信號、及數位信號等的信號之其他形式的傳播信號）等的機器可讀取的媒體儲存及傳送或接收（內部地或經由網路而與其他運算裝置）碼及資料。

雖然已參照一些實施例而說明了本發明揭示的主題，但是不應以一種限制之方式詮釋本說明。對該等實施例、以及與本發明揭示的主題有關且為熟悉此項技術者顯而易知之本發明主題的其他實施例之各種修改將被視為在本發明揭示的主題之範圍內。

#### 【符號說明】

110：記憶體控制中心

120：記憶體模組

112,124：錯誤處理邏輯

130：位址信號

132：控制信號

136：時脈信號

138：資料信號

140：同位元信號

122：模式暫存器

200：格式

210：命令及位址同位元

- 215：循環冗餘檢查錯誤位元
- 220：錯誤狀態位元
- 230：錯誤記錄位元
- 340,440：警示信號
- 700：系統
- 710：處理器
- 712：處理核心
- 716：快取記憶體
- 714：記憶體控制中心
- 730：記憶體
- 732：揮發性記憶體
- 734,760：非揮發性記憶體
- 720：晶片組
- 717,722：點對點介面
- 740：顯示裝置
- 750,755：匯流排
- 772：匯流排橋接器
- 762：大量儲存裝置
- 764：鍵盤／滑鼠
- 766：網路介面

## 申請專利範圍

1. 一種記憶體模組，包含：

一暫存器；以及

錯誤處理邏輯，可用以：

接收一命令及與該命令相關聯的同位位元信號；

偵測一已接收的命令是否有一同位元錯誤，其中由一晶片選擇信號使該已接收的命令具備資格；以及

回應偵測到同位元錯誤而執行下列步驟：

不理會該已接收的命令；

將該已接收的命令之命令位元及位址位元儲存在一錯誤記錄；

觸發（assert）一錯誤狀態位元；

觸發一錯誤指示信號；

等候直到一或多個待處理有效命令中之所有待處理有效命令都完成了執行，其中在該已接收的命令之前接收到該一或多個待處理有效命令；及

在關閉開啓分頁之前等候直到一有效至預充電命令延遲結束。

2. 如申請專利範圍第 1 項之記憶體模組，其中可偵測該已接收的命令是否有該同位元錯誤之該錯誤處理邏輯係用以：

決定該已接收的命令之該等命令位元或該等位址位元是否有該同位元錯誤。

3. 如申請專利範圍第 1 項之記憶體模組，其中該錯



誤處理邏輯回應偵測到該同位元錯誤而進一步用以：

只回應一更新命令、一模式暫存器組（MRS）讀取命令或一 MRS 寫入命令中之一命令。

4. 如申請專利範圍第 1 項之記憶體模組，其中該錯誤處理邏輯回應偵測到該同位元錯誤而進一步用以：

決定該錯誤狀態位元被停止觸發（de-assert）；及  
停止觸發該錯誤指示信號。

5. 如申請專利範圍第 1 項之記憶體模組，其中該錯誤處理邏輯可進一步用以：

偵測一寫入操作是否有一循環冗餘檢查（CRC）錯誤；以及

回應偵測到該 CRC 錯誤，而在該錯誤指示信號上傳送一脈波。

6. 如申請專利範圍第 1 項之記憶體模組，其中該記憶體模組包括雙倍資料速率四同步動態隨機存取記憶體（DDR4 SDRAM）。

7. 如申請專利範圍第 1 項之記憶體模組，其中該錯誤處理邏輯回應偵測到該同位元錯誤而可進一步用以：

在偵測到該同位元錯誤之後不執行在第一窗中接收到的一或多個後續的命令。

8. 如申請專利範圍第 1 項之記憶體模組，其中可觸發該錯誤狀態位元之該錯誤處理邏輯係用以：

觸發該暫存器之一錯誤狀態位元。

9. 一種用於記憶體裝置中之錯誤管理的方法，包含

下列步驟：

從一記憶體控制器接收一命令及與該命令相關聯的同位元信號；

偵測一已接收的命令是否有一同位元錯誤，其中由一晶片選擇信號使該已接收的命令具備資格；

回應偵測到該已接收的命令之同位元錯誤而執行下列步驟：

不理會該已接收的命令；

儲存該已接收的命令之命令位元及位址位元於錯誤記錄中；

不理會在第一間隔中接收到的一或多個後續的命令；

觸發一錯誤狀態位元；

觸發一錯誤指示信號；

等候直到一或多個待處理有效命令中之所有待處理有效命令都完成了執行，其中在該已接收的命令之前接收到該一或多個待處理有效命令；以及

在關閉開啓分頁之前等候直到一有效至預充電命令延遲結束。

10. 如申請專利範圍第 9 項之方法，其中偵測該已接收的命令是否有該同位元錯誤之該步驟包含下列步驟：

決定該已接收的命令之該等命令位元或該等位址位元是否有該同位元錯誤。

11. 如申請專利範圍第 9 項之方法，其中回應偵測到

該同位元錯誤，該方法進一步包含下列步驟：

決定該錯誤狀態位元被停止觸發；及  
停止觸發該錯誤指示信號。

12. 如申請專利範圍第 9 項之方法，其中該方法進一步包含下列步驟：

偵測一寫入操作是否有一循環冗餘檢查（CRC）錯誤；以及

回應偵測到該 CRC 錯誤，而在該錯誤指示信號上傳送一脈波。

13. 如申請專利範圍第 9 項之方法，其中回應偵測到該同位元錯誤，該方法進一步包含下列步驟：

在偵測到該同位元錯誤之後不執行在第一窗中接收到的一或多個後續的命令。

14. 一種系統，包含：

記憶體控制器，用以耦接至一或多個記憶體模組，該記憶體控制器可傳送命令至該一或多個記憶體模組；以及  
用以耦接至該記憶體控制器之一記憶體模組包括：

一暫存器；以及

錯誤處理邏輯，可用以：

當耦接時從該記憶體控制器接收一命令及與該命令相關聯的同位元信號；

偵測一已接收的命令是否有一同位元錯誤，其中由一晶片選擇信號使該已接收的命令具備資格；以及

回應偵測到同位元錯誤而執行下列步驟：

不理會該已接收的命令；

將該已接收的命令之命令位元及位址位元儲存在一錯誤記錄；

觸發一錯誤狀態位元；

觸發一錯誤指示信號；

等候直到一或多個待處理有效命令中之所有待處理有效命令都完成了執行，該一或多個待處理有效命令在該已接收的命令之前被接收；及

在關閉開啓分頁之前等候直到一有效至預充電命令延遲結束。

15. 如申請專利範圍第 14 項之系統，其中可偵測該已接收的命令是否有該同位元錯誤之該錯誤處理邏輯係用以：

決定該已接收的命令之該等命令位元或該等位址位元是否有該同位元錯誤。

16. 如申請專利範圍第 14 項之系統，其中該錯誤處理邏輯回應偵測到該同位元錯誤而進一步用以：

只回應一更新命令、一模式暫存器組（MRS）讀取命令或一 MRS 寫入命令中之一命令。

17. 如申請專利範圍第 14 項之系統，其中該錯誤處理邏輯回應偵測到該同位元錯誤而進一步用以：

決定該錯誤狀態位元被停止觸發；及

停止觸發該錯誤指示信號。

18. 如申請專利範圍第 14 項之系統，其中該錯誤處

理邏輯可進一步用以：

偵測一寫入操作是否有一循環冗餘檢查（CRC）錯誤；以及

回應偵測到該 CRC 錯誤，而在該錯誤指示信號上傳送一脈波。

19. 如申請專利範圍第 14 項之系統，其中該記憶體模組包括雙倍資料速率四同步動態隨機存取記憶體（DDR4 SDRAM）。

20. 如申請專利範圍第 14 項之系統，其中該錯誤處理邏輯回應偵測到該同位元錯誤而可進一步用以：

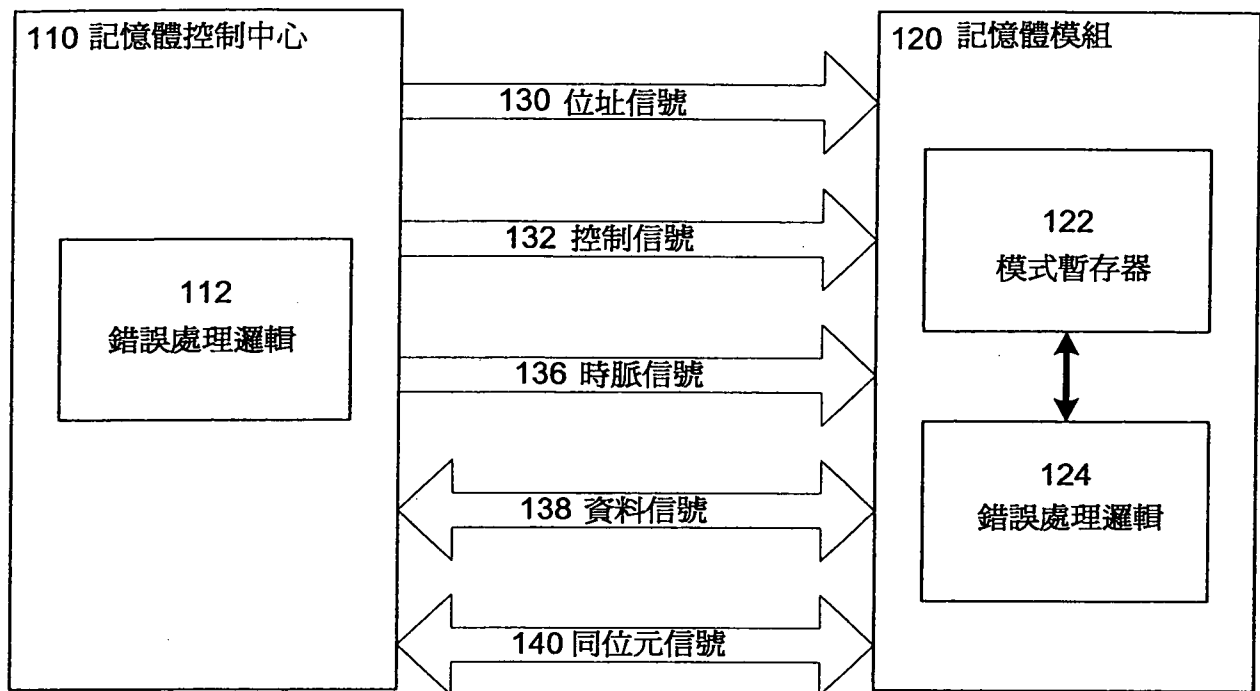
在偵測到該同位元錯誤之後不執行在第一窗中接收到的一或多個後續的命令。

21. 如申請專利範圍第 14 項之記憶體模組，其中可觸發該錯誤狀態位元之該錯誤處理邏輯係用以：

觸發該暫存器之一錯誤狀態位元。

圖式

第 1 圖



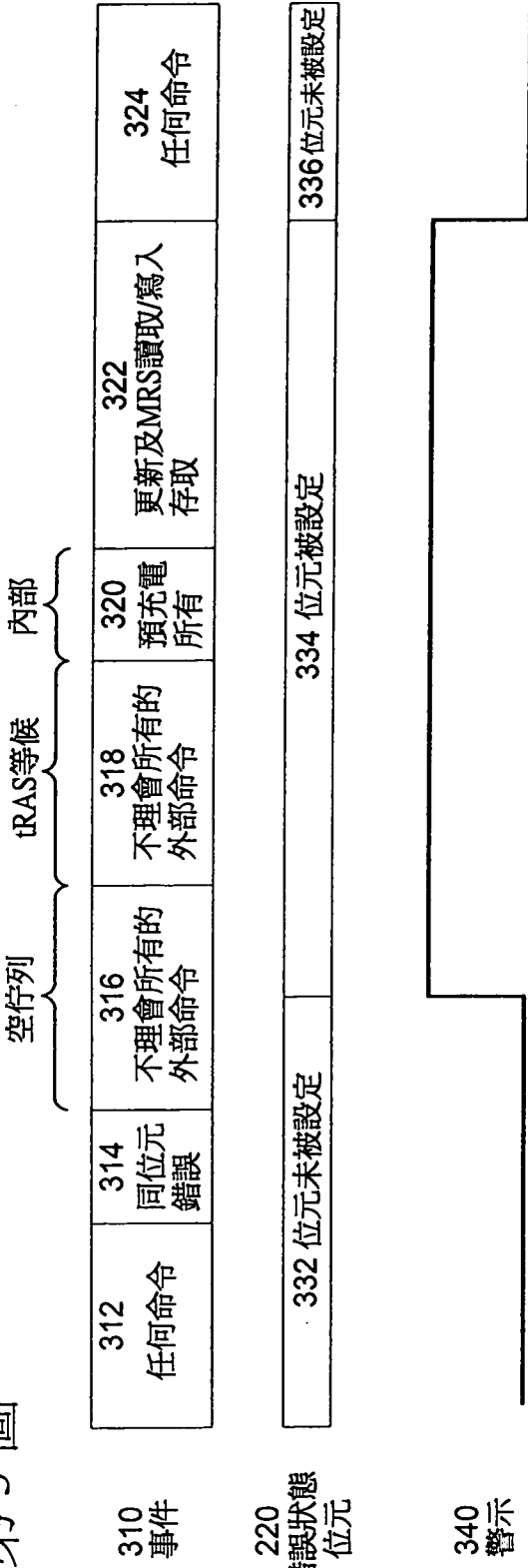
100

第 2 圖

210 C/A同位元 (寫入)	215 CRC錯誤 (寫入)	220 錯誤狀態 (讀取/寫入)	225 CRC錯誤狀態 (讀取/寫入)	230 錯誤記錄(讀取)
0 = 停用 1 = 啟用	0 = 停用 1 = 啟用	0 = 無錯誤 1 = 錯誤	0 = 無錯誤 1 = 錯誤	錯誤的C/A框

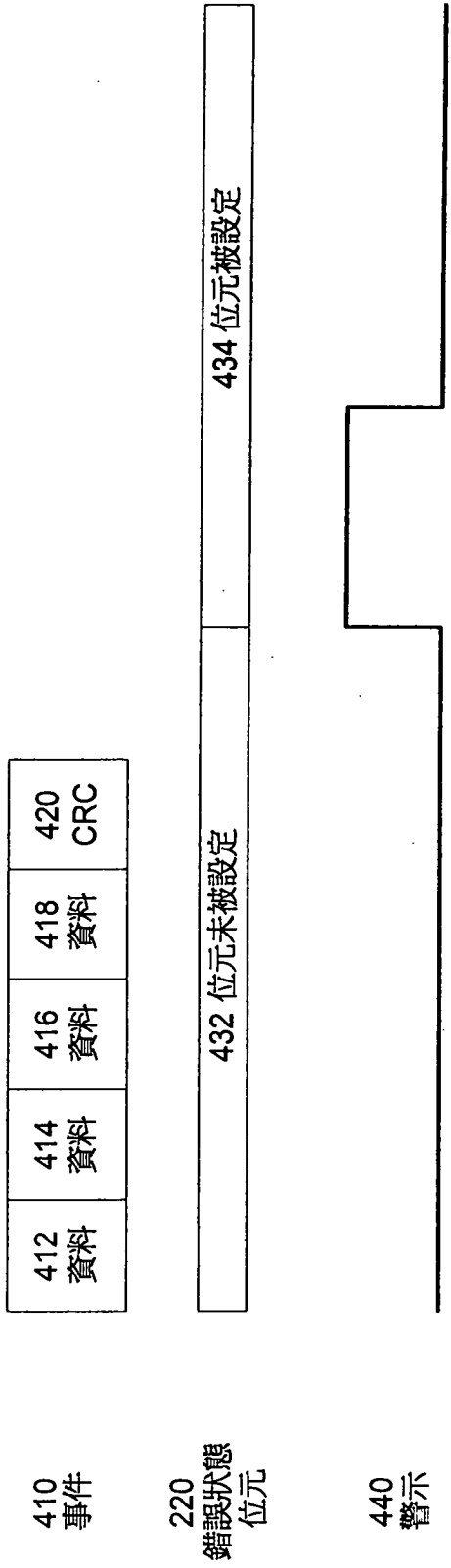
200

第 3 圖



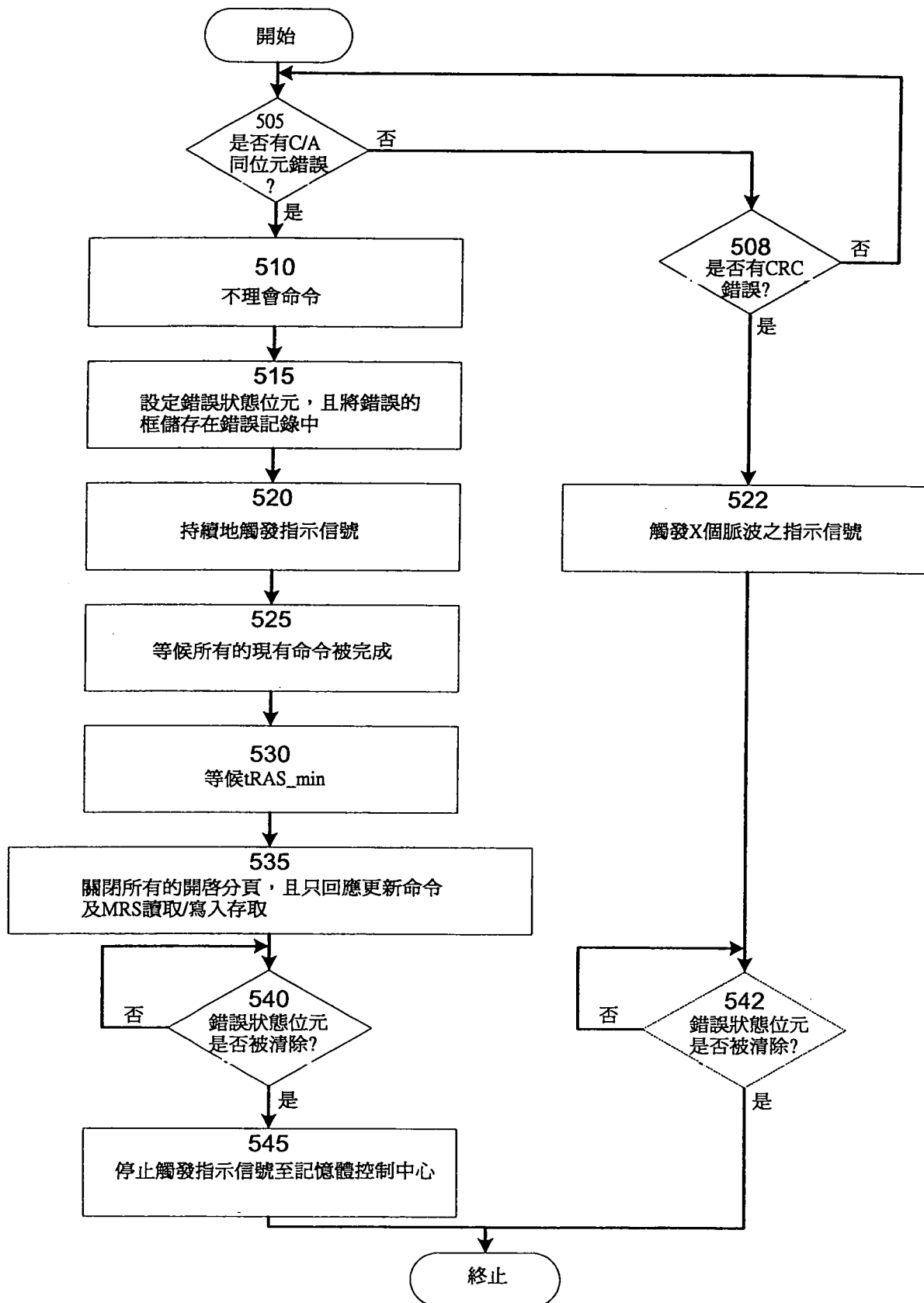
300

第 4 圖



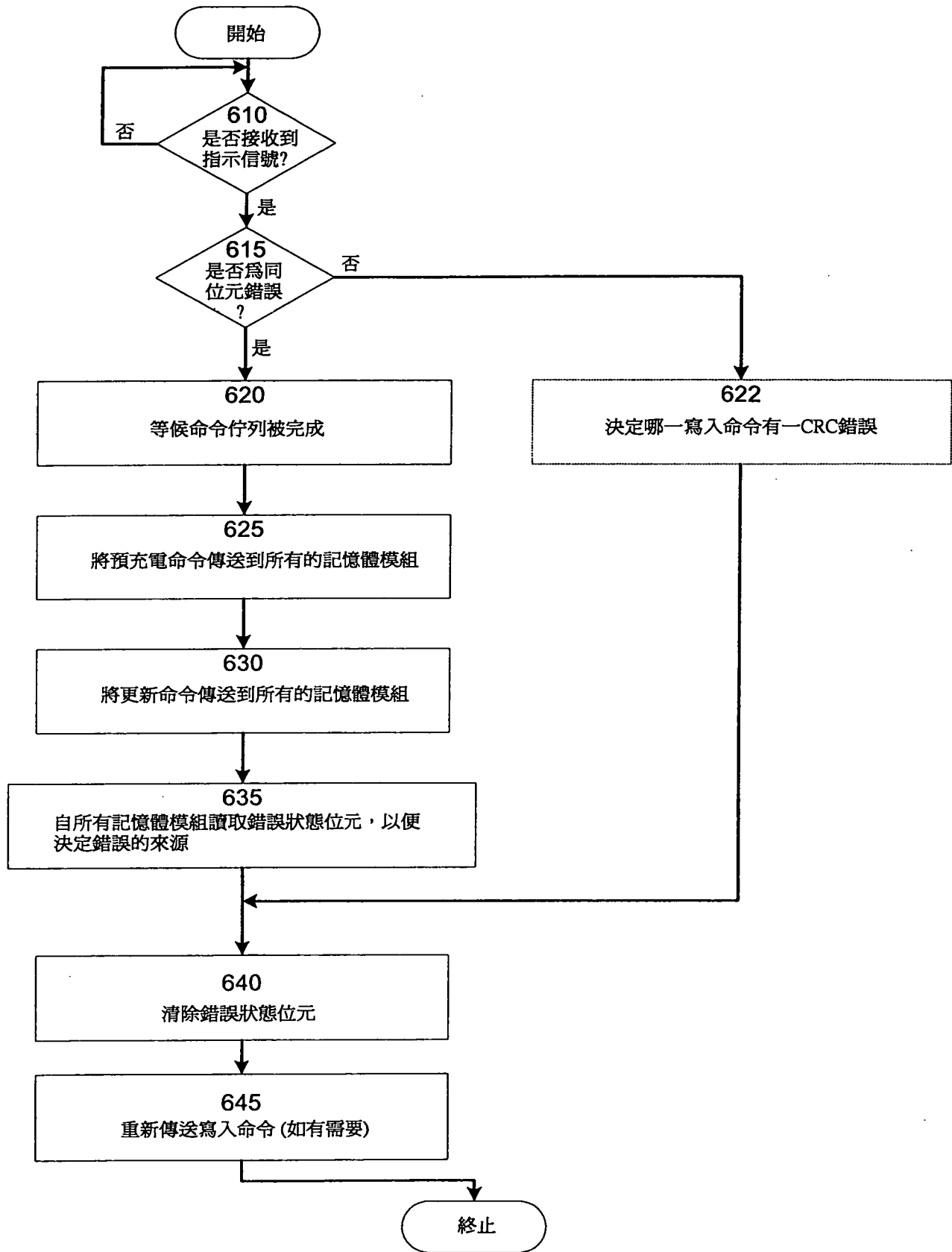
400

第 5 圖



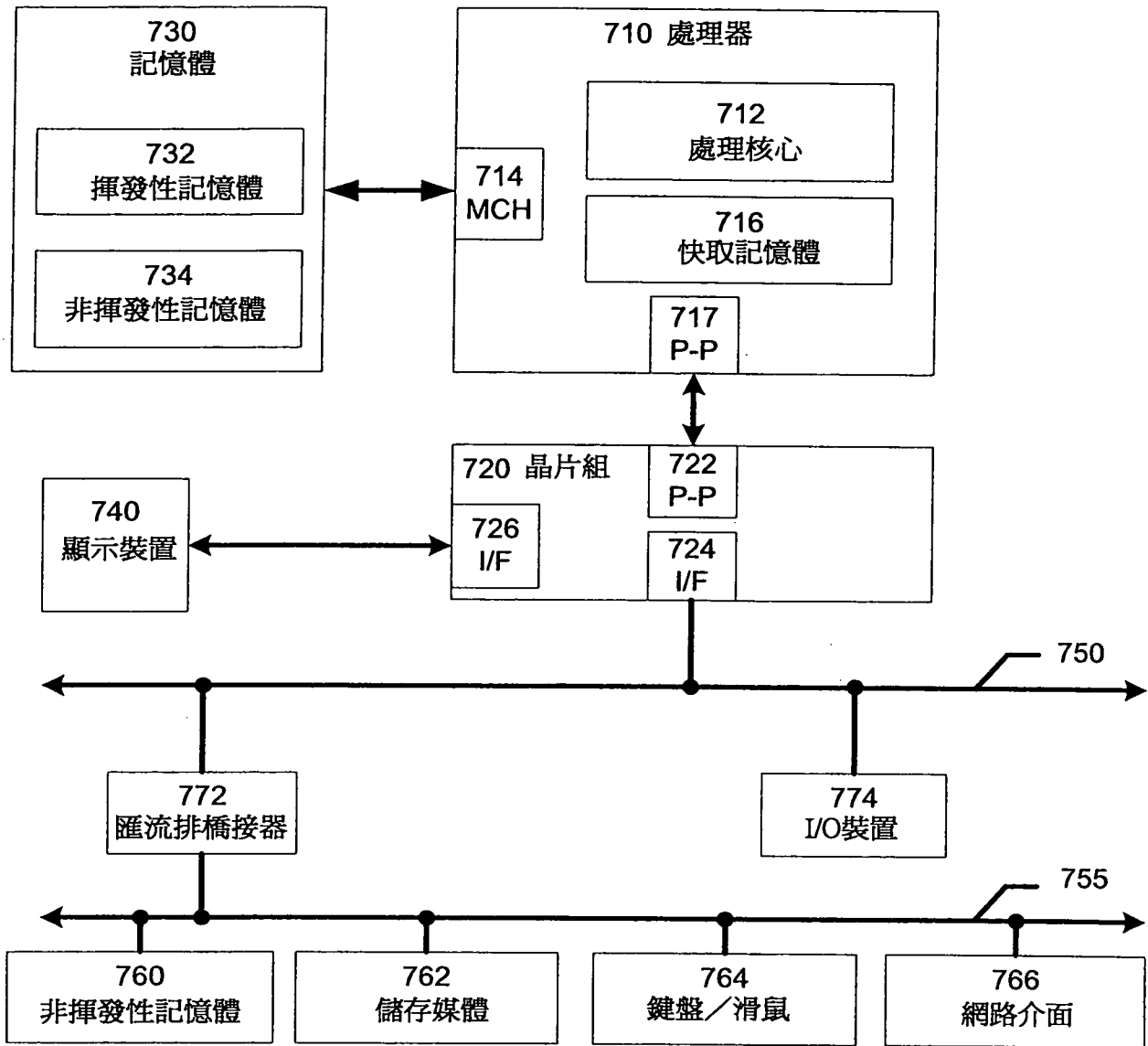


第 6 圖



600

第 7 圖



700