



(12) 发明专利申请

(10) 申请公布号 CN 116978415 A

(43) 申请公布日 2023. 10. 31

(21) 申请号 202210429322.2

(22) 申请日 2022.04.22

(71) 申请人 提米芯创(上海)科技有限公司  
地址 201101 上海市闵行区新龙路360弄2号9层

(72) 发明人 请求不公布姓名

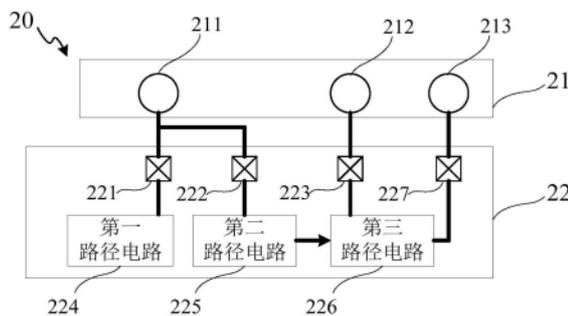
(74) 专利代理机构 上海盈盛知识产权代理事务  
所(普通合伙) 31294  
专利代理师 赵娟娟

(51) Int. Cl.  
G11C 5/14 (2006.01)  
G11C 5/06 (2006.01)

权利要求书2页 说明书6页 附图3页

(54) 发明名称  
一种存储设备

(57) 摘要  
本发明公开了一种存储设备,通过将封装体的VDDQ焊球与存储芯片内部的VDDQ焊垫连接,并仅用于为存储芯片内部的数据信号驱动器供电;并在存储芯片内部增设一VDD2焊垫,两VDD2焊垫相互分隔并均与封装体的VDD2焊球连接,其中一VDD2焊垫用于为存储芯片内部的组合电路供电,另一VDD2焊垫用于为存储芯片内部的控制路径供电,优化了片上电源连接方式,避免了电源噪声,实现保证良好的数据的信号完整性的特性。



1. 一种存储设备,其特征在于,包括:

一第一电源电压焊垫,设置于存储芯片内部,并连接至设置于封装体上的一第一电源电压焊球,以用于为所述存储芯片内部的第一路径电路供电;一第二电源电压焊垫,设置于所述存储芯片内部,并连接至所述第一电源电压焊球,以用于为所述存储芯片内部的第二路径电路供电;以及

一第三电源电压焊垫,设置于所述存储芯片内部,并连接至设置于所述封装体上的一第二电源电压焊球,以用于为所述存储芯片内部的第三路径电路供电。

2. 如权利要求1所述的存储设备,其特征在于,所述第一电源电压焊垫与所述第二电源电压焊垫形成于同一金属层中,且相互分隔。

3. 如权利要求1所述的存储设备,其特征在于,所述第一电源电压焊球为VDD2焊球,所述第一电源电压焊垫与所述第二电源电压焊垫均为VDD2焊垫。

4. 如权利要求3所述的存储设备,其特征在于,

所述第一路径电路为关键路径电路,所述关键路径包括数据路径以及内部时钟路径;

所述第二路径电路为控制路径电路,所述控制路径电路至少包括数据信号序列器。

5. 如权利要求1所述的存储设备,其特征在于,所述第二电源电压焊球为VDDQ焊球,所述第三电源电压焊垫为VDDQ焊垫;所述第三路径电路包括数据信号驱动器。

6. 如权利要求1所述的存储设备,其特征在于,所述存储设备还包括:

一数据信号焊垫,设置于所述存储芯片内部,并分别连接至设置于所述封装体上的一数据信号焊球,以及连接至所述第三路径电路。

7. 如权利要求6所述的存储设备,其特征在于,所述第三路径电路包括第一数据信号驱动器、第二数据信号驱动器以及多路输出选择器;

所述多路输出选择器被配置为响应于模式选择信号,来选择所述第一数据信号驱动器与所述第二数据信号驱动器的其中之一与所述数据信号焊垫形成数据通路。

8. 如权利要求7所述的存储设备,其特征在于,所述第一数据信号驱动器为低功率双倍数据速率4数据信号驱动器,所述第二数据信号驱动器为低功率双倍数据速率4X数据信号驱动器。

9. 如权利要求1或7所述的存储设备,其特征在于,所述存储设备还包括电压发生器,所述电压发生器包括:

第一晶体管,其控制端用于接收第一模式选择信号,其第一端连接至所述第三电源电压焊垫,其第二端连接至第一电阻串;

所述第一电阻串与第二电阻串串联后接地,所述第二电阻串中的至少一电阻受控连接至参考电压;

第二晶体管,其控制端用于接收第二模式选择信号,其第一端连接至所述第三电源电压焊垫,其第二端连接至第一电阻串与所述第二电阻串的公共端;

其中,当所述第一晶体管响应于所述第一模式选择信号导通时,在所述第三电源电压焊垫处生成第一电源电压,当所述第二晶体管响应于所述第二模式选择信号导通时,在所述第三电源电压焊垫处生成第二电源电压。

10. 如权利要求9所述的存储设备,其特征在于,所述第一模式选择信号为LP4使能信号,所述第二模式选择信号为LP4X使能信号;

所述第一晶体管与所述第二晶体管均为PMOS管；

所述第一电阻串包括83个阻值相同的串联电阻器,所述第二电阻串包括167个阻值相同的串联电阻器。

## 一种存储设备

### 技术领域

[0001] 本发明涉及存储设备技术领域,尤其涉及一种可优化片上电源连接方式的存储设备。

### 背景技术

[0002] 依据应用,输入标准/输出标准具有不同的电源电压(power)。例如,低功率双倍数据速率(LPDDR)标准中使用了各种电源电压,用于移动计算机(例如,智能手机和平板电脑)与同步动态随机存取存储器(Synchronous Dynamic Random Access Memory,简称SDRAM)之间的接口。在LPDDR3标准中,标称电源电压为1.2V,而对于LPDDR4X(简称LP4X)标准,标称电源电压为0.6V。一般而言,为了节省功率,更现代的标准会降低电源电压。

[0003] 随着系统(System)的电源电压越来越低,其数据速率(data rate)逐渐升高,使得存储设备(memory device)和片上系统(SoC)的直接特性之一、数据的信号完整性(signal integrity)的特性变得尤为重要。存储设备的数据的信号完整性是从存储芯片(memory chip)内部的组合电路(combination)的抖动(jitter)衍生出来的,这是因为芯片内部存在电源噪声(power noise)。

[0004] 封装体(Package)的各电源焊球(power ball)直接与存储芯片内部各电源焊垫(power PAD)连接使用。现有的片上电源连接方式一般为:封装体的VDDQ焊球与存储芯片内部的VDDQ焊垫连接,主要用于为与DQ/DQS的读/写路径(Read/Write path)相关的电路供电,例如数据信号驱动器(DQ driver)、数据信号序列器(DQ Serializer)等。在现有的存储设备中,由于经由VDDQ焊垫通过的电源电压不只用于为数据信号驱动器供电,还用于为存储芯片内部的数据路径(data path)电路供电,因此存在电源噪声,导致数据的信号完整性的特性不好。

[0005] 因此,亟需一种解决上述问题的方法。

### 发明内容

[0006] 本发明的目的在于,提供一种存储设备,可以优化片上电源连接方式,保证良好的数据的信号完整性的特性。

[0007] 为了实现上述目的,本发明提供了一种存储设备,包括:一第一电源电压焊垫,设置于存储芯片内部,并连接至设置于封装体上的一第一电源电压焊球,以用于为所述存储芯片内部的第一路径电路供电;一第二电源电压焊垫,设置于所述存储芯片内部,并连接至所述第一电源电压焊球,以用于为所述存储芯片内部的第二路径电路供电;以及一第三电源电压焊垫,设置于所述存储芯片内部,并连接至设置于所述封装体上的一第二电源电压焊球,以用于为所述存储芯片内部的第三路径电路供电。

[0008] 本发明存储设备,通过将封装体的VDDQ焊球与存储芯片内部的VDDQ焊垫连接,并仅用于为存储芯片内部的数据信号驱动器供电;并在存储芯片内部增设一VDD2焊垫,两VDD2焊垫相互分隔并均与封装体的VDD2焊球连接,其中一VDD2焊垫用于为存储芯片内部的

组合电路供电,另一VDD2焊垫用于为存储芯片内部的控制路径供电,优化了片上电源连接方式,避免了电源噪声,实现保证良好的数据的信号完整性的特性。

### 附图说明

[0009] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简要介绍。显而易见地,下面描述中的附图仅是本发明的一些实施例,对于本领域的普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0010] 图1为现有技术一实施例提供的片上电源连接方式示意图;

[0011] 图2为本发明一实施例提供的存储设备的架构示意图;

[0012] 图3为本发明一实施例提供的存储设备的片上电源连接方式示意图;

[0013] 图4为图3中A部分一实施例的示意图;

[0014] 图5为本发明模式选择一实施例的示意图。

### 具体实施方式

[0015] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0016] 请参阅图1,其为现有技术一实施例提供的片上电源连接方式示意图。如图1所示,封装体(package)11的VDDQ焊球与存储芯片(memory chip)12内部的VDDQ焊垫连接,分别用于为存储芯片12内部的数据信号驱动器(DQ driver)121以及数据信号序列器(DQ Serializer)122供电;封装体11的VDD2焊球与存储芯片12内部的VDD2焊垫连接,以用于为存储芯片12内部的组合电路(combination)123供电。在现有的存储设备中,由于经由VDDQ焊垫通过的电源电压不只用于为数据信号驱动器供电,还用于为存储芯片内部的数据路径(data path)电路供电,因此存在电源噪声,导致数据的信号完整性的特性不好。

[0017] 基于上述问题,本发明提出了一种可优化片上电源连接方式的存储设备,通过将封装体的VDDQ焊球与存储芯片内部的VDDQ焊垫连接,并仅用于为存储芯片内部的数据信号驱动器供电;并在存储芯片内部增设一VDD2焊垫,两VDD2焊垫相互分隔并均与封装体的VDD2焊球连接,其中一VDD2焊垫用于为存储芯片内部的组合电路供电,另一VDD2焊垫用于为存储芯片内部的控制路径(例如数据信号序列器)供电;避免了电源噪声,实现保证良好的数据的信号完整性的特性。

[0018] 请参阅图2,其为本发明一实施例提供的存储设备的架构示意图。如图2所示,本实施例提供的存储设备20包括:封装体(package)21与存储芯片(memory chip)22。存储芯片22内部设置有多电源电压焊垫。具体的,所述存储设备20包括:一第一电源电压焊垫(1st power PAD)221、一第二电源电压焊垫(2nd power PAD)222以及一第三电源电压焊垫(3rd power PAD)223。

[0019] 所述第一电源电压焊垫221设置于存储芯片22内部,并连接至设置于封装体21上的一第一电源电压焊球211,以用于为所述存储芯片22内部的第一路径电路224供电。所述

第二电源电压焊垫222设置于所述存储芯片22内部,并连接至所述第一电源电压焊球211,以用于为所述存储芯片22内部的第二路径电路225供电。所述第三电源电压焊垫223设置于所述存储芯片22内部,并连接至设置于封装体21上的一第二电源电压焊球212,以用于为所述存储芯片22内部的第三路径电路226供电。

[0020] 在一些实施例中,所述第一电源电压焊垫221与所述第二电源电压焊垫222形成于同一金属层中,且相互分隔;从而可以分别为不同路径的电路供电、且避免了不同路径之间的电压干扰。

[0021] 在一些实施例中,所述第一电源电压焊球211可以为VDD2焊球(VDD2 ball),所述第一电源电压焊垫221与所述第二电源电压焊垫222均为VDD2焊垫(VDD2 PAD)。相应地,所述第一路径电路223可以为关键路径(critical path)电路。具体的,所述关键路径可以包括数据路径(data path)以及内部时钟路径(internal clock path)。相应地,所述第二路径电路224可以为控制路径(control path)电路。具体的,所述控制路径电路可以包括除关键路径外的所有电路,例如,可以至少包括数据信号序列器(DQ Serializer)。由于关键路径电路中使用的电源和控制路径电路中使用的电源在同一金属层中彼此分隔开,避免了电压干扰。

[0022] 在一些实施例中,所述第二电源电压焊球212可以为VDDQ焊球(VDDQ ball),所述第三电源电压焊垫223为VDDQ焊垫(VDDQ PAD)。相应地,所述第三路径电路226包括数据信号驱动器(DQ driver)。即,封装体上的VDDQ焊球与存储芯片上的VDDQ焊垫连接,只用于为数据信号驱动器供电,避免了电源噪声,实现保证良好的数据的信号完整性的特性。

[0023] 在一些实施例中,所述存储设备20还包括:一数据信号焊垫(DQ PAD)227;所述数据信号焊垫227设置于所述存储芯片22内部,并分别连接至设置于所述封装体21上的一数据信号焊球(DQ ball)213,以及连接至所述第三路径电路226;例如,连接至数据信号驱动器。

[0024] 请一并参阅图3~图5,其中,图3为本发明一实施例提供的存储设备的片上电源连接方式示意图,图4为图3中A部分一实施例的示意图,图5为本发明模式选择一实施例的示意图。

[0025] 如图3所示,在本实施例中,所述第一电源电压焊球211为VDD2焊球(VDD2 ball),所述第一电源电压焊垫221与所述第二电源电压焊垫222均为VDD2焊垫(VDD2 PAD)。所述第一路径电路223为存储芯片22内部的组合电路(combination);所述第二路径电路224包括数据信号序列器(DQ Serializer)。由于第一路径电路223与第二路径电路224分布接入不同的VDD2PAD,且VDD2 PAD在同一金属层中彼此分隔开,避免了电压干扰。

[0026] 如图3所示,在本实施例中,所述第二电源电压焊球212为VDDQ焊球(VDDQ ball),所述第三电源电压焊垫223为VDDQ焊垫(VDDQ PAD)。所述第三路径电路226包括数据信号驱动器(DQ driver)。由于封装体上的VDDQ焊球与存储芯片上的VDDQ焊垫连接,只用于为数据信号驱动器供电,避免了电源噪声,实现保证良好的数据的信号完整性的特性。

[0027] 如图3所示,在本实施例中,所述存储设备20还包括:一数据信号焊垫(DQ PAD)227;所述数据信号焊垫227设置于所述存储芯片22内部,并分别连接至设置于所述封装体21上的一数据信号焊球(DQ ball)213,以及连接至所述数据信号驱动器。

[0028] 如图4所示,在一些实施例中,所述第三路径电路226包括第一数据信号驱动器41、

第二数据信号驱动器42以及多路输出选择器(Demultiplexer)43;所述多路输出选择器43被配置为响应于模式选择信号,来选择所述第一数据信号驱动器41与所述第二数据信号驱动器42的其中之一与数据信号焊垫DQ形成数据通路。也即,可以用一个存储芯片进行不同低功率双倍数据速率标准(例如LP4和LP4X)的结合设计。

[0029] 在一些实施例中,所述第一数据信号驱动器41为低功率双倍数据速率4数据信号驱动器(LP4 DQ driver),所述第二数据信号驱动器42为低功率双倍数据速率4X数据信号驱动器(LP4X DQ driver)。通过组成能够覆盖LP4和LP4X的Rtt(Round-Trip Time:往返时延)的DQ驱动程序,并用模式选择信号切换LP4和LP4X,可以用一个存储芯片进行LP4和LP4X的结合设计。例如,默认(default)为LP4X模式,通过熔丝(fuse)切换为LP4模式。相应的,如图4中,标号401示意LP4数据路径,标号402示意LP4X数据路径;默认状态下,LP4数据路径形成通路,熔丝切换后,LP4X数据路径形成通路。

[0030] 在一些实施例中,所述存储设备20还包括电压发生器,用于根据模式选择信号,在所述第三电源电压焊垫处生成不同的电源电压,从而为不同模式的DQ驱动器提供工作电压。例如,根据第一模式选择信号在所述第三电源电压焊垫处生成第一电源电压,以作为LP4模式的工作电压;根据第二模式选择信号在所述第三电源电压焊垫处生成第二电源电压,以作为LP4X模式的工作电压;从而使得所述第三电源电压焊垫处生成的电源电压,尤其是输出高电平(VOH level)满足不同标准模式的规范要求。

[0031] 如图5所示,在一些实施例中,所述电压发生器51包括:第一晶体管P1,第二晶体管P2、第一电阻串R11与第二电阻串R12。所述第一晶体管P1的控制端用于接收第一模式选择信号,其第一端连接至所述第三电源电压焊垫,其第二端连接至第一电阻串R11。所述第一电阻串R11与第二电阻串R12串联后接地,所述第二电阻串R12中的至少一电阻受控连接至参考电压Vref。所述第二晶体管P2的控制端用于接收第二模式选择信号,其第一端连接至所述第三电源电压焊垫,其第二端连接至第一电阻串R11与所述第二电阻串的公共端R12。当所述第一晶体管P1响应于所述第一模式选择信号导通时,在所述第三电源电压焊垫处生成第一电源电压,当所述第二晶体管P2响应于所述第二模式选择信号导通时,在所述第三电源电压焊垫处生成第二电源电压。

[0032] 在本实施例中,DRAM读取路径(read path)的信号走向为:数据由第二路径电路中的DQ序列器(Serializer)至第三路径电路中的DQ驱动器,之后经由DQ焊盘被读出;DRAM写入路径(write path)的信号走向为:数据由DQ焊盘写入至第三路径电路中的DQ接收端(DQ Rx),DQ接收端同时接收参考电压Vref,DQ接收端的输出信号经由第二路径电路中的DQ反序列化器(de-Serializer)被写入。

[0033] 具体地,所述第三电源电压焊垫为VDDQ焊垫,当所述第一晶体管P1响应于所述第一模式选择信号导通时,在VDDQ焊垫处生成第一电源电压(例如,VDDQ=1.1V),以作为LP4模式的工作电压;当所述第二晶体管P2响应于所述第二模式选择信号导通时,在VDDQ焊垫处生成第二电源电压(例如,VDDQ=0.6V),以作为LP4X模式的工作电压。由于不同低功率双倍数据速率标准的工作电压、尤其是输出高电平(VOH level)的范围在规格上有所不同,通过改变电阻器的数量,产生符合不同低功率双倍数据速率标准的工作电压。

[0034] 在一些实施例中,所述第一模式选择信号为LP4使能信号,所述第二模式选择信号为LP4X使能信号;所述第一晶体管P1与所述第二晶体管P2均为PMOS管。假设默认(default)

操作模式为LP4X标准模式,则接收LP4使能信号输入的PMOS管P1关断、由LP4X使能信号驱动P2导通;当需要进行模式切换时,对LP4 DQ驱动器执行熔丝处理,使得LP4使能信号驱动P1导通、接收LP4X使能信号输入的PMOS管P2关断。

[0035] 在一些实施例中,所述第一电阻串R11包括83个阻值相同的串联电阻器,所述第二电阻串R12包括167个阻值相同的串联电阻器;参考电压通过多个受控开关接入所述第二电阻串R12(可以分别通过开关与多个电阻器连接)。也即,在LP4操作模式中,采用250个电阻器以用于产生一系列符合LP4标准的Vref值以及工作电压VDDQ;在LP4X操作模式中,采用167个电阻器以用于产生一系列符合LP4X标准的Vref值以及工作电压VDDQ,以满足JEDEC(固态技术协会,是微电子产业的领导标准机构)建议的值。即,采用电压发生器51,将数据写入路径中使用的参考电压(具体为VrefCA、VrefDQ)标准(level)转换为符合LP4和LP4X的标准。其中,内存系统工作时,VrefCA是为命令与地址信号服务的参考电压信号,VrefDQ是为数据总线服务的参考电压信号。

[0036] 在一些实施例中,所述存储设备20可以为动态随机存取存储设备(DRAM)、双倍数据速率(DDR)同步动态随机存取存储设备(SDRAM)、低功率双倍数据速率4(LPDDR4) SDRAM或低功率双倍数据速率4X(LPDDR4X) SDRAM。

[0037] 根据以上内容可以看出,本实施例提供的存储设备,通过将封装体的VDDQ焊球与存储芯片内部的VDDQ焊垫连接,并仅用于为存储芯片内部的数据信号驱动器供电;并在存储芯片内部增设一VDD2焊垫,两VDD2焊垫相互分隔并均与封装体的VDD2焊球连接,其中一VDD2焊垫用于为存储芯片内部的组合电路供电,另一VDD2焊垫用于为存储芯片内部的控制路径供电,优化了片上电源连接方式,避免了电源噪声,实现保证良好的数据的信号完整性的特性。

[0038] 在本发明构思的领域中是可以根据执行所描述的一个或多个功能的块来描述和说明实施例。这些块(本文可以称为单元或模块等)由模拟和/或数字电路物理地实现,例如逻辑门、集成电路、微处理器、微控制器、存储设备电路、无源电子元件、有源电子元件、光学组件、硬连线电路等,并且可以可选地由固件和/或软件来驱动。电路例如可以在一个或多个半导体芯片中实施。构成块的电路可以由专用硬件实现,或者由处理器(例如,一个或多个编程的微处理器和相关电路)实现,或者由执行块的一些功能的专用硬件和执行块的其他功能的处理器的组合来实现。在不脱离本发明构思的范围的情况下,可以将实施例的每个块物理地分成两个或多个交互且分立的块。同样地,在不脱离本发明构思的范围的情况下,可以将实施例的块物理地组合成更复杂的块。

[0039] 应注意到,在说明书中对“一实施例”、“实施例”、“一些实施例”等的引用指示所描述的实施例可以包括特定的特征、结构或特性,但是每个实施例可能不一定包括该特定的特征、结构或特性。而且,这样的短语不一定指代相同的实施例。此外,当结合实施例描述特定的特征、结构或特性时,无论是否明确描述,结合其它实施例来实现这样的特征、结构或特性都在相关领域的技术人员的技术知识范围内。

[0040] 通常,可以至少部分地从上下文中的用法理解术语。例如,如在本文中所使用的术语“一个或多个”至少部分取决于上下文,可以用于以单数意义描述任何特征、结构或特性,或可以用于以复数意义描述特征、结构或特性的组合。类似地,至少部分取决于上下文,诸如“一”、“某一”或“该”的术语同样可以被理解为表达单数用法或表达复数用法。另外,术语

“基于”可以被理解为不一定旨在表达一组排他性的因素，而是可以替代地，同样至少部分地取决于上下文，允许存在不一定明确描述的其他因素。在本说明书中也应当注意的是，“连接/耦接”不仅指一个部件与另一个部件直接耦接，也指一个部件通过中间部件与另一个部件间接地耦接。

[0041] 需要说明的是，本发明的文件中涉及的术语“包括”和“具有”以及它们的变形，意图在于覆盖不排他的包含。术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序，除非上下文有明确指示，应该理解这样使用的数据在适当情况下可以互换。另外，在不冲突的情况下，本发明中的实施例及实施例中的特征可以相互组合。此外，在以上说明中，省略了对公知组件和技术的描述，以避免不必要地混淆本发明的概念。

[0042] 以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

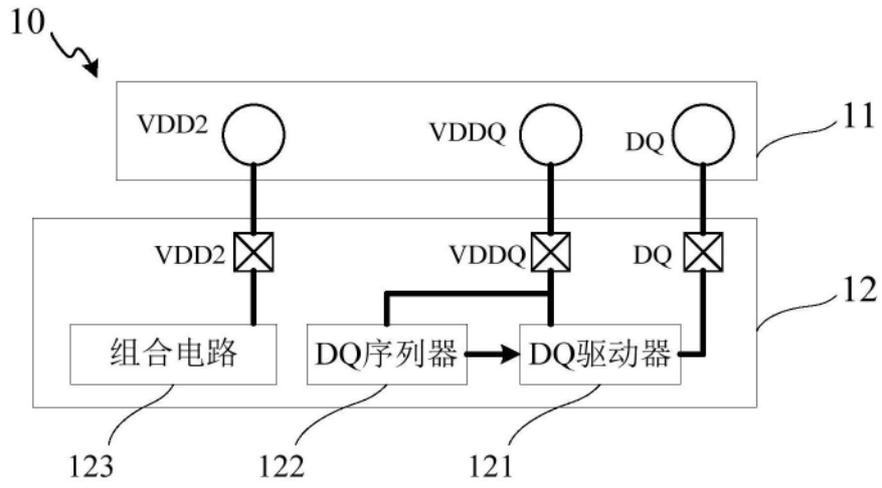


图1

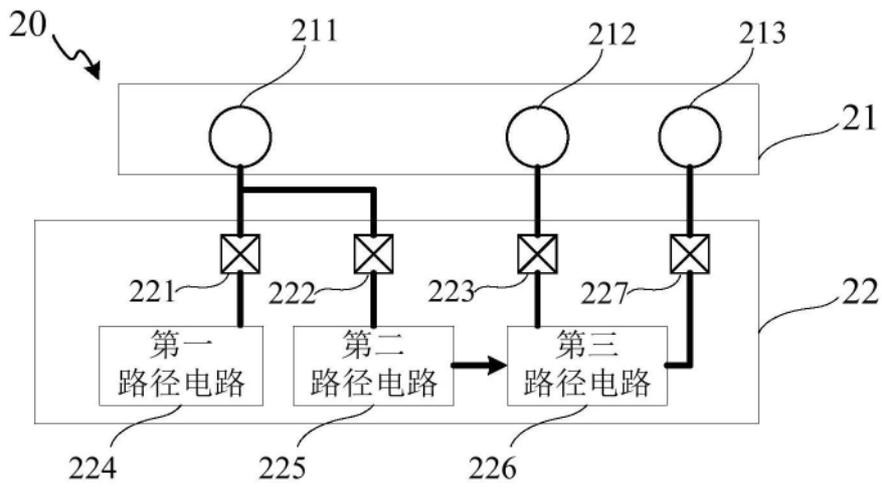


图2

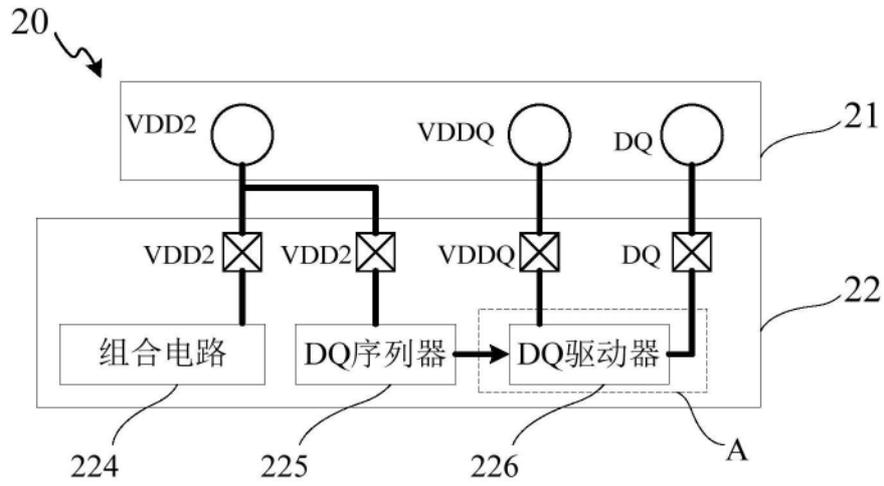


图3

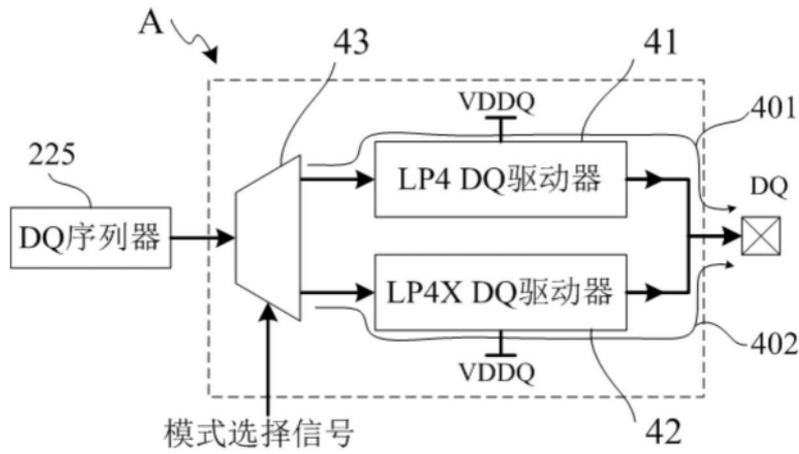


图4

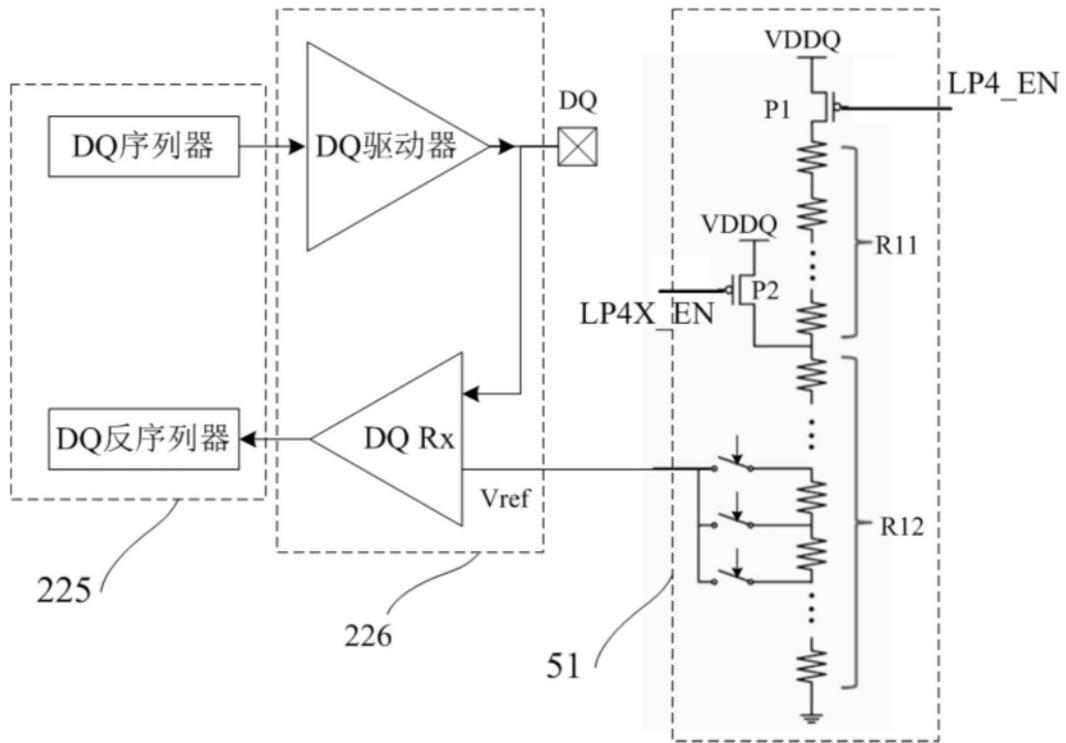


图5