



# (12)发明专利

(10)授权公告号 CN 104218094 B

(45)授权公告日 2016.11.23

(21)申请号 201410433176.6

(22)申请日 2014.08.28

(65)同一申请的已公布的文献号  
申请公布号 CN 104218094 A

(43)申请公布日 2014.12.17

(73)专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 王祖强 刘建宏

(74)专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 29/786(2006.01)

H01L 29/06(2006.01)

H01L 27/12(2006.01)

(56)对比文件

CN 204011436 U, 2014.12.10,  
JP 特开2003-31817 A, 2003.01.31,  
US 2005/0287722 A1, 2005.12.29,  
CN 102222699 A, 2011.10.19,

审查员 陈燕坤

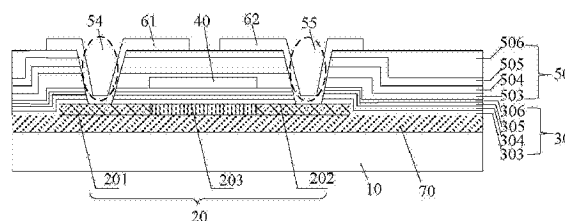
权利要求书1页 说明书8页 附图4页

(54)发明名称

一种薄膜晶体管、显示基板及显示装置

(57)摘要

本发明提供了一种薄膜晶体管、显示基板及显示装置,涉及显示技术领域,可改善后续形成的电极在过孔内发生断线不良的问题。该薄膜晶体管包括:依次设置在衬底基板上的有源层、栅绝缘层、栅电极、层间介质层、源电极和漏电极,源电极和漏电极通过露出有源层的过孔分别与有源层连接;栅绝缘层至少包括两层结构的氧化硅层和氮化硅层,层间介质层至少包括四层结构的氧化硅层和氮化硅层;栅绝缘层和层间介质层包括的所有氧化硅层和氮化硅层间隔排列,过孔远离衬底基板一侧的尺寸大于靠近衬底基板一侧的尺寸。用于薄膜晶体管、包含该薄膜晶体管的显示基板及显示装置的制造。



1. 一种薄膜晶体管,包括依次设置在衬底基板上的有源层、栅绝缘层、栅电极、层间介质层、源电极和漏电极,所述源电极和所述漏电极通过露出所述有源层的过孔分别与所述有源层连接;所述栅绝缘层和所述层间介质层均包括氧化硅层和氮化硅层;

其特征在于,所述栅绝缘层至少包括两层结构的所述氧化硅层和所述氮化硅层,所述层间介质层至少包括四层结构的所述氧化硅层和所述氮化硅层;

其中,所述栅绝缘层和所述层间介质层包括的所有所述氧化硅层和所述氮化硅层间隔排列;

从所述层间介质层中最远离所述衬底基板的一层氧化硅层或氮化硅层算起,所述栅绝缘层和所述层间介质层包括的所有层中至少第奇数层或第偶数层的致密性依次递增。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,从所述层间介质层中最远离所述衬底基板的一层氧化硅层或氮化硅层算起,所述栅绝缘层和所述层间介质层包括的所有所述氧化硅层和所述氮化硅层的致密性依次递增。

3. 根据权利要求1所述的薄膜晶体管,其特征在于,所述层间介质层包括的所有所述氧化硅层的总体厚度为100~300nm,所述层间介质层包括的所有所述氮化硅层的总体厚度为200~500nm;

所述层间介质层包括四至六层结构的所述氧化硅层和所述氮化硅层。

4. 根据权利要求3所述的薄膜晶体管,其特征在于,所述栅绝缘层包括的所有所述氧化硅层的总体厚度为40~100nm,所述栅绝缘层包括的所有所述氮化硅层的总体厚度为40~100nm;

所述栅绝缘层包括四层结构的所述氧化硅层和所述氮化硅层。

5. 根据权利要求1至4任一项所述的薄膜晶体管,其特征在于,所述有源层包括源极区域、漏极区域以及位于所述源极区域和所述漏极区域之间的多晶硅区;

所述源电极和所述漏电极通过露出所述有源层的过孔分别与所述有源层连接,包括:

所述源电极通过露出所述源极区域的第二过孔与所述源极区域连接,所述漏电极通过露出所述漏极区域的第三过孔与所述漏极区域连接。

6. 一种显示基板,其特征在于,包括权利要求1至5任一项所述的薄膜晶体管。

7. 根据权利要求6所述的显示基板,其特征在于,所述显示基板还包括与所述漏电极电连接的像素电极。

8. 根据权利要求7所述的显示基板,其特征在于,所述显示基板还包括公共电极。

9. 根据权利要求6所述的显示基板,其特征在于,所述显示基板还包括与所述漏电极电连接的阳极、设置于所述阳极远离所述薄膜晶体管一侧的阴极、以及设置于所述阳极和所述阴极之间的有机材料功能层。

10. 一种显示装置,其特征在于,包括权利要求6至9任一项所述的显示基板。

## 一种薄膜晶体管、显示基板及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种薄膜晶体管、显示基板及显示装置。

### 背景技术

[0002] 随着人们生活水平的提高,手机、相机、电脑、电视等显示设备被人们广泛的应用。薄膜晶体管(Thin Film Transistor,简称TFT)作为这些设备的重要部件之一,其直接影响到显示设备的显示效果。

[0003] 如图1所示,其中一种类型的薄膜晶体管包括:依次设置在衬底基板10上的有源层20、栅绝缘层30、栅电极40、层间介质层50、以及源电极61和漏电极62;其中,所述源电极61和所述漏电极62通过所述层间介质层50和所述栅绝缘层30上的过孔53分别与所述有源层20连接。

[0004] 目前,如图2所示,所述层间介质层50一般由氧化硅层和氮化硅层两层组成,栅绝缘层30也由氧化硅层和氮化硅层两层组成,这样在采用干法刻蚀形成所述过孔53时,会由于层间介质层50的氧化硅层和氮化硅层的这两种材料的刻蚀速率不同而导致所述过孔53内氧化硅层和氮化硅层之间台阶较大的问题,从而使过孔53内形貌不佳、孔内不平滑,进而在形成所述源电极61和所述漏电极62时,容易在所述过孔53内发生断线不良。

### 发明内容

[0005] 本发明的实施例提供一种薄膜晶体管、显示基板及显示装置,可改善后续形成的电极在过孔内发生断线不良的问题。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 一方面,提供一种薄膜晶体管,该薄膜晶体管包括:依次设置在衬底基板上的有源层、栅绝缘层、栅电极、层间介质层、源电极和漏电极,所述源电极和所述漏电极通过露出所述有源层的过孔分别与所述有源层连接;所述栅绝缘层和所述层间介质层均包括氧化硅层和氮化硅层;所述栅绝缘层至少包括两层结构的所述氧化硅层和所述氮化硅层,所述层间介质层至少包括四层结构的所述氧化硅层和所述氮化硅层;其中,所述栅绝缘层和所述层间介质层包括的所有所述氧化硅层和所述氮化硅层间隔排列;从所述层间介质层中最远离所述衬底基板的一层氧化硅层或氮化硅层算起,所述栅绝缘层和所述层间介质层包括的所有层中至少第奇数层或第偶数层的致密性依次递增。

[0008] 另一方面,提供一种显示基板,包括上述的薄膜晶体管。

[0009] 再一方面,提供一种显示装置,包括上述的显示基板。

[0010] 本发明实施例提供了一种薄膜晶体管、显示基板及显示装置,相对现有技术中,由于层间介质层的氧化硅层和氮化硅层厚度较厚且刻蚀速率不同而导致过孔内氧化硅层和氮化硅层之间台阶较大的问题,本发明实施例中,通过设定氧化硅层和/或氮化硅层的致密性,可以避免由于过孔的形状而导致断线不良的发生,在此基础上,在所述层间介质层的总体厚度不变的情况下,将所述层间介质层的每层氧化硅层和每层氮化硅层的厚度做薄,使

得构成所述层间介质层的氧化硅层和氮化硅层的层数增加,并将所述栅绝缘层和层间介质层的所有氧化硅层和氮化硅层间隔排列,这样,在刻蚀所述栅绝缘层和层间介质层形成所述过孔时,即使氧化硅层和氮化硅层的刻蚀速率不同,也会由于氧化硅层和氮化硅层的厚度较薄而在形成过孔时使二者之间的台阶变小,从而使得过孔的表面较为平滑,进而改善后续形成的电极在过孔内发生断线不良的问题,而且过孔采用梯度刻蚀法,避免了对有源层的过刻损伤。

### 附图说明

[0011] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0012] 图1为现有技术提供一种薄膜晶体管的结构示意图;

[0013] 图2为图1中过孔的结构示意图;

[0014] 图3为本发明实施例提供一种薄膜晶体管的结构示意图;

[0015] 图4为图3中过孔的一种结构示意图;

[0016] 图5为图3中过孔的另一种结构示意图;

[0017] 图6为图3中过孔的又一种结构示意图;

[0018] 图7为本发明实施例提供一种低温多晶硅薄膜晶体管的结构示意图;

[0019] 图8为本发明实施例提供一种显示基板的结构示意图;

[0020] 图9为本发明实施例提供的另一种显示基板的结构示意图;

[0021] 图10为本发明实施例提供的又一种显示基板的结构示意图。

[0022] 附图标记:

[0023] 10-衬底基板;20-有源层;201-源极区域;202-漏极区域;203-多晶硅区;30-栅绝缘层;301-栅绝缘层的氧化硅层;302-栅绝缘层的氮化硅层;303-第一氧化硅层;304-第一氮化硅层;305-第二氧化硅层;306-第二氮化硅层;40-栅电极;50-层间介质层;53-过孔;54-第二过孔;55-第三过孔;501-层间介质层的氧化硅层;502-层间介质层的氮化硅层;503-第三氧化硅层;504-第三氮化硅层;505-第四氧化硅层;506-第四氮化硅层;61-源电极;62-漏电极;70-缓冲层;90-像素电极;100-公共电极;110-阳极;120-有机材料功能层;130-阴极。

### 具体实施方式

[0024] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0025] 本发明实施例提供了一种薄膜晶体管,如图3至图7所示,该薄膜晶体管包括依次设置在衬底基板10上的有源层20、栅绝缘层30、栅电极40、层间介质层50、源电极61和漏电极62,所述源电极61和所述漏电极62通过露出所述有源层20的过孔53分别与所述有源层20

连接;所述栅绝缘层30和所述层间介质层50均包括氧化硅层和氮化硅层;所述栅绝缘层30至少包括两层结构的所述氧化硅层和所述氮化硅层,所述层间介质层50至少包括四层结构的所述氧化硅层和所述氮化硅层。

[0026] 其中,所述栅绝缘层30和所述层间介质层50包括的所有所述氧化硅层和所述氮化硅层间隔排列;从所述层间介质层50中最远离所述衬底基板10的一层氧化硅层或氮化硅层算起,所述栅绝缘层30和所述层间介质层50包括的所有层中至少第奇数层或第偶数层的致密性依次递增。

[0027] 需要说明的是,第一,不对所述有源层20的材料进行限定,其可以是非晶硅、金属氧化物,也可以是多晶硅,在此不做限定。

[0028] 第二,本领域技术人员应该知道,在所述薄膜晶体管中,对于所述栅绝缘层30,相对于现有技术,其总体厚度保持不变。同理,相对于现有技术,所述层间介质层50的总体厚度也是保持不变的。

[0029] 第三,由于所述层间介质层50位于栅电极40和源电极61、漏电极62之间,其起到隔离栅电极40和源电极61、漏电极62的作用,因而在考虑到制备工艺以及成本方面,也就无需在形成所述层间介质层50的基础上,在所述栅电极40和源电极61、漏电极62之间形成其他绝缘层。在此基础上,在除所述栅电极40的其他位置处,所述栅绝缘层30和层间介质层50相互接触。

[0030] 基于此,所述栅绝缘层30和所述层间介质层50包括的所有所述氧化硅层和所述氮化硅层间隔排列,即为:栅绝缘层30包括的氧化硅层和氮化硅层间隔排列,层间介质层50包括的氧化硅层和氮化硅层间隔排列,且栅绝缘层30和层间介质层50相接触的位置处,也应该是栅绝缘层30的氧化硅层和层间介质层50的氮化硅层接触或栅绝缘层30的氮化硅层和层间介质层50的氧化硅层接触。

[0031] 第四,所述栅绝缘层30至少包括两层结构的所述氧化硅层和所述氮化硅层,即所述栅绝缘层30至少包括一层所述氧化硅层和一层所述氮化硅层。同理,所述层间介质层50至少包括四层结构的所述氧化硅层和所述氮化硅层,即所述层间介质层50至少包括两层所述氧化硅层和两层所述氮化硅层。

[0032] 第五,由于所述栅绝缘层30和所述层间介质层50包括的所有所述氧化硅层和所述氮化硅层间隔排列,因此,上述从所述层间介质层50中最远离所述衬底基板10的一层氧化硅层或氮化硅层算起,所述栅绝缘层30和所述层间介质层50包括的所有层中至少第奇数层或第偶数层的致密性依次递增,即为:

[0033] 在所述层间介质层50中最远离所述衬底基板10的一层为氧化硅层的情况下,从上到下,可以是所述栅绝缘层30和所述层间介质层50包括的所有氧化硅层的致密性依次递增(即,第奇数层的致密性依次递增),在此基础上,优选所述栅绝缘层30和所述层间介质层50包括的所有氧化硅层和氮化硅层的致密性依次递增;当然,也可以是所述栅绝缘层30和所述层间介质层50包括的所有氮化硅层的致密性依次递增(即,第偶数层的致密性依次递增),在此基础上,优选所述栅绝缘层30和所述层间介质层50包括的所有氧化硅层和氮化硅层的致密性依次递增。

[0034] 同理,在所述层间介质层50中最远离所述衬底基板10的一层为氮化硅层的情况下,从上到下,可以是所述栅绝缘层30和所述层间介质层50包括的所有氮化硅层的致密性

依次递增(即,第奇数层的致密性依次递增),在此基础上,优选所述栅绝缘层30和所述层间介质层50包括的所有氮化硅层氧和化硅层的致密性依次递增;当然,也可以是所述栅绝缘层30和所述层间介质层50包括的所有氧化硅层的致密性依次递增(即,第偶数层的致密性依次递增),在此基础上,优选所述栅绝缘层30和所述层间介质层50包括的所有氮化硅层和氧化硅层的致密性依次递增。

[0035] 基于上述,不管是氧化硅层还是氮化硅层,其致密性越强,在形成过孔时,相应层的刻蚀速率则越慢。基于此,例如当第奇数层的致密性依次递增时,从上到下,越靠近下方的奇数层,其刻蚀速率越慢,使得越靠近下方的奇数层刻蚀出的孔越小,在此基础上,即使第偶数层的致密性小于位于其上方并与其接触的第奇数层的致密性,也会由于其本身厚度较薄而使得形成的过孔在整体上呈漏斗形,进而可以避免由于过孔的形状而导致断线不良的发生。

[0036] 这里,所述栅绝缘层30和所述层间介质层50包括的所有所述氧化硅层和所述氮化硅层例如可以通过等离子体化学气相沉积的方法在基板上一层一层沉积,并且交替沉积的各层氮化硅层(例如第奇数层)和/或氧化硅层(例如第偶数层)具有不同的致密度。其中,致密性可以通过薄膜工艺参数进行相应的调整,具体根据实际情况进行,在此不再赘述。

[0037] 第六,图3至图7中仅示意性的绘示出所述栅绝缘层30和所述层间介质层50包括的氧化硅层和氮化硅层的层数,以及氧化硅层和氮化硅层的顺序,但本发明实施例并不对所述栅绝缘层30和所述层间介质层50的具体层数进行限定,可以根据各自的总体厚度来设定具体层数,当然,本发明实施例也并不对氧化硅层和氮化硅层的顺序进行限定,可以根据具体的刻蚀速率而定。

[0038] 相对现有技术中,由于层间介质层的氧化硅层和氮化硅层厚度较厚且刻蚀速率不同而导致过孔53内氧化硅层和氮化硅层之间台阶较大的问题,本发明实施例中,通过设定氧化硅层和/或氮化硅层的致密性,可以避免由于过孔的形状而导致断线不良的发生,在此基础上,在所述层间介质层50的总体厚度不变的情况下,将每层氧化硅层和每层氮化硅层的厚度做薄,使得构成所述层间介质层50的氧化硅层和氮化硅层的层数增加,并将所述栅绝缘层30和层间介质层50的所有氧化硅层和氮化硅层间隔排列,这样,在刻蚀所述栅绝缘层30和层间介质层50形成所述过孔53时,即使氧化硅层和氮化硅层的刻蚀速率不同,也会由于氧化硅层和氮化硅层的厚度较薄而在形成如图4-6所示的过孔53时使二者之间的台阶变小,从而使得过孔53的表面较为平滑,进而改善后续形成的电极在过孔53内发生断线不良的问题,而且过孔53采用梯度刻蚀法,避免了对有源层20的过刻损伤。

[0039] 优选的,如图4至6所示,从所述层间介质层50中最远离所述衬底基板10的一层氧化硅层或氮化硅层算起,所述栅绝缘层30和所述层间介质层50包括的所有所述氧化硅层和所述氮化硅层的致密性依次递增。

[0040] 即:从上到下,依次沉积的所述栅绝缘层30和所述层间介质层50包括的所有所述氧化硅层和所述氮化硅层具有依次递增的致密度。

[0041] 这样,在刻蚀形成过孔53时,可以进一步的使过孔53的表面更为平滑,从而进一步改善断线不良的问题。

[0042] 优选的,栅绝缘层30的总体厚度为80~200nm;所述层间介质层50的总体厚度为300~800nm。

[0043] 在此基础上,优选所述层间介质层50包括的所有所述氧化硅层的总体厚度为100~300nm,所述层间介质层50包括的所有所述氮化硅层的总体厚度为200~500nm,且所述层间介质层50包括四至六层结构的所述氧化硅层和所述氮化硅层。

[0044] 其中,所述层间介质层50包括四至六层结构的所述氧化硅层和所述氮化硅层具体可以为:

[0045] 所述层间介质层50可以包括四层结构的所述氧化硅层和所述氮化硅层。例如,参考图4所示,所述层间介质层50可以包括间隔排列的两层层间介质层的氧化硅层501和间隔排列的两层层间介质层的氮化硅层502,每层所述层间介质层的氧化硅层501的厚度可以为50~150nm,每层层间介质层的氮化硅层502的厚度可以为100~150nm之间。

[0046] 所述层间介质层50可以包括五层结构的所述氧化硅层和所述氮化硅层。例如,参考图5所示,所述层间介质层50可以包括间隔排列的两层层间介质层的氧化硅层501和间隔排列的三层层间介质层的氮化硅层502,每层所述层间介质层的氧化硅层501的厚度可以为50~150nm,每层层间介质层的氮化硅层502的厚度可以为70~170nm之间。

[0047] 所述层间介质层50可以包括六层结构的所述氧化硅层和所述氮化硅层。例如,参考图6所示,所述层间介质层50可以包括间隔排列的三层层间介质层的氧化硅层501和间隔排列的三层层间介质层的氮化硅层502,每层所述层间介质层的氧化硅层501的厚度可以为40~100nm,每层层间介质层的氮化硅层502的厚度可以为70~170nm之间。

[0048] 这样,既可以保证在形成所述过孔53时,使过孔内的台阶变小,从而改善后续形成的源电极61和漏电极62在过孔53内发生断线不良的问题,也可以减少形成所述层间介质层50的工艺次数,节省成本。

[0049] 进一步优选的,所述栅绝缘层30包括的所有所述氧化硅层的总体厚度为40~100nm,所述栅绝缘层30包括的所有所述氮化硅层的总体厚度为40~100nm,且所述栅绝缘层30可以是包括四层结构的所述氧化硅层和所述氮化硅层。

[0050] 例如,参考图3-6所示,所述栅绝缘层30可以包括间隔排列的两层栅绝缘层的氧化硅层301和间隔排列的两层栅绝缘层的氮化硅层302,每层所述栅绝缘层的氧化硅层301的厚度可以为20~50nm,每层栅绝缘层的氮化硅层302的厚度可以为20~50nm之间。

[0051] 这样,可以进一步使得形成的过孔53更加平滑,从而更进一步地改善后续形成的源电极61和漏电极62在过孔53内发生断线不良的问题。

[0052] 基于上述,优选的,参考图7所示,有源层20包括源极区域201、漏极区域202以及位于所述源极区域201和所述漏极区域202之间的多晶硅区203;在此基础上,所述源电极61和所述漏电极62与所述有源层20连接具体可以是:所述源电极61通过露出所述源极区域201的第二过孔54与所述源极区域201连接,所述漏电极62通过露出所述漏极区域202的第三过孔55与所述漏极区域202连接。

[0053] 这里,所述源极区域201和漏极区域202是通过对该区域的多晶硅进行离子注入工艺而形成的。

[0054] 其中,形成多晶硅薄膜,例如可以是:采用等离子增强化学气相沉积法先沉积一层非晶硅薄膜,采用高温烤箱对非晶硅薄膜进行脱氢工艺处理,以防止在晶化过程中出现氢爆现象以及降低晶化后薄膜内部的缺陷态密度作用。脱氢工艺完成后,进行低温多晶硅工艺过程,采用激光退火工艺(ELA)、金属诱导结晶工艺(MIC)、固相结晶工艺(SPC)等结晶化

手段对非晶硅薄膜进行结晶化处理,在基板上形成所述多晶硅薄膜。在此基础上,可以通过构图工艺对该多经过薄膜进行处理,以在特定区域形成多晶硅图案。

[0055] 通过将所述有源层20设置为源极区域201、漏极区域202以及多晶硅区203可知,本发明实施例提供的所述薄膜晶体管可适用于低温多晶硅薄膜晶体管,当该薄膜晶体管应用于显示装置时,该显示装置可以具有高分辨率、反应速度快、高亮度、高开口率等优点。

[0056] 基于上述,考虑到一般的衬底基板10例如玻璃衬底基板含有一定的有害杂质如碱金属离子杂质,而这些有害物质可能会对有源层20的性能造成影响,因此,参考图7所示,本发明实施例优选在衬底基板10和所述有源层20之间设置缓冲层70,并使该缓冲层70与所述衬底基板10接触,以挡衬底基板10所含的杂质扩散进入到有源层20。

[0057] 下面提供一具体实施例以详细说明本发明实施例提供的一种优选的薄膜晶体管。如图7所示,该薄膜晶体管包括:依次设置在衬底基板10上的缓冲层70、有源层20、栅绝缘层30、栅电极40、层间介质层50、源电极61和漏电极62。

[0058] 其中,有源层20包括源极区域201、漏极区域202以及位于所述源极区域201和漏极区域202之间的多晶硅区203;源电极61通过层间介质层50和栅绝缘层30上的第二过孔54与源极区域201连接,漏电极62通过层间介质层50和栅绝缘层30上的第三过孔55与漏极区域202连接。

[0059] 栅绝缘层30包括靠近所述缓冲层70的第一氧化硅层303、依次位于所述第一氧化硅层303上方的第一氮化硅层304、第二氧化硅层305、第二氮化硅层306。所述第一氧化硅层303和所述第二氧化硅层305的总体厚度为40~100nm,所述第一氮化硅层304和所述第二氮化硅层306的总体厚度为40~100nm。

[0060] 层间介质层50包括靠近所述第二氮化硅层306的第三氧化硅层503、依次位于所述第三氧化硅层503上方的第三氮化硅层504、第四氧化硅层505和第四氮化硅层506,且所述第四氮化硅层506的刻蚀速率大于所述第四氧化硅层505。所述第三氧化硅层503和第四氧化硅层505的总体厚度为100~300nm,所述第三氮化硅层504和所述第四氮化硅层506的总体厚度为200~500nm。

[0061] 沿所述衬底基板10的垂直方向且从第四氮化硅层506到第一氧化硅层303,所述第二过孔54和所述第三过孔55在各层的尺寸依次递减。

[0062] 需要说明的是,这里所提到的“上”以形成层结构的顺序为依据,在先形成的层结构即在下,在后形成的层结构即在上。

[0063] 基于本发明实施例提供的所述薄膜晶体管,一方面,由于该薄膜晶体管为多晶硅薄膜晶体管,其可提供具有高分辨率、反应速度快、高亮度、高开口率的显示装置,另一方面,将所述层间介质层50做成两层的氧化硅层和两层的氮化硅层,既可以保证在形成所述第二过孔54和所述第三过孔55时,使过孔内的台阶变小,从而改善后续形成的源电极61和漏电极62在第二过孔54和第三过孔55内发生断线不良的问题,也可以减少形成所述层间介质层50的工艺次数,节省成本;将所述栅绝缘层30做成两层的氧化硅层和两层的氮化硅层,可以进一步使得形成的第二过孔54和第三过孔55更加平滑,从而更进一步地改善后续形成的源电极61和漏电极62在第二过孔54和第三过孔55内发生断线不良的问题。此外,第二过孔54和第三过孔55采用梯度刻蚀法,避免对有源层20的过刻损伤。

[0064] 本发明实施例提供了一种显示基板,所述显示基板包括上述的薄膜晶体管。



[0065] 可选的,如图8所示,该显示基板可以为AMLCD(Active Matrix Liquid-Crystal Display,有源矩阵液晶显示器)的阵列基板。即:在包括上述薄膜晶体管的基础上,该显示基板还包括与上述薄膜晶体管的漏电极62电连接的像素电极90。

[0066] 进一步的,所述显示基板还包括公共电极。

[0067] 在此基础上,本发明实施例提供的显示装置可以适用于高级超维场转换技术(Advanced Super Dimensional Switching,简称ADS)型液晶显示装置的生产。其中,高级超维场转换技术,其核心技术特性描述为:通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高TFT-LCD产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(Push Mura)等优点。

[0068] 因此,如图9所示,所述公共电极100优选设置在所述像素电极90上方。

[0069] 可选的,如图10所示,该显示基板可以为AMOLED(Active Matrix Organic Light-Emitting Diode,有源矩阵有机发光二极管)的阵列基板。即:在包括上述薄膜晶体管的基础上,该显示基板还包括与上述薄膜晶体管的漏电极62电连接的阳极110、设置于所述阳极110远离所述薄膜晶体管一侧的阴极130、以及设置于所述阳极110和所述阴极130之间的有机材料功能层120。

[0070] 所述有机材料功能层120至少包括发光层,在此基础上还可以包括电子传输层和空穴传输层;进一步的,为了能够提高电子和空穴注入发光层的效率,所述有机材料功能层120还可以包括设置在所述阴极130与所述电子传输层之间的电子注入层,以及在所述阳极110与所述空穴传输层之间的空穴注入层。

[0071] 其中,根据所述阳极110和所述阴极130的材料的不同,可以分为单面发光型显示基板和双面发光型显示基板;即:当所述阳极110和所述阴极130中其中一个电极的材料为不透明材料时,所述显示基板为单面发光型;当所述阳极110和所述阴极130的材料均为透明材料时,所述显示基板为双面发光型。

[0072] 对于单面发光型显示基板,根据所述阳极110和所述阴极130的材料的不同,又可以分为上发光型和下发光型。具体的,当所述阳极110靠近所述衬底基板10设置,所述阴极130远离所述衬底基板10设置,且所述阳极110的材料为透明导电材料,所述阴极130的材料为不透明导电材料时,由于光从阳极110、再经衬底基板10一侧出射,因此,可以称为下发光型;当所述阳极110的材料为不透明导电材料,所述阴极130的材料为透明导电材料时,由于光从阴极130、再经与衬底基板10相对的一侧出射,因此,可以称为上发光型。

[0073] 对于双面发光型显示基板,当所述阳极110靠近所述衬底基板10设置,所述阴极130远离所述衬底基板10设置,且所述阳极110和所述阴极130的材料均为透明导电材料例如ITO(Indium Tin Oxides,氧化铟锡)时,由于光一方面从阳极110、再经衬底基板10一侧出射,另一方面从阴极130、再经与所述衬底基板10相对的一侧出射,因此可以称为双面发光型。

[0074] 本发明实施例提供了一种显示装置,包括上述的显示基板。

[0075] 上述显示装置具体可以是电视、数码相机、手机、平板电脑等任何具有显示功能的产品或者部件。

[0076] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

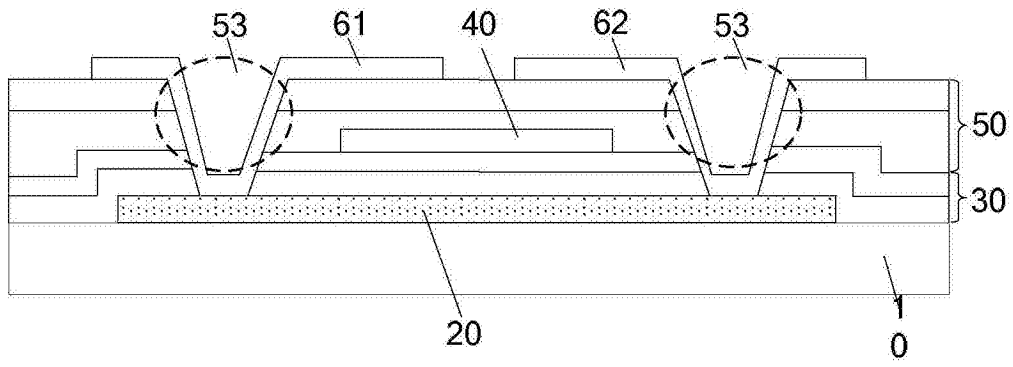


图1

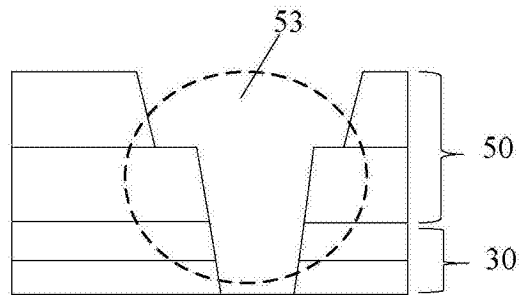


图2

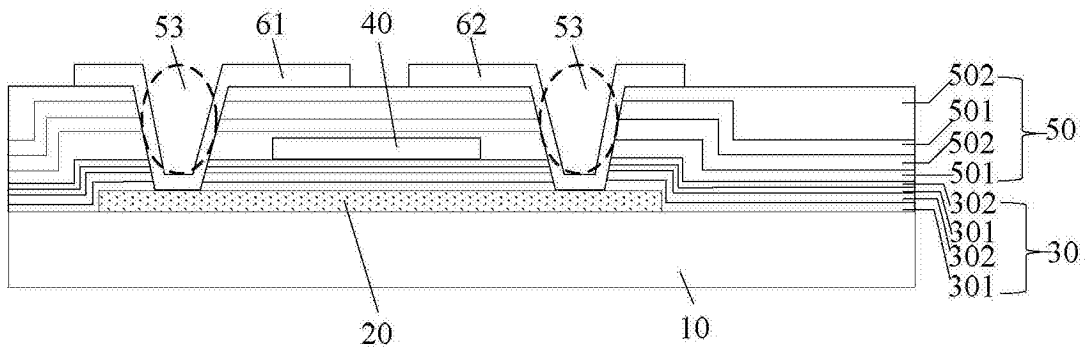


图3

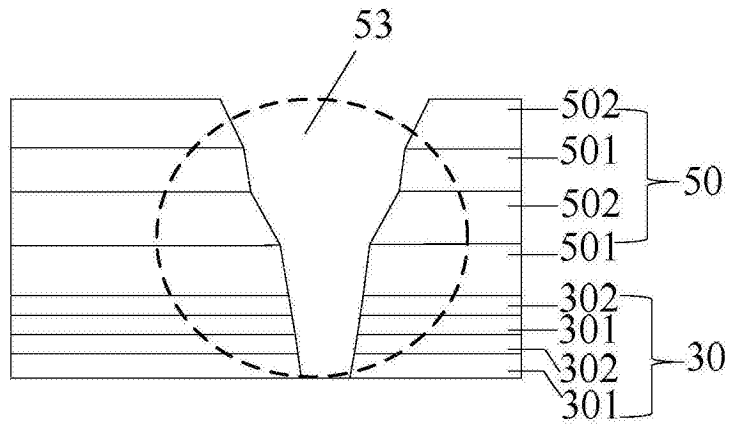


图4

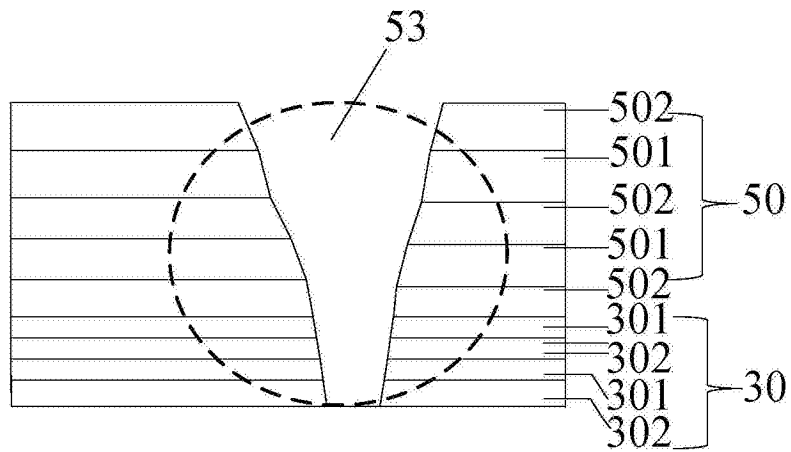


图5

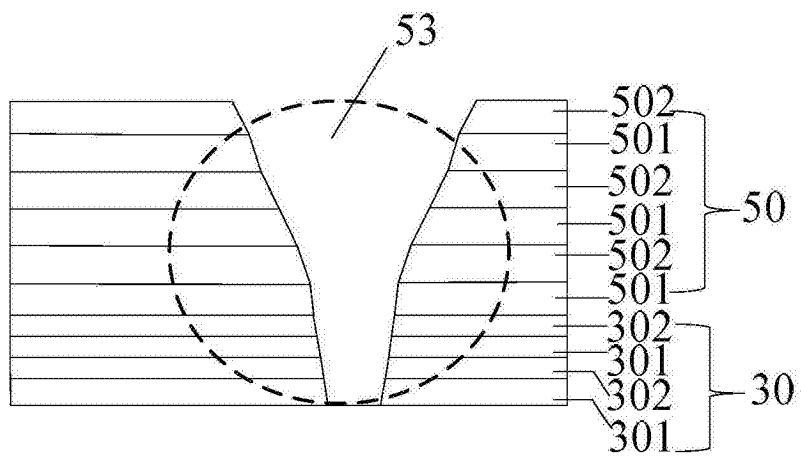


图6

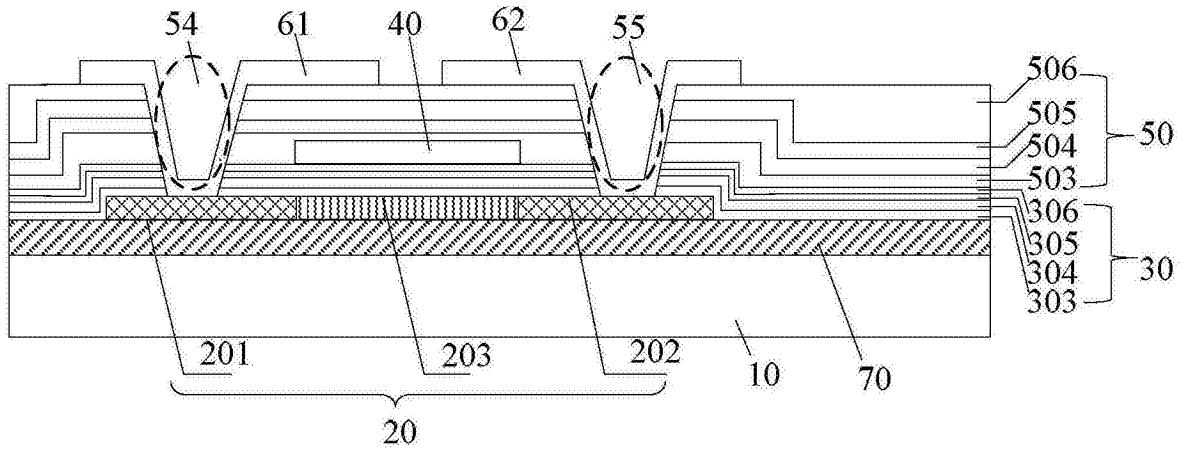


图7

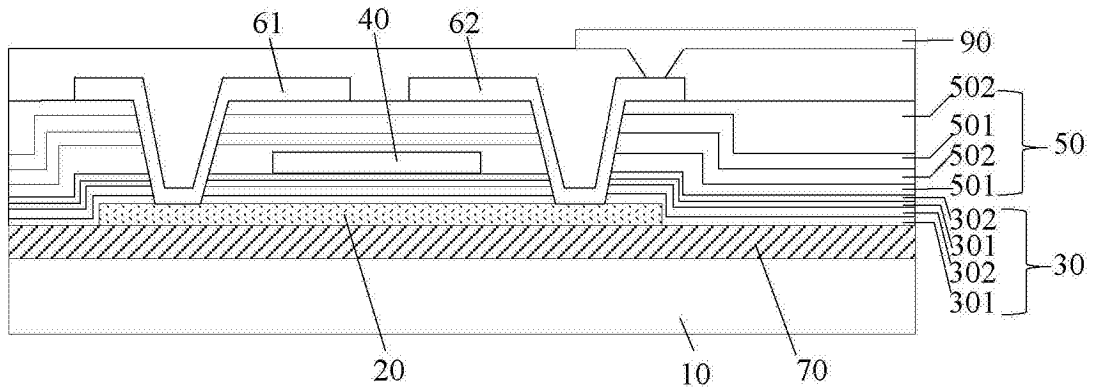


图8

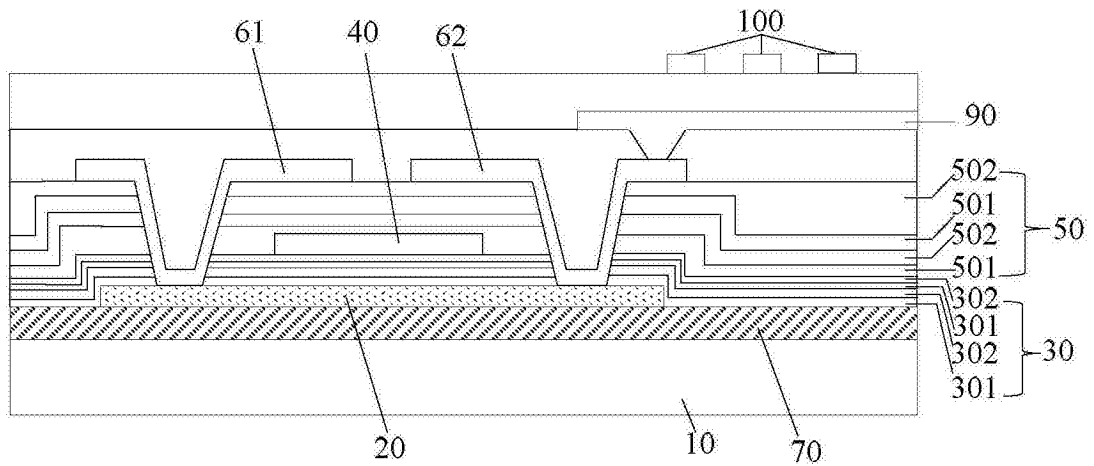


图9

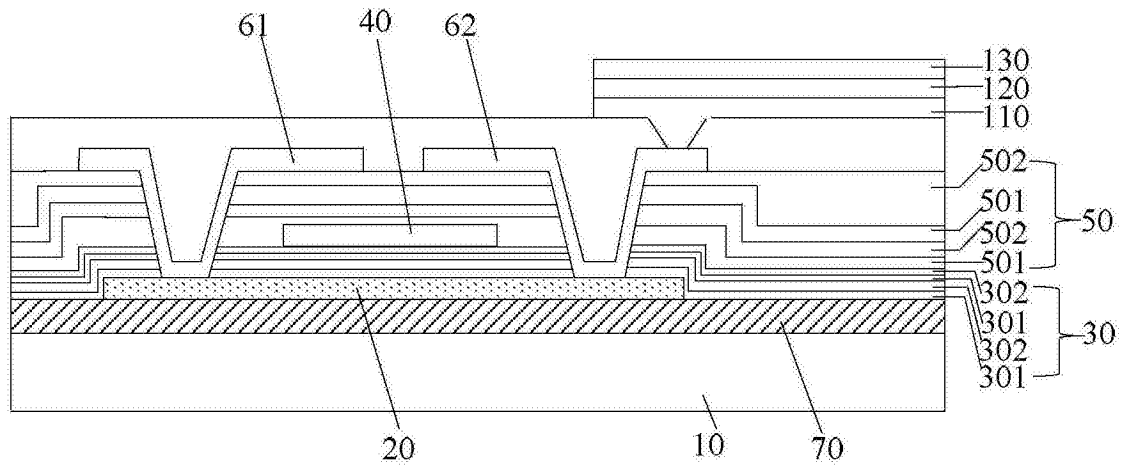


图10