

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4299428号
(P4299428)

(45) 発行日 平成21年7月22日(2009.7.22)

(24) 登録日 平成21年4月24日(2009.4.24)

(51) Int.Cl.		F I		
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00 6 4 1
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 1 3
			G 1 1 C	17/00 6 3 4 C

請求項の数 8 (全 12 頁)

(21) 出願番号	特願2000-10442 (P2000-10442)	(73) 特許権者	390019839
(22) 出願日	平成12年1月19日 (2000.1.19)		三星電子株式会社
(65) 公開番号	特開2001-202788 (P2001-202788A)		S A M S U N G E L E C T R O N I C S
(43) 公開日	平成13年7月27日 (2001.7.27)		C O . , L T D .
審査請求日	平成18年8月16日 (2006.8.16)		大韓民国京畿道水原市靈通区梅灘洞416
			416, Maetan-dong, Yeongtong-gu, Suwon-si,
			Gyeonggi-do 442-742
			(KR)
		(74) 代理人	100086368
			弁理士 萩原 誠
		(72) 発明者	小林 真一
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 可変容量半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的にデータの書き込み、読み出しが可能な不揮発性半導体記憶装置において、データを記録する領域を複数の領域に分割し、該分割した各領域を2値データを記録する2値領域又は多値データを記録する多値領域に設定したメモリセルアレイと、2値データを読み出す際に使用する2値センスアンプと、多値データを読み出す際に使用する多値センスアンプと、データ読み出し時に使用するセンスアンプを、読み出すデータ領域が前記2値領域である場合は前記2値センスアンプに、読み出すデータ領域が前記多値領域である場合は前記多値センスアンプに切り替える2値/多値制御手段と、
前記2値データの読み出し時に非同期ランダム読み出しが行われ、前記多値データの読み出し時に同期バースト読み出しが行われるように制御する2値/多値切り替え手段とを備えたことを特徴とする半導体記憶装置。

【請求項2】

前記メモリセルアレイの各領域に対して、2値か多値かをメモリアドレス空間で任意に設定でき、且つ、前記メモリセルアレイの各領域が2値領域であるか多値領域であるかを判別するための情報を記憶する判別手段をさらに備えたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

読み出しデータのアドレスに対応したレイテンシ情報を外部に出力するレイテンシ出力

手段をさらに備えたことを特徴とする請求項 1 または 請求項 2 記載の半導体記憶装置。

【請求項 4】

同期バースト読み出し動作時において、同期バースト読み出しに対する所定のパラメータをアドレスに対応して変更する変更手段をさらに備えたことを特徴とする請求項 1 または 請求項 2 記載の半導体記憶装置。

【請求項 5】

データ読み出し時において、複数の所定数のビット線を選択するビット線選択手段をさらに備え、該選択された所定数のビット線及び一のワード線に接続する所定数のメモリセルから、一のデータ値が読み出されることを特徴とする請求項 1 または 請求項 2 記載の半導体記憶装置。

10

【請求項 6】

前記多値センスアンプは、一の読み出し電圧が印加されるメモリセルからのデータ読み出し時の遅延を利用して、前記メモリセルが格納するデータが多値データのうちのいずれかを読み出すことを特徴とする請求項 1 または 請求項 2 記載の半導体記憶装置。

【請求項 7】

前記多値センスアンプは、
多値データの第 1 及び第 2 しきい値の間の電圧を有する第 1 基準セルと、
多値データの第 2 及び第 3 しきい値の間の電圧を有する第 2 基準セルと、
多値データの第 3 及び第 4 しきい値の間の電圧を有する第 3 基準セルと、
読み出しセルと前記基準セルの間の電流差により、前記読み出しセルのデータを判別する論理回路とを備えたことを特徴とする請求項 1 または 請求項 2 記載の半導体記憶装置。

20

【請求項 8】

前記多値センスアンプは、
読み出しセルの電流量を基準電圧と比較して出力を遷移する感知回路と、
第 1 ないし第 4 タイミングにそれぞれ前記感知回路の出力をラッチする第 1 ないし第 4 ラッチ回路と、
前記第 1 ないし第 4 ラッチ回路にラッチされた値を比較して前記読み出しセルのデータを判別する論理回路とを備えたことを特徴とする請求項 1 または 請求項 2 記載の半導体記憶装置。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、電気的消去、書き込み可能な半導体記憶装置であって、特に、二値または多値での情報の書き込みを可能とすることにより可変容量を実現する半導体記憶装置に関する。

【0002】

【従来の技術】

一般に、電子機器はその動作を制御するためのプログラムや、音声や画像等の種々のデータ等を格納するためのメモリを備えている。一般的に制御用プログラムの格納には、高速なランダムアクセスが可能なフラッシュメモリが、データ格納用には大容量のフラッシュメモリが使用される。

40

【0003】

【発明が解決しようとする課題】

したがって、電子機器は図 7 の (a) に示すように低速であるが大容量のメモリ及び高速であるが小容量のランダムアクセスメモリの二種類のフラッシュメモリを備える必要がある。また、制御用プログラムの格納のためのフラッシュメモリの設計において、格納されるプログラムの大きさが不確定であるため、予想されるプログラムが十分に格納されるように、容量に余裕を持たせて設計する場合が多く、結果として大きなサイズで設計されることが多い。このため、図 7 の (b) に示すように実際に開発した制御用プログラムが小さい場合、後に変更することができないため、無駄な領域が生ずると言う問題があった。

50

この問題は、図7の(c)に示すように制御プログラム用とデータ用の双方に高速ランダムアクセス用のフラッシュメモリを使用することにより解決できるが、高速ランダムアクセス用フラッシュメモリは高価であるため、このような解決方法では製造コストが増大するという問題がある。

【0004】

本発明は、上記課題を解決すべくなされたものであり、その目的とするところは、メモリ領域の効率的な使用を実現し、製造コストを抑制することができる半導体記憶装置を提供することにある。

【0005】

【課題を解決するための手段】

本発明に係る第1の半導体記憶装置は、電氣的にデータの書き込み、読み出しが可能な不揮発性半導体記憶装置において、データを記録する領域を複数の領域に分割し、該分割した各領域を2値データを記録する2値領域又は多値データを記録する多値領域に設定したメモリセルアレイと、2値データを読み出す際に使用する2値センスアンプと、多値データを読み出す際に使用する多値センスアンプと、データ読み出し時に使用するセンスアンプを、読み出すデータ領域が前記2値領域である場合は前記2値センスアンプに、読み出すデータ領域が前記多値領域である場合は前記多値センスアンプに切り替える2値/多値制御手段と、前記2値データの読み出し時に非同期ランダム読み出しが行われ、前記多値データの読み出し時に同期バースト読み出しが行われるように制御する2値/多値切り替え手段とを備える。

【0006】

本発明に係る第2の半導体記憶装置は、第1の半導体記憶装置において、前記メモリセルアレイの各領域に対して、2値か多値かをメモリアドレス空間で任意に設定でき、且つ、前記メモリセルアレイの各領域が2値領域であるか多値領域であるかを判別するための情報を記憶する判別手段をさらに備えてもよい。

【0007】

本発明に係る第3の半導体記憶装置は、第1または第2の半導体記憶装置において、読み出しデータのアドレスに対応したレイテンシ情報を外部に出力するレイテンシ出力手段をさらに備えてもよい。

【0008】

本発明に係る第4の半導体記憶装置は、第1または第2の半導体記憶装置において、同期バースト読み出し動作時において、同期バースト読み出しに対する所定のパラメータをアドレスに対応して変更する変更手段をさらに備えてもよい。

【0009】

本発明に係る第5の半導体記憶装置は、第1または第2の半導体記憶装置において、データ読み出し時において、複数の所定数のビット線を選択するビット線選択手段をさらに備え、該選択された所定数のビット線及び一のワード線に接続する所定数のメモリセルから、一のデータ値が読み出される。

【0010】

本発明に係る第6の半導体記憶装置は、第1または第2の半導体記憶装置において、前記多値センスアンプは、一の読み出し電圧が印加されるメモリセルからのデータ読み出し時の遅延を利用して、前記メモリセルが格納するデータが多値データのうちのいずれかを読み出すようにしてもよい。

【0011】

本発明に係る第7の半導体記憶装置は、第1または第2の半導体記憶装置において、前記多値センスアンプは、多値データの第1及び第2しきい値の間の電圧を有する第1基準セルと、多値データの第2及び第3しきい値の間の電圧を有する第2基準セルと、多値データの第3及び第4しきい値の間の電圧を有する第3基準セルと、読み出しセルと前記基準セルの間の電流差により、前記読み出しセルのデータを判別する論理回路とをさらに備えてもよい。

10

20

30

40

50

【 0 0 1 2 】

本発明に係る第 8 の半導体記憶装置は、第 1 または第 2 の半導体記憶装置において、前記多値センスアンプは、読み出しセルの電流量を基準電圧と比較して出力を遷移する感知回路と、第 1 ないし第 4 タイミングにそれぞれ前記感知回路の出力をラッチする第 1 ないし第 4 ラッチ回路と、前記第 1 ないし第 4 ラッチ回路にラッチされた値を比較して前記読み出しセルのデータを判別する論理回路とをさらに備えてもよい。

【 0 0 1 3 】

【発明の実施の形態】

以下、添付の図面を参照して本発明に係る半導体記憶装置の実施形態を詳細に説明する。

【 0 0 1 4 】

本実施形態におけるフラッシュメモリは、データを記憶するメモリセルをマトリクス状に配したメモリセルのメモリ領域において、2 値で記録する領域と、4 値で記録する領域とを設定する。これにより、1 つのメモリを用途に応じて容量可変に分割して使用することができ、メモリの使用効率を向上できる。具体的には、メモリ領域を所定数のブロックに分割し、各ブロック単位で 2 値で記録する領域、4 値で記録する領域を設定する。

【 0 0 1 5 】

(フラッシュメモリの構成)

図 1 に本発明に係るフラッシュメモリの構成を示す。フラッシュメモリは、データを記憶するメモリセルをマトリクス状に配するメモリセルアレイ 1 1 と、ワード線を選択するためにアクセスするデータのアドレスをプリデコードするプリデコーダ 1 3 と、メモリセルアレイ 1 1 のワード線を選択するロウデコーダ 1 4 と、ビット線を選択するためにアドレスをプリデコードするプリデコーダ 1 7 と、アドレスをデコードしメモリセルアレイ 1 1 のビット線を選択するカラムデコーダ 1 8 と、メモリセルアレイのワード線に駆動電圧を与える高電圧レギュレータ 2 5 と、メモリセルアレイ 1 1 中の指定したセルから読み出した電圧を増幅するセンスアンプ 3 5 a、3 5 b と、読み出しデータが 2 値で記憶されている場合と 4 値で記憶されている場合とで制御を切り替えるための 2 値 / 4 値制御回路 3 7 と、同期バースト読み出しを行なう際の制御を行う同期バーストリード制御回路 3 9 と、同期バースト読み出しを行なう際にデータをラッチするバースト読み出し用のデータラッチ 4 1 とを備える。

【 0 0 1 6 】

また、フラッシュメモリは、アクセスするデータのアドレスを入力するアドレス入力ピン P 1 と、2 値か 4 値かを示す情報を入出力する 2 値 / 4 値情報入出力ピン P 2 と、レイテンシ情報を入力するレイテンシ情報出力ピン P 3 と、データやコマンドを入力するデータ入力ピン P 4 と、読み出しデータを入力するデータ出力ピン P 5 とを有する。

【 0 0 1 7 】

図 1 に示すメモリセルアレイ 1 1 は全体で 6 4 M b の容量を持ち、各々が 1 6 M b の容量の 4 つのブロックに分割されている。本実施形態のフラッシュメモリでは、各ブロック毎に、2 値データを記録する領域 (以下「2 値領域」という。) または 4 値データを記録する領域 (以下「4 値領域」という。) に設定することができる。

【 0 0 1 8 】

ここで、2 値データと 4 値データの場合のセルの状態を説明する。図 2 は、2 値で記録する場合のセル (2 値メモリ) と、4 値で記録する場合のセル (4 値メモリ) におけるしきい値の分布を示した図である。このようにセルにおけるしきい値の分布を変化させることにより 2 値または 4 値のデータを記録することができる。

【 0 0 1 9 】

センスアンプ 3 5 a はデータを読み出すメモリブロックが 4 値メモリブロックであるときに使用するセンスアンプであり、センスアンプ 3 5 b はデータを読み出すメモリブロックが 2 値メモリブロックであるときに使用するセンスアンプである。なお、図 1 においては、説明の便宜上、センスアンプ 3 5 a、3 5 b は 1 つのみ示しているが、実際には、センスアンプ 3 5 a、3 5 b は、メモリの出力ビット数に応じて複数設けられている。2 値用

10

20

30

40

50

センスアンプ 35 b はセル電流値でデータを読み取る。4 値用センスアンプ 35 a は、3 個の基準セル 33 a ~ 33 c と 3 個のコンパレータ 33 d と論理回路 33 e とからなる。各基準セル 33 a ~ 33 c はそれぞれ異なるしきい値を有する。具体的には、各基準セル 33 a ~ 33 c は、図 2 に示す第 1 と第 2 のしきい値の間の電圧、第 2 と第 3 のしきい値の間の電圧、第 3 と第 4 のしきい値の間の電圧のそれぞれに対応したしきい値を有する。論理回路 33 b は、読み出しセルと各基準セル 33 a ~ 33 c 間の電流差を判断することにより 4 値データを判別し、その結果を出力する。

【0020】

高電圧レギュレータ 25 はチャージポンプ 27 から電源電圧を受けて、2 値メモリブロックか 4 値メモリブロックのいずれに対するアクセスにより、ワード線を駆動するためにワード線に印加する電圧（ワード線電圧）を切り替える。すなわち、高電圧レギュレータ 25 は高電圧制御回路 29 からの制御にしたがい、2 値メモリブロックまたは 4 値メモリブロックのいずれにアクセスするかにより、ワード線ドライバ 15 を制御することによりワード線電圧を変化させる。

10

【0021】

また、本実施形態のフラッシュメモリは、メモリセルアレイ 11 の各ブロック毎にそのブロックが 2 値メモリブロックとして使用されているか、4 値メモリブロックとして使用されているかを示す情報を格納するセル 21 a ~ 21 d からなる 2 値 / 4 値判別用メモリ 21 を有している。2 値 / 4 値判別用メモリ 21 からのデータはセンスアンプ 23 を介して 2 値 / 4 値制御回路 37 に入力される。

20

【0022】

前述のように、本実施形態のフラッシュメモリは各ブロック毎に 2 値領域または 4 値領域に設定することができる。したがって、例えば、4 つのブロックのうち 1 つのブロックを 2 値領域とし（以下、このブロックを「2 値メモリブロック」という。）、残りの 3 つを 4 値領域（以下、このブロックを「4 値メモリブロック」という。）とすることができる。この場合、3 つのブロックを 4 値メモリブロックとして使用するため、それらのブロックについては容量を 2 倍（ $16 \times 2 = 32 \text{ Mb}$ ）にすることができる。つまり、制御プログラムを格納するためのメモリを 2 値メモリブロックで構成し、データを格納するためのメモリを 4 値メモリブロックで構成する場合、それぞれのメモリの組み合わせを変えることにより、以下のようにそれらの容量を自在に変更できる。

30

【表 1】

プログラム格納用メモリの容量	データ格納用メモリ
16Mb (= 16Mb × 1)	96Mb (= 32Mb × 3)
32Mb (= 16Mb × 2)	64Mb (= 32Mb × 2)
48Mb (= 16Mb × 3)	32Mb (= 32Mb × 1)

40

【0023】

以上のようにして、1 つのメモリセルアレイ 11 を分割して使用することにより、1 種類のメモリで 2 種類のメモリの機能を実現することができる。これにより、メモリ全体としての容量を自由に變更でき、メモリ領域の効率的な使用が可能となる。以下に本実施形態のフラッシュメモリの動作を説明する。

【0024】

（2 値 / 4 値領域設定）

フラッシュメモリにおけるメモリセルアレイ 11 の 2 値 / 4 値領域の設定について説明する。これは次のように行なわれる。アドレスピン P1 を介してアドレスが入力されるとともに、情報入力ピン P2 を介して 2 値か 4 値かを示す信号（以下、「2 値 / 4 値情報」と

50

いう)が入力されると、2値/4値制御回路37は、この2値/4値情報に基き、アドレスで指定されるブロックが2値用メモリブロックか4値用メモリブロックかを示す情報を2値/4値判別用メモリ21のそれぞれのセル21a~21dに書き込む。この2値/4値判別用メモリ21に書きこまれた情報を参照することにより、データを読み出す際に読み出しブロックのデータが2値で記録されたか4値で記録されたかを判別することが可能となる。

【0025】

2値/4値判別用メモリ21からのデータの読み出しは次のように行なわれる。すなわち、ロウデコーダ13においてアドレスをプリデコードして得られるブロック選択信号BAを2値/4値制御回路37に入力し、選択されているメモリブロックに対応する2値/4値判別用メモリ21の値を読み出す。読み出された情報は2値/4値情報入出力ピンP2を介して外部に出力される。これにより、例えば、外部のMCU(メモリコントロールユニット)等の制御回路は、データ記憶が2値か4値かの情報を得ることができる。

10

【0026】

(書き込み時のフラッシュメモリの動作)

データ書き込み時においては、2値で書きこむ場合と4値で書きこむ場合とではメモリセルのワード線に印加する電圧条件が異なるため、データ書き込みが2値であるか4値であるかに応じてワード線の印加電圧を切り替える必要がある。

【0027】

本フラッシュメモリは、データ書き込み時において外部から、アドレスピンP1を介してアドレスを、データ入力ピンP4を介してデータを入力すると、2値/4値制御回路37は、入力したアドレスと2値/4値判別用メモリ21のデータに基いてデータ書き込み領域が2値の領域か4値の領域かを判別し、その判別結果に基き、高電圧制御回路29に対して2値か4値かを指定する信号(以下「2値/4値切替信号」という。)を送る。高電圧制御回路29は2値か4値かによって、高電圧レギュレータ25の出力電圧を切り替え、ワード線ドライバ15に供給する電圧を切り替える。また、このとき、2値/4値制御回路37は、ビット線に対しても所定の書き込み電圧が印加されるように高電圧制御回路29を制御する。また、データ書き込み時においては、データが正しく書き込まれたか否かを検証するベリファイ動作も行なわれる。

20

【0028】

なお、2値/4値制御回路37は、データ書き込み時に、アドレス及びデータとともに2値/4値情報を2値/4値情報入出力ピンP2を介して外部から受け取るようにしてもよく、その受け取った信号により高電圧制御回路29に対して2値/4値切替信号を送るようにしてもよい。

30

【0029】

(読み出し時の動作)

読み出し動作時においては、2値と4値とで読み出し方法が異なるため、本フラッシュメモリでは、2値/4値制御回路37からの2値/4値切替信号により使用するセンスアンプ35a、35bを切り替える。つまり、2値/4値制御回路37は、入力したアドレスをプリデコードしたブロック選択信号BAに基き2値/4値判別用メモリ21のデータを読み出し、読み出し領域が2値領域か4値領域かを判別し、それに従い2値/4値切り替え信号を出力する。この信号により、4値用センスアンプ35a、2値用センスアンプ35bのいずれかが選択的に活動化される。

40

【0030】

なお、2値/4値制御回路37は、データ読み出し時に、アドレスとともに2値/4値情報を2値/4値情報入出力ピンP2を介して外部から受け取るようにしてもよく、その受け取った信号によりセンスアンプを切り替えてもよい。

【0031】

(出力方法の切替え)

本フラッシュメモリでは、読み出すデータが2値か4値かにより、読み出す際の出力方法

50

を、非同期ランダム読み出し又は同期バースト読み出しに内部で切り替えることができる。例えば、2値データを読み出す際には非同期ランダム読み出しを行ない、4値データを読み出す際にはランダムアクセスが低速なので同期バースト読み出しにより高速読み出しが可能となるように切り替えることができる。

【0032】

すなわち、読み出し動作時において、同期バーストリード制御回路39は、2値/4値制御回路37から2値/4値切替信号を入力し、2値/4値切替信号が4値を示すときは、同期バースト読み出しを行なうためのクロック信号をバースト読み出し用データラッチ41に送る。これにより、データラッチ41はバースト読み出しのための制御に切り換わり、メモリセルアレイ11から読み出されたデータは4値用センスアンプ35a及びデータラッチ41を介してバースト読み出しされる。なお、このとき、2値/4値切替信号により4値用センスアンプ35aが選択(活動化)されている。一方、2値/4値切替信号が2値を示すときは、同期バーストリード制御回路39はバースト読み出し用データラッチ41を非活動化するよう制御信号を出力し、また、2値用センスアンプ35bが活動化されるため、2値用センスアンプ35bを介してランダム読み出しが行なわれる。

10

【0033】

(XYレイテンシ情報の出力)

本実施形態のフラッシュメモリは、同期バースト読み出しの場合、外部回路からXYレイテンシ情報の要求があったときに、XYレイテンシ情報を出力ピンP3を介して出力する機能を有する。

20

【0034】

すなわち、外部回路よりレイテンシ情報の要求コマンドがデータ入力ピンP4を介して入力されると、コマンドインタプリタ43がそのコマンドを解釈し、同期バーストリード制御回路39に出力する。同期バーストリード制御回路39はこの信号を受けるとレイテンシ情報(パラメータ)を出力ピンP3を介して出力する。これにより、フラッシュメモリからバーストデータを受け取る外部のメモリコントローラ等の制御回路はレイテンシ情報(パラメータ)を認識できる。

【0035】

すなわち、同期バーストリード制御回路39は、ブロック選択信号BAの値と、2値/4値判別用メモリセル21aの値とを参照し、予め設定されたテーブルを参照して、メモリブロックごとに同期バースト読み出しに対するパラメータを求め、出力する。このように、同期バーストリード制御回路39はメモリブロックごとに同期バースト読み出しに対するパラメータを自由に変更できる。

30

【0036】

なお、本フラッシュメモリはレイテンシ情報に限らず、所定のパラメータを出力することができる。

【0037】

すなわち、2値/4値制御回路37は、各ブロックに対応した所定のパラメータを内部ラッチに記憶しており、読み出し時においてプリデコードされたブロック選択信号BAに対応するパラメータを出力する。

40

【0038】

パラメータの設定は次の様に行なう。図1に示す回路において、アドレスピンP1を介してブロックを指定するためのアドレスが、また、同期バースト読み出しのパラメータの設定を行なうコマンドがピンP4を介して入力される。2値/4値制御回路37は、プリデコード13からのブロック選択信号BAを受け、さらに、デコードされたコマンドと設定パラメータを同期バーストリード制御回路39を介して入力し、各ブロックに対応した所定のパラメータを内部ラッチに記憶する。

【0039】

読み出し時において、2値/4値制御回路37は、内部ラッチに記憶したパラメータの中から、プリデコードされたブロック選択信号BAに対応するパラメータを求め、同期バースト

50

ストリード制御回路 39 に出力する。これにより、同期バーストリード制御回路 39 はそのパラメータに応じてラッチ回路 41 に対するクロックを制御することができる。

【0040】

(高速読み出し)

2 値用メモリブロックは制御プログラム等が格納され、高速読み出しメモリとしての用途が要求されることが多い。このため、本実施形態のフラッシュメモリは、2 値用メモリブロックから高速にデータを読み出すための構成を備えてもよい。図 3 に高速読み出しを実現するための構成を示す。図 3 では、4 本のビット線に対して 1 つの 2 値用センスアンプ 35 が接続された例を示している。プリカラムデコーダ 17 は論理回路 51、52、53、54a、54b、54c、54d を備える。

10

【0041】

高速読み出しを実現するためには、データを記録する際に隣接する 2 つのビット線において同一カラムのセルを一对とし、この一对のセルに 1 ビットのデータを記憶するようにする。データの読み出しの際は、隣接する 2 つのビット線の Y ゲートを同時にオンし、ビット線をショートさせて一对とする。つまり、読み出し時に、一对のビット線をショートさせることにより、2 つのセルからセル電流を得ることができ、1 つのセルの場合に比してセル電流を増加させることができるため、高速読み出しが可能となる。

【0042】

図 3 に示す例では、信号 D により高速読み出しモードと通常読み出しモードとを切り替えることができる。高速読み出しモードにするときは、カラムプリデコーダ 17 において信号 D を「1」にする。これにより、信号 Y1 に応じて、Y ゲート 57a と 57b 又は Y ゲート 57c と 57d が同時にオンし、1 組のビット線 BL1 と BL2 又はビット線 BL3 と BL4 がショートする。これにより、メモリセル 11a と 11b 又はメモリセル 11c と 11d からのセル電流により 1 ビットのデータが読み出される。通常読み出しモードのときは、信号 D を「0」にし、これによりビット線はショートされず、信号 Y1、Y2 により 1 つのビット線が選択され、1 つのセルからデータが読み出される。

20

【0043】

(4 値センスアンプの別の例)

図 4 に前述の 4 値用センスアンプ 35a とは異なる構成を持つ 4 値用センスアンプの構成を示す。図 4 に示す 4 値用センスアンプは、2 値用センスアンプ 35 と同様の構成のセンスアンプ 35' と、センスアンプ 35' の出力をそれぞれ異なるタイミングでラッチするラッチ回路 61a、61b、61c、61d と、ラッチ回路 61a、61b、61c、61d の出力を受けて値を判断する論理回路 63 とからなる。ラッチ回路 61a、61b、61c、61d はそれぞれタイミング t1、t2、t3、t4 の各タイミングでセンスアンプ 35' の出力をラッチする。

30

【0044】

以上のように構成される別の 4 値用センスアンプは、所定のワード線電圧によって一のセルについてデータを読み出すときに、ワード線電圧を印加してから、センスアンプからデータが出力されるまでの時間差を利用して、4 値データの読み出しを行なう。この時間差は、ワード線電圧とメモリセルのしきい値電圧との差が大きいほど小さくなるので、この時間差を利用して 4 値データを読み出すことができる。

40

【0045】

図 5 に示すように 4 値のデータのしきい値電圧分布があるとき、値「10」と値「11」の間の電圧をワード線電圧としてワード線に印加する。この場合、読み出しデータは値「00」の場合に最も早くセンスアンプから出力され、値「01」、「10」、「11」の順に出力に時間がかかる。したがって、図 6 に示すように、ワード線電圧が印加されてから値「00」が読み出されるまでの間にタイミング t1 を、値「00」が読み出されてから値「01」が読み出されるまでの間にタイミング t2 を、値「01」が読み出されてから値「10」が読み出されるまでの間にタイミング t3 を、値「10」が読み出された後にタイミング t4 を設け、それぞれのタイミングで読み出すことにより、4 値を読み出すことが可能となる。すなわ

50

ち、各ラッチ回路61a、61b、61c、61dは、センスアンプ35'の出力をタイミングt1、t2、t3、t4の各タイミングでラッチし、ラッチ回路61a、61b、61c、61dからのそれぞれの出力を論理回路63が判断することにより4値データを認識できる。

【0046】

以上のように本実施形態のフラッシュメモリは、メモリセルアレイを複数の領域(ブロック)に分割し、各領域毎に2値データを記録する2値領域または4値データを記録する4値領域に設定可能であるため、フラッシュメモリの容量を用途に応じて変更することができる。

【0047】

なお、データの記録形式は2値または4値に限らず、さらに大きい値(多値)であってもよい。

【0048】

【発明の効果】

本発明に係る第1の半導体記憶装置は、電氣的にデータの書き込み、読み出しが可能な不揮発性半導体記憶装置において、データを記録する領域を複数の領域に分割し、該分割した各領域を2値データを記録する2値領域又は多値データを記録する多値領域に設定したメモリセルアレイと、2値データを読み出す際に使用する2値センスアンプと、多値データを読み出す際に使用する多値センスアンプと、データ読み出し時に使用するセンスアンプを、読み出すデータ領域が前記2値領域である場合は前記2値センスアンプに、読み出すデータ領域が前記多値領域である場合は前記多値センスアンプに切り替える2値/多値制御手段と、前記2値データの読み出し時に非同期ランダム読み出しが行われ、前記多値データの読み出し時に同期バースト読み出しが行われるように制御する2値/多値切り替え手段とを備える。これにより、4値データを読み出す際には高速読み出しが可能となる。

【0049】

本発明に係る第2の半導体記憶装置は、前記メモリセルアレイの各領域に対して、2値か多値かをメモリアドレス空間で任意に設定でき、且つ、前記メモリセルアレイの各領域が2値領域であるか多値領域であるかを判別するための情報を記憶する判別手段を備える。これにより、1つの半導体記憶装置において、メモリアドレス空間で任意に2値または多値の双方でデータ記録が可能となり、自在に容量を変更できるため、記憶領域の使用効率を高め、製造コストを抑制できる半導体記憶装置を実現できる。

【0050】

本発明に係る第3の半導体記憶装置は、第1または第2の半導体記憶装置による効果に加え、さらに、読み出しデータのアドレスに対応したレイテンシ情報を外部に出力することができる。

【0051】

本発明に係る第4の半導体記憶装置は、第1または第2の半導体記憶装置による効果に加え、さらに、同期バースト読み出し動作時に、同期バースト読み出しに対する所定のパラメータをアドレスに対応して変更することができる。

【0052】

本発明に係る第5の半導体記憶装置は、第1または第2の半導体記憶装置による効果に加え、さらに、データ読み出し時において高速にデータ読み出しが可能となる。

【0053】

本発明に係る第6の半導体記憶装置は、第1または第2の半導体記憶装置による効果に加え、さらに、容易な構成の多値データを読み出すためのセンスアンプを実現できる。

【0054】

本発明に係る第7の半導体記憶装置は、第1または第2の半導体記憶装置による効果に加え、さらに、容易な構成の多値データを読み出すためのセンスアンプを実現できる。

【0055】

10

20

30

40

50

本発明に係る第8の半導体記憶装置は、第1または第2の半導体記憶装置による効果に加え、さらに、容易な構成の多値データを読み出すためのセンスアンプを実現できる。

【図面の簡単な説明】

【図1】 本発明に係るフラッシュメモリの構成図。

【図2】 (a) 2値メモリにおけるしきい値の分布を示した図。(b) 4値メモリにおけるしきい値の分布を示した図。

【図3】 複数のビット線を接続してメモリセルからデータを読み出す方法を説明するための図。

【図4】 アクセス遅延を利用した4値センスアンプの構成図。

【図5】 アクセス遅延を利用した4値データの読み出しを説明するための図。

【図6】 4値データの読み出し時において、各値に対する遅延時間を示した図。

【図7】 従来のフラッシュメモリの種々の利用態様を説明した図。

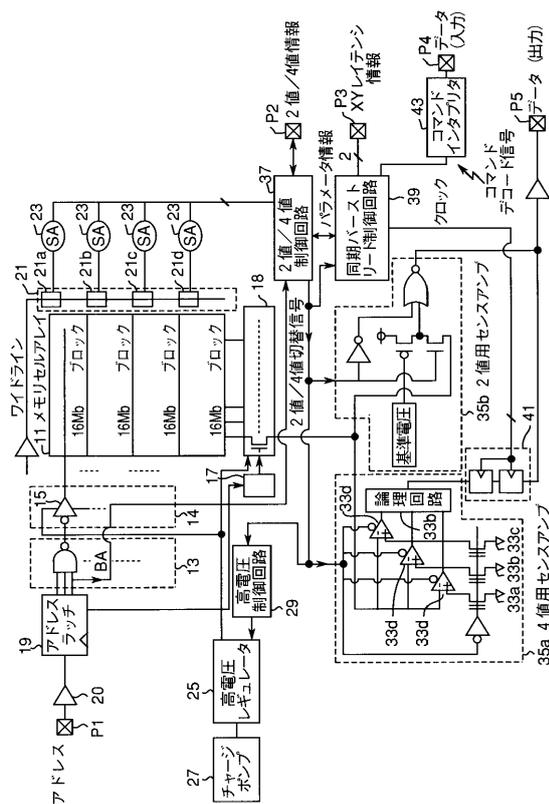
【符号の説明】

- 11 メモリセルアレイ
- 17 プリデコーダ
- 18 カラムデコーダ
- 21 2値/4値判別用メモリ
- 29 高電圧制御回路
- 35a, 35' 4値用センスアンプ
- 35b 2値用センスアンプ
- 37 2値/4値制御回路
- 39 同期バーストリード制御回路

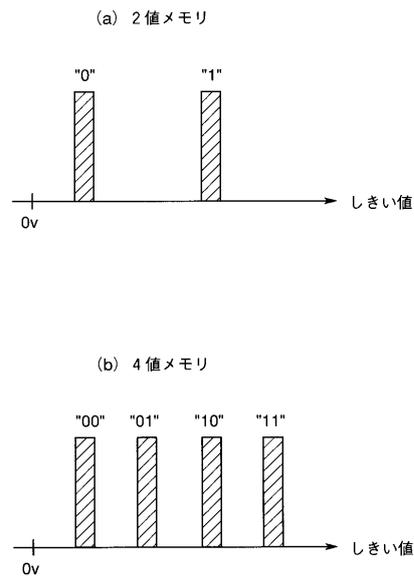
10

20

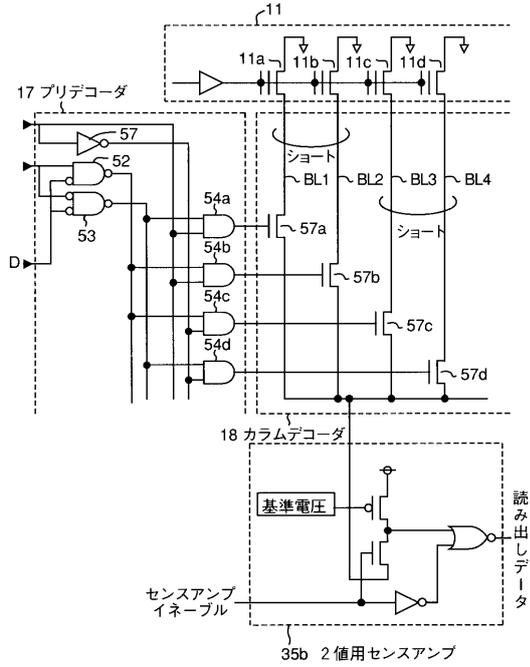
【図1】



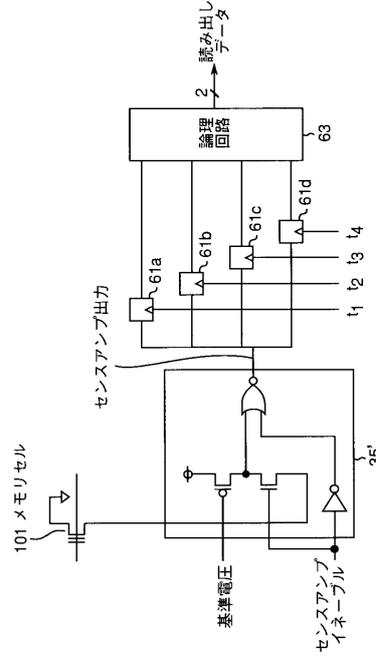
【図2】



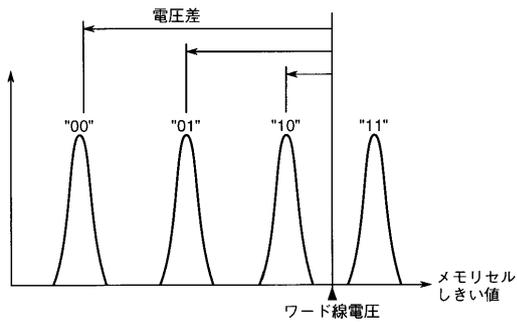
【図3】



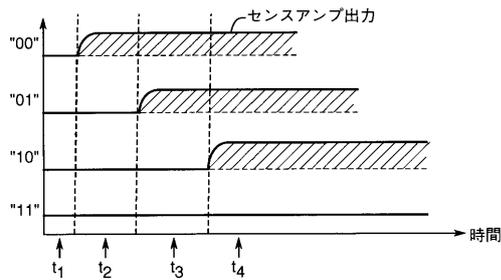
【図4】



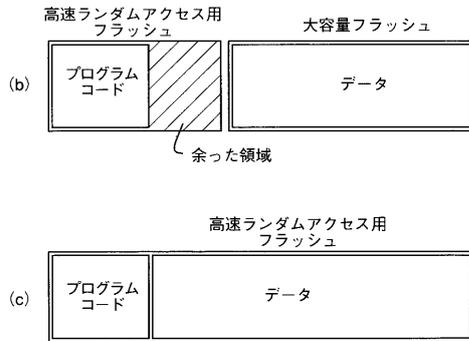
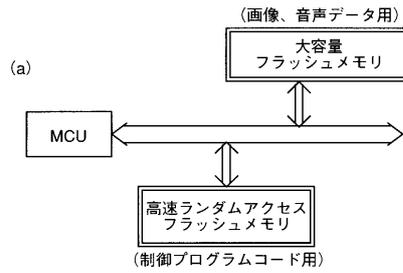
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 甲斐 芳英
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 滝谷 亮一

(56)参考文献 特開平10-106279(JP,A)
米国特許第05671388(US,A)
米国特許第05745409(US,A)
特開平09-139095(JP,A)
特開平06-222974(JP,A)
特開平11-176178(JP,A)
特開平09-091971(JP,A)
特開平10-106276(JP,A)
特開平10-208490(JP,A)
特開2001-043691(JP,A)
特開2000-173281(JP,A)
特表平10-501362(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C16/02-16/06