

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6354939号  
(P6354939)

(45) 発行日 平成30年7月11日(2018.7.11)

(24) 登録日 平成30年6月22日(2018.6.22)

(51) Int.Cl.		F I			
<b>H03B</b>	<b>5/30</b>	<b>(2006.01)</b>	H03B	5/30	A
<b>H03B</b>	<b>5/02</b>	<b>(2006.01)</b>	H03B	5/02	D

請求項の数 10 (全 19 頁)

(21) 出願番号	特願2014-86425 (P2014-86425)	(73) 特許権者	000002369
(22) 出願日	平成26年4月18日 (2014.4.18)		セイコーエプソン株式会社
(65) 公開番号	特開2015-207856 (P2015-207856A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成27年11月19日 (2015.11.19)	(74) 代理人	100090387
審査請求日	平成29年3月22日 (2017.3.22)		弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	竹林 祐一
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	重盛 三喜男
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路、発振器、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に、  
振動素子を発振させて発振信号を生成する発振回路と、  
前記発振信号に基づく信号を出力する第1の出力回路および第2の出力回路と、  
前記第1の出力回路および前記第2の出力回路の動作を制御する制御部と、  
前記発振信号を分周して第1の分周信号を生成する第1の分周回路と、  
前記第1の分周信号を分周して第2の分周信号を生成する第2の分周回路と、を有し、  
前記第1の分周回路は、  
前記第1の分周信号に基づく信号を前記第1の出力回路に出力し、  
前記第2の分周回路は、  
前記第2の分周信号に基づく信号を前記第2の出力回路に出力し、  
前記第1の分周回路は、  
前記第2の分周回路が前記第1の分周信号を分周するのに要する時間だけ前記第1の分周信号を遅延させた第1の分周遅延信号を生成する遅延回路を含み、  
前記第2の分周回路は、  
前記第1の分周遅延信号又は前記第2の分周信号を選択して出力するセレクターを含む  
 半導体集積回路。

【請求項2】

前記制御部は、前記第1の出力回路および前記第2の出力回路の動作を独立に制御する

、請求項 1 に記載の半導体集積回路。

【請求項 3】

前記半導体集積回路は、  
第 1 の電源端子と、  
第 2 の電源端子と、  
を含み、

前記第 1 の出力回路は、

前記第 1 の電源端子から電源電圧が供給され、

前記第 2 の出力回路は、

前記第 2 の電源端子から電源電圧が供給される、請求項 1 または 2 に記載の半導体集積回路。 10

【請求項 4】

前記第 1 の分周回路は、

前記第 1 の電源端子から電源電圧が供給され、

前記第 2 の分周回路は、

前記第 2 の電源端子から電源電圧が供給される、請求項 3 に記載の半導体集積回路。

【請求項 5】

振動素子を発振させて発振信号を生成する発振部と、

前記発振信号に基づく信号を出力する第 1 の出力回路および第 2 の出力回路と、

前記第 1 の出力回路および前記第 2 の出力回路を制御する制御部と、 20

前記発振信号を分周して第 1 の分周信号を生成する第 1 の分周回路と、

前記第 1 の分周信号を分周して第 2 の分周信号を生成する第 2 の分周回路と、を有し、

前記制御部は、前記第 1 の出力回路および前記第 2 の出力回路から出力される出力信号のうち、少なくとも一方の出力信号の状態を制御し、

前記第 1 の分周回路は、

前記第 1 の分周信号に基づく信号を前記第 1 の出力回路に出力し、

前記第 2 の分周回路は、

前記第 2 の分周信号に基づく信号を前記第 2 の出力回路に出力し、

前記第 1 の分周回路は、

前記第 2 の分周回路が前記第 1 の分周信号を分周するのに要する時間だけ前記第 1 の分周信号を遅延させた第 1 の分周遅延信号を生成する遅延回路を含み、 30

前記第 2 の分周回路は、

前記第 1 の分周遅延信号又は前記第 2 の分周信号を選択して出力するセレクターを含む半導体集積回路。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体集積回路と、前記振動素子と、前記半導体集積回路および前記振動素子が収容されるパッケージとを有する発振器。

【請求項 7】

前記振動素子は、弾性表面波共振子である、請求項 6 に記載の発振器。

【請求項 8】 40

前記第 1 の出力回路からの信号を出力する第 1 の出力端子と、

前記第 2 の出力回路からの信号を出力する第 2 の出力端子と、

を含み、

前記第 1 の出力端子は、

前記パッケージの第 1 の辺に沿って配置され、

前記第 2 の出力端子は、

前記パッケージの前記第 1 の辺と対向する第 2 の辺に沿って配置される、請求項 6 または 7 に記載の発振器。

【請求項 9】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体集積回路、または請求項 6 乃至 8 のいずれ 50

れか1項に記載の発振器を含む、電子機器。

【請求項10】

請求項1乃至5のいずれか1項に記載の半導体集積回路、または請求項6乃至8のいずれか1項に記載の発振器を含む、移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路、発振器、電子機器及び移動体に関する。

【背景技術】

【0002】

近年、弾性表面波（SAW：Surface Acoustic Wave）を利用したSAW共振子を搭載する発振器が、高速ネットワーク通信、移動体通信分野などで使用されている。SAW共振子は、例えば水晶である圧電基板上にIDT電極（櫛形電極）を設けることで、弾性表面波を利用して高周波信号を取り出すことができる。弾性表面波の速度は圧電基板の種類で決まっており、SAW共振子では櫛形電極の周期を微細にするほどより高い発振周波数の信号を得られる。そのため、SAW共振子は容易に高周波に対応でき小型化も可能である。

10

【0003】

例えば、特許文献1は、SAW共振子（特許文献1では弾性表面波素子片）を厚底部に、電子部品を薄底部に配置することで、従来よりも更に小型化、薄型化が可能な発振器（特許文献1では圧電デバイス）を提案する。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-245994号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に記載の発振器では、出力信号を複数のICに入力させたい場合には、ファンアウトバッファで出力を分岐する必要があり、ファンアウトバッファまでの長い配線に起因してスキューが生じたりジッター特性が劣化したり、ファンアウトバッファの内部で出力信号のジッター特性が劣化する場合がある。また、ファンアウトバッファを使用することで、ファンアウトバッファの内部の配線長に起因してスキューが生じる場合がある。

30

【0006】

本発明は、以上の事を鑑みてなされたものであり、本発明のいくつかの態様によれば、出力信号を複数の回路に入力させてもジッター特性の劣化を低減させることが可能な、半導体集積回路を提供することができる、また、本発明のいくつかの態様によれば、この半導体集積回路を用いた信頼性の高い発振器、電子機器及び移動体を提供することができる。

40

【課題を解決するための手段】

【0007】

本発明は前述の課題の少なくとも一部を解決するためになされたものであり、以下の態様又は適用例として実現することが可能である。

【0008】

[適用例1]

本適用例に係る半導体集積回路は、振動素子を発振させて発振信号を生成する発振部と、前記発振信号に基づく信号を出力する第1の出力部および第2の出力部と、前記第1の出力部および前記第2の出力部を制御する制御部と、を有し、前記制御部は、前記第1の出力部および前記第2の出力部から出力される出力信号のうち、少なくとも一方の出力信

50

号の状態を制御する。

【 0 0 0 9 】

振動素子は、例えば、S A W (Surface Acoustic Wave) 共振子、A T カット水晶振動子、S C カット水晶振動子、音叉型水晶振動子、その他の圧電振動子や M E M S (Micro Electro Mechanical Systems) 振動子などである。

【 0 0 1 0 】

第 1 の出力回路と第 2 の出力回路の各々は、1 つの信号を出力してもよいし、異なる信号を出力してもよい。また、出力信号の各々は、差動信号であってもよいし、シングルエンド信号であってもよい。また、それぞれの出力部から信号が出力されるかされないかの状態や、それぞれの出力部から出力される信号の種類等の、出力信号の状態は、制御部によって制御される。

10

【 0 0 1 1 】

本適用例に係る半導体集積回路によれば、半導体集積回路に含まれる発振部、第 1 の出力部、および第 2 の出力部により、発振信号に基づく低ジッターの少なくとも 2 つの信号を出力することができるので、この少なくとも 2 つの信号を少なくとも 2 つの回路にそれぞれ供給すれば、外部にファンアウトバッファを設けて分岐させる必要がない。従って、出力信号を複数の回路に入力させてもジッター特性の劣化を低減させることができる。

【 0 0 1 2 】

[ 適用例 2 ]

本適用例に係る半導体集積回路は、半導体基板上に、振動素子を発振させて発振信号を生成する発振回路と、前記発振信号に基づく信号を出力する第 1 の出力回路および第 2 の出力回路と、前記第 1 の出力回路および前記第 2 の出力回路の動作を制御する制御部と、を有する。

20

【 0 0 1 3 】

振動素子は、例えば、S A W (Surface Acoustic Wave) 共振子、A T カット水晶振動子、S C カット水晶振動子、音叉型水晶振動子、その他の圧電振動子や M E M S (Micro Electro Mechanical Systems) 振動子などである。

【 0 0 1 4 】

第 1 の出力回路と第 2 の出力回路の各々は、1 つの信号を出力してもよいし、異なる信号を出力してもよい。また、出力信号の各々は、差動信号であってもよいし、シングルエンド信号であってもよい。それぞれの出力回路の信号出力状態、およびそれぞれの出力回路から出力される信号の種類は、制御部によって制御される。また、それぞれの出力回路から信号が出力されるかされないかの状態や、それぞれの出力回路から出力される信号の種類の設定等の、それぞれの出力回路の動作は、制御部によって制御される。

30

【 0 0 1 5 】

本適用例に係る半導体集積回路によれば、半導体集積回路に含まれる発振回路、第 1 の出力回路、および第 2 の出力回路により、発振信号に基づく低ジッターの少なくとも 2 つの信号を出力することができるので、この少なくとも 2 つの信号を少なくとも 2 つの回路にそれぞれ供給すれば、外部にファンアウトバッファを設けて分岐させる必要がない。従って、出力信号を複数の回路に入力させてもジッター特性の劣化を低減させることができる。

40

【 0 0 1 6 】

また、本適用例に係る半導体集積回路の後段の回路が、例えば第 1 の出力回路からの出力信号を必要とする場合、第 2 の出力回路からの出力信号を停止させる、あるいはハイインピーダンス状態にするかしないかといった動作を制御して柔軟な使い方が可能である。

【 0 0 1 7 】

[ 適用例 3 ]

上記適用例に係る半導体集積回路において、前記制御部は、前記第 1 の出力回路および前記第 2 の出力回路の動作を独立に制御してもよい。

【 0 0 1 8 】

50

本適用例に係る半導体集積回路によれば、第1の出力回路の動作と第2の出力回路の動作とを独立に制御できるため、例えば、第1の出力回路からの出力信号だけを必要とする場合、第2の出力回路からの出力信号を停止させる、あるいはハイインピーダンス状態にするといった柔軟な使い方が可能である。

【0019】

[適用例4]

上記適用例に係る半導体集積回路において、前記半導体集積回路は、第1の電源端子と、第2の電源端子と、を含み、前記第1の出力回路は、前記第1の電源端子から電源電圧が供給され、前記第2の出力回路は、前記第2の電源端子から電源電圧が供給されてもよい。

10

【0020】

本適用例に係る半導体集積回路によれば、第1の出力回路と第2の出力回路の電源端子を別にしていて、一方の信号のノイズが電源を経由して他方の信号に乗ることを低減させることができる。

【0021】

また、本適用例に係る半導体集積回路によれば、後段の回路が例えば第1の出力回路からの出力信号だけを必要とする場合、第2の電源端子から電源電圧の供給を停止することも可能になる。従って、不要な消費電力を抑制することが可能である。

【0022】

[適用例5]

上記適用例に係る半導体集積回路において、前記半導体集積回路は、前記発振信号を分周して第1の分周信号を生成する第1の分周回路と、前記第1の分周信号を分周して第2の分周信号を生成する第2の分周回路と、を含み、前記第1の分周回路は、前記第1の電源端子から電源電圧が供給され、前記第1の分周信号に基づく信号を前記第1の出力回路に出力し、前記第2の分周回路は、前記第2の電源端子から電源電圧が供給され、前記第2の分周信号に基づく信号を前記第2の出力回路に出力してもよい。

20

【0023】

本適用例に係る半導体集積回路によれば、第1の分周回路と第2の分周回路の設定により、第1の出力回路からの出力信号の周波数と、第2の出力回路からの出力信号の周波数とが異なるようにすることができる。従って、後段の複数の回路は、それぞれ周波数が異なる複数の出力信号を受け取ることができる。

30

【0024】

さらに、本適用例に係る半導体集積回路によれば、半導体集積回路の外部で分周回路を設ける必要がないので、後段の回路は、ジッター特性のよい出力信号を受け取ることが可能である。

【0025】

なお、第1の分周回路、第2の分周回路は入力信号をそのまま出力することも可能である。そのため、本適用例に係る半導体集積回路の後段の回路は、必要に応じて周波数が同じ出力信号を受け取ることができる。

【0026】

[適用例6]

上記適用例に係る半導体集積回路において、前記第1の分周回路は、前記第2の分周回路が前記第1の分周信号を分周するのに要する時間だけ前記第1の分周信号を遅延させる遅延回路を含んでもよい。

40

【0027】

本適用例に係る半導体集積回路によれば、遅延回路により、第1の出力回路が第1の分周信号に基づく信号を受け取る時間と、第2の出力回路が第2の分周信号に基づく信号を受け取る時間と、を合わせることができる。従って、本適用例に係る半導体集積回路によれば、スキューの小さい複数の出力信号を生成することが可能である。

【0028】

50

## 〔適用例 7〕

本適用例に係る発振器は、上記のいずれかの半導体集積回路と、前記振動素子と、前記半導体集積回路および前記振動素子が収容されるパッケージとを有する。

## 【0029】

本適用例に係る発振器によれば、集半導体積回路に含まれる第1の出力回路および第2の出力回路により、発振信号に基づく低ジッターの少なくとも2つの信号を出力することができるので、この少なくとも2つの信号を複数の回路にそれぞれ供給すれば、外部にファンアウトバッファを設けて分岐させる必要がない。従って、出力信号を複数の回路に入力させてもジッター特性の劣化を低減させることができる。

## 【0030】

10

## 〔適用例 8〕

上記適用例に係る発振器において、前記振動素子は、弾性表面波共振子であってもよい。

## 【0031】

本適用例に係る発振器の振動素子は、弾性表面波共振子（以下、SAW共振子）である。SAW共振子では楕形電極の周期を微細にするほどより高い発振周波数の信号を得られる。そのため、本適用例に係る発振器は高い発振周波数を実現しながら、小型化も可能である。

## 【0032】

## 〔適用例 9〕

20

上記適用例に係る発振器において、前記第1の出力回路からの信号を出力する第1の出力端子と、前記第2の出力回路からの信号を出力する第2の出力端子と、を含み、前記第1の出力端子は、前記パッケージの第1の辺に沿って配置され、前記第2の出力端子は、前記パッケージの前記第1の辺と対向する第2の辺に沿って配置されてもよい。

## 【0033】

本適用例に係る発振器によれば、第1の出力回路からの出力信号と第2の出力回路からの出力信号との干渉を回避し、スキューが小さく、ジッター特性のよい複数の出力信号を生成することができる。

## 【0034】

さらに、干渉を回避するために、第1の出力回路と第2の出力回路とが半導体基板上で離れてレイアウトされていてもよい。

30

## 【0035】

## 〔適用例 10〕

本適用例に係る電子機器は、上記のいずれかの半導体集積回路、または発振器を含む。

## 【0036】

## 〔適用例 11〕

本適用例に係る移動体は、上記のいずれかの半導体集積回路、または発振器を含む。

## 【0037】

これらの適用例によれば、半導体集積回路、または発振器の後段の複数の回路は低ジッターの複数の出力信号を受け取ることができるので、信頼性の高い電子機器、移動体を実現できる。

40

## 【図面の簡単な説明】

## 【0038】

【図1】本実施形態に係る発振器のブロック図。

【図2】SAW共振子および発振回路の構成例を示す図。

【図3】分周回路および出力回路の構成例を示す図。

【図4】本実施形態に係る発振器の信号のタイミングを例示する図。

【図5】本実施形態に係る発振器の端子の配置例を示す図。

【図6】電子機器の機能ブロック図。

【図7】電子機器の外観の一例を示す図。

50

【図8】移動体の一例を示す図。

【図9】比較例の発振器で複数の出力信号を生成する例を示す図。

【発明を実施するための形態】

【0039】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0040】

1. 発振器

図1は、本実施形態の発振器1の構成を示す図である。発振器1は、SAW共振子26（振動素子の一例）と、半導体集積回路10と、を含む。SAW共振子26は、半導体集積回路10に含まれる発振回路12と接続される。

10

【0041】

発振器1は全部で14の端子を有している。端子T1、端子T2、端子T3にはそれぞれ電源電圧VDD1、VDD2、VDD3が供給され、端子T4および端子T5は接地電圧VSSが供給される。なお、電源電圧VDD1～VDD3は、いずれも同じ電圧であるものとする。端子T6には発振器1の出力イネーブル信号が入力される。出力イネーブル信号がハイレベルのときに端子T7～端子T14からクロック信号が出力される。

【0042】

端子T7～端子T14は、差動信号である4つのクロック信号を出力するのに使われる。端子T7、端子T8は、それぞれ、第1のクロック信号の非反転信号116P、反転信号116Nを出力する。端子T9、端子T10は、それぞれ、第2のクロック信号の非反転信号117P、反転信号117Nを出力する。端子T11、端子T12は、それぞれ、第3のクロック信号の非反転信号118P、反転信号118Nを出力する。端子T13、端子T14は、それぞれ、第4のクロック信号の非反転信号119P、反転信号119Nを出力する。

20

【0043】

半導体集積回路10は、発振回路12、制御部13、第1の分周回路15、第1の出力回路16、第2の分周回路17、第2の出力回路18を含む。第1の分周回路15および第1の出力回路16は、端子T1（第1の電源端子の一例）から電源電圧VDD1を受け取って動作する。第2の分周回路17および第2の出力回路18は、端子T2（第2の電源端子の一例）から電源電圧VDD2を受け取って動作する。

30

【0044】

ここで、第1のグループ21、第2のグループ22は、半導体集積回路10の回路を電源電圧の供給元で区分したものである。すなわち、第1の分周回路15および第1の出力回路16は、電源電圧VDD1で動作し、第2の分周回路17および第2の出力回路18は、電源電圧VDD2で動作する。

【0045】

なお、発振回路12、制御部13は、端子T3から電源電圧VDD3を受け取って動作してもよい。発振器1は、例えば第2の出力回路18からの出力が不要な場合に電源電圧VDD2の供給を停止して、第2のグループ22全体を停止させて消費電力を抑えることができる。また、発振器1は、例えば第1の出力回路16からの出力も不要な場合に電源電圧VDD1の供給も停止して、第1のグループ21および第2のグループ22全体を停止させて消費電力を抑えることができる。このような場合でも、発振回路12、制御部13は動作を継続することが可能である。

40

【0046】

発振回路12は、SAW共振子26と接続されて発振ループを形成する。発振回路12は、SAW共振子26を発振させて発振信号112を生成する。なお、発振回路12は本実施形態ではSAW共振子26と接続されるが、SAW共振子26に代えて、ATカット水晶振動子、SCカット水晶振動子、音叉型水晶振動子、その他の圧電振動子やMEMS

50

(Micro Electro Mechanical Systems) 振動子などの振動素子と接続されてもよい。また、SAW共振子26や振動素子の基板材料としては、水晶の他、タンタル酸リチウム、ニオブ酸リチウム等の圧電単結晶や、ジルコン酸チタン酸鉛等の圧電セラミックス等の圧電材料、又はシリコン半導体材料等を用いてもよい。SAW共振子26や振動素子の励振手段としては、圧電効果によるものを用いてもよいし、クーロン力による静電駆動を用いてもよい。

**【0047】**

制御部13には、端子T6を介して発振器1の出力イネーブル信号が入力される。そして、制御部13は、発振器1の出力イネーブル信号に基づいて第1の出力回路16、第2の出力回路18からクロック信号を出力させるかを制御する。制御部13は、発振器1の出力イネーブル信号に基づく制御信号216によって、第1の出力回路16から第1のクロック信号および第2のクロック信号を出力させるか、それともハイインピーダンス状態とするかを制御する。

10

**【0048】**

また、制御部13は、発振器1の出力イネーブル信号に基づく制御信号218によって、第2の出力回路18から第3のクロック信号および第4のクロック信号を出力させるか、それともハイインピーダンス状態とするかを制御する。

**【0049】**

そして、制御部13は、不図示の半導体集積回路10のボンディングオプションパッドの電圧レベルに基づいて、制御信号215および制御信号217を生成する。そして、制御部13は、制御信号215によって、第1の分周回路15の分周比を指定する。また、制御部13は、制御信号217によって、第2の分周回路17の分周比を指定する。なお、制御部13は、不図示の制御信号によって発振回路12についても動作の停止や開始を指示してもよい。

20

**【0050】**

なお、制御部13はCPUであってもよい。このとき、そのプログラムを記憶した不図示の記憶部があり、発振器1の出力イネーブル信号およびプログラムに従って前記の制御を行ってもよい。また、第1の出力回路16および第2の出力回路18から出力される信号は、差動信号以外のシングルエンドの信号でもよいし、CMOS、LV-PECL、LV-TTL、LVDS、またはHCSL等に対応した信号でもよい。さらに、第1の出力回路および第2の出力回路の少なくとも一方を、前記各種類の信号のうち2つ以上が出力できるような回路構成としておき、端子T6を介して入力された信号に基づいて制御部13から出力される信号により、第1の出力回路および第2の出力回路の少なくとも一方から出力される信号が切り替わるような制御が行われてもよい。

30

**【0051】**

第1の分周回路15は、発振信号112を分周して第1の分周信号114生成し、さらに第1の分周信号114を遅延させた第1の分周遅延信号115を生成する。このとき、分周比は制御信号215によって定められる。例えば、第1の分周回路15は、1、1/2、1/4、1/8の分周比を選択可能である。なお、分周比が1の場合には、発振信号112がそのまま第1の分周信号114として出力される。

40

**【0052】**

第1の出力回路16は、シングルエンド入力を差動出力に変換するバッファを2つ含んでいる。それぞれのバッファは信号125を受け取り、第1のクロック信号、第2のクロック信号として差動出力する。第1の出力回路16は、制御信号216に基づいて、第1のクロック信号、第2のクロック信号を出力するか、ハイインピーダンス状態とするかを選択する。なお、本実施形態では第1の出力回路16に含まれるバッファは2つであるが、1つであってもよいし、3つ以上であってもよい。

**【0053】**

ここで、図1のように、第1の出力回路16は第1の分周遅延信号115をさらに遅延させた信号125を受け取る。信号125は、第1の分周信号114に基づく信号であり

50

、第1の分周信号114、第1の分周遅延信号115との関係については、後に図3を参照して説明する。

【0054】

第2の分周回路17は、第1の分周信号114、第1の分周遅延信号115を受け取り、信号127を出力する。信号127は第2の分周信号124に基づく信号であり、第2の分周回路17の分周比は制御信号217によって定められる。例えば、第2の分周回路17は、1または1/2の分周比を選択可能である。分周比が1/2である場合、第2の分周回路17は周波数が第1の分周信号114の1/2である第2の分周信号124を信号127とする。そして、分周比が1である場合、第2の分周回路17は第1の分周遅延信号115を信号127とする。

10

【0055】

第2の出力回路18は、シングルエンド入力を差動出力に変換するバッファを2つ含んでいる。それぞれのバッファは、信号127を受け取り、第3のクロック信号、第4のクロック信号として差動出力する。第2の出力回路18は、制御信号218に基づいて、第3のクロック信号、第4のクロック信号を出力するか、ハイインピーダンス状態とすることをを選択する。なお、本実施形態では第2の出力回路18に含まれるバッファは2つであるが、1つであってもよいし、3つ以上であってもよい。

【0056】

図2は、SAW共振子26および発振回路12の詳細な構成を示す図である。なお、図1と同じ信号には同じ符号を付しており説明を省略する。SAW共振子26は、圧電基板上に、弾性表面波の伝搬方向に沿って櫛形電極29を配置し、その両側にグレーティング反射器27A、27Bを配置して構成される。中央の櫛形電極29で弾性表面波を励振して、両側のグレーティング反射器27A、27Bで励起された弾性表面波の振動エネルギーを櫛形電極29の方向に反射することで振動子（共振子）を構成している。SAW共振子26は電極間隔で周波数が決まるため、フォトリソグラフィ加工によって高い周波数を容易に得ることができ、サイズも小さくできる。

20

【0057】

そして、インバーター24、帰還抵抗28、コンデンサー41、42が、櫛形電極29と図2のように接続されて、帰還型の発振回路12を構成している。帰還抵抗28を接続したインバーター24はアナログ増幅回路として機能する。そして、SAW共振子26を発振させて発振信号112を生成する。

30

【0058】

図3は、第1の分周回路15、第1の出力回路16、第2の分周回路17、第2の出力回路18の詳細な構成を示す図である。なお、図1および図2と同じ信号には同じ符号を付しており説明を省略する。

【0059】

第1の分周回路15は、発振信号112を受け取り、フリップフロップ150、152、154で、それぞれ周波数が発振信号112の1/2、1/4、1/8である信号を生成する。そして、セレクター156は、制御部13が指定する分周比に応じてこれらの信号を選択して第1の分周信号114とする。ここで、セレクター156は分周比が1の場合に対応して、発振信号112も選択可能である。また、セレクター156の選択信号S1は、制御部13からの制御信号215の一部が対応する。

40

【0060】

第1の分周回路15は、第1の分周信号114を遅延回路158で遅延させて第1の分周遅延信号115を生成する。ここで、遅延回路158による遅延時間は、第2の分周回路17が第1の分周信号114を分周するのに要する時間と同じになるように設計される。

【0061】

また、第1の分周回路15は、第2の分周回路17が含むセレクター172Aと同じ回路構成のセレクター172Bを含む。セレクター172Bの選択信号S2は、第2の分周

50

回路 17 のセレクター 172A の選択信号 S2 と共通である。そのため、第 1 の分周回路 15 からの信号 125 が第 1 の出力回路 16 に入力されるタイミングと、第 2 の分周回路 17 からの信号 127 が第 2 の出力回路 18 に入力されるタイミングと、を合わせることができる。セレクター 172B の選択信号 S2 は、制御部 13 からの制御信号 215 の一部が対応する。

【0062】

第 1 の出力回路 16 は、2 つのバッファ 160、162 を含む。バッファ 160、162 は、シングルエンド信号である信号 125 を受け取って、差動信号を出力する。バッファ 160 は、第 1 のクロック信号の非反転信号 116P、反転信号 116N を出力する。バッファ 162 は、第 2 のクロック信号の非反転信号 117P、反転信号 117N を出力する。

10

【0063】

第 1 の出力回路 16 は、制御信号 E12 に従って、2 つのバッファ 160、162 をハイインピーダンス状態にすることができる。制御信号 E12 は、制御部 13 からの制御信号 216 が対応する。

【0064】

第 2 の分周回路 17 は、第 1 の分周信号 114 を受け取り、フリップフロップ 170 で、周波数が第 1 の分周信号 114 の  $1/2$  である第 2 の分周信号 124 を生成する。そして、セレクター 172A は、第 1 の分周遅延信号 115 と第 2 の分周信号 124 とを受け取り、制御部 13 が指定する分周比に応じてこれらの信号を選択して信号 127 とする。つまり、セレクター 172A は、分周比が 1 の場合には第 1 の分周遅延信号 115 を出力し、分周比が  $1/2$  の場合には第 2 の分周信号 124 を出力する。なお、セレクター 172A の選択信号 S2 は、制御部 13 からの制御信号 217 が対応する。

20

【0065】

ここで、図 4 は、第 2 の分周回路 17 で分周比が  $1/2$  の場合の第 2 の分周信号 124 と、第 1 の分周信号 114、第 1 の分周遅延信号 115 との関係を示す図である。第 2 の分周回路 17 が第 1 の分周信号 114 を受け取り、分周することによって第 2 の分周信号 124 を生成するまでに、時刻  $t_0$  ~ 時刻  $t_1$  に相当する時間（すなわち  $d_0$ ）がかかる。ここで、第 1 の分周回路 15 は、 $d_0$  の遅延を生じさせる遅延回路 158 を含んでいる。そのため、第 1 の分周遅延信号 115 と第 2 の分周信号 124 の位相を揃えることができる（時刻  $t_1$  ~ 時刻  $t_8$ ）。よって、位相が揃った 4 つのクロック信号を出力することができる。

30

【0066】

なお、図 4 の時刻  $t_2$ 、時刻  $t_4$ 、時刻  $t_6$ 、時刻  $t_8$  では、第 1 の分周遅延信号 115 の立ち上がりに第 2 の分周信号 124 の立ち下がりが対応している。そのため、第 1 の分周遅延信号 115 と第 2 の分周信号 124 とが隣接して平行に配線されている場合などにジッター特性の悪化が生じやすくなる。本実施形態の発振器 1 では、図 5 を参照して後に説明するように、レイアウトでの工夫によって、このようなジッター特性の悪化も回避できる。

【0067】

第 2 の出力回路 18 は、2 つのバッファ 180、182 を含む。バッファ 180、182 は、シングルエンド信号である信号 127 を受け取って、差動信号を出力する。バッファ 180 は、第 3 のクロック信号の非反転信号 118P、反転信号 118N を出力する。バッファ 182 は、第 4 のクロック信号の非反転信号 118P、反転信号 118N を出力する。

40

【0068】

第 2 の出力回路 18 は、制御信号 E34 に従って、2 つのバッファ 180、182 をハイインピーダンス状態にすることができる。制御信号 E34 は、制御部 13 からの制御信号 218 が対応する。

【0069】

50

なお、本実施形態では、第1の出力回路16と第2の出力回路18とが同じ数のバッファを含んでいるが、バッファの数について同じである必要はなく、第1の出力回路16、第2の出力回路18はそれぞれ任意の数のバッファを含むことができる。

【0070】

ここで、図9は、比較例の発振器1001からの1つのクロック信号をファンアウトバッファ1020で分岐して4つのクロック信号を生成した場合を示す図である。図9の場合にも、本実施形態の発振器1と同じように、最終的には4つのクロック信号を生成することができる。

【0071】

比較例の発振器1001は4つの端子を有している。端子U1には電源電圧VDDが供給され、端子U2は接地電圧VSSが供給される。端子U3および端子U4は、差動信号である1つのクロック信号を出力するのに使われる。端子U3、端子U4は、それぞれ、クロック信号の非反転信号1116P、反転信号1116Nを出力する。

10

【0072】

発振器1001は、SAW共振子1026、発振回路1012、制御部1013、分周回路1015、出力回路1016を含む。SAW共振子1026、発振回路1012、制御部1013は、それぞれ、本実施形態の発振器1が含むSAW共振子26、発振回路12、制御部13に対応し、機能も同じであるため説明を省略する。

【0073】

分周回路1015は、本実施形態の発振器1が含む第1の分周回路15から、遅延回路158、セレクター172Bを省いたものに対応する(図3参照)。このとき、出力回路1016は、分周回路1015から、第1の分周回路15の第1の分周信号114に対応する信号を受け取る。

20

【0074】

出力回路1016は、本実施形態の発振器1が含む第1の出力回路16から、バッファ162を省いたものに対応する(図3参照)。このとき、クロック信号の非反転信号1116P、反転信号1116Nだけが、比較例の発振器1001から出力される。

【0075】

ファンアウトバッファ1020は全部で10個の端子を有している。端子V1、端子V2は発振器1001から、それぞれ非反転信号1116P、反転信号1116Nを受け取るための入力端子である。そして、端子V3～端子V10は、差動信号である4つのクロック信号を出力するのに使われる。なお、端子V3～端子V10は、それぞれ本実施形態の発振器1の端子T7～端子T14(図1参照)に対応し、詳細な説明を省略する。

30

【0076】

ファンアウトバッファ1020は、図9のように、受け取った非反転信号1116P、反転信号1116Nを、それぞれバッファを用いて分岐して、入力されたクロック信号と同じ波形、周波数の4つのクロック信号を生成する。したがって、比較例の発振器1001とファンアウトバッファ1020とを組み合わせることで、4つのクロック信号を生成することができる。

【0077】

しかし、比較例の構成では、ファンアウトバッファ1020が分周器を含まず、本実施形態の発振器1のように異なる周波数のクロック信号を出力することができない。また、発振器1001の端子U3、端子U4から、ファンアウトバッファ1020の端子V1、端子V2に至る配線において外来ノイズが混入するおそれや、配線のインダクタンス成分、キャパシタンス成分の影響で波形が歪んでジッター特性が悪化するおそれがある。また、選択するファンアウトバッファ1020によっては、その内部での遅延が4つのクロック信号で異なる可能性もある。

40

【0078】

しかし、本実施形態の発振器1では、第1の分周信号114を分周して第2の分周信号124を生成する第2の分周回路17を含んでいる。そのため、バッファ160および

50

バッファー 162 からのクロック信号の周波数と、バッファー 180 およびバッファー 182 からのクロック信号の周波数とが異なるように設定可能である。

【0079】

また、本実施形態の発振器 1 では、4 つのクロック信号を出力する第 1 の出力回路 16 および第 2 の出力回路 18 までが、1 つの半導体基板上に集積されている。そのため、比較例のように端子間の配線において外来ノイズが混入したり、そのインダクタンス成分等でジッター特性が悪化したりするおそれが少ない。

【0080】

そして、本実施形態の発振器 1 では、前記のように、第 1 の分周回路 15 からの信号 125 が第 1 の出力回路 16 に入力されるタイミングと、第 2 の分周回路 17 からの信号 127 が第 2 の出力回路 18 に入力されるタイミングと、を合わせることができる。そのため、第 1 の分周信号 114 を分岐させることによるジッター特性の悪化が生じにくくすることができる。

10

【0081】

図 5 は、本実施形態に係る発振器 1 の端子 T1 ~ 端子 T14 の配置例を示す図である。ここで、図 5 の発振器 1 はパッケージを上から見た図であるが、内部の半導体集積回路 10 について説明するため一部の領域 R1 を透過させている。なお、図 1 ~ 図 3 と同じ要素には同じ符号を付しており説明を省略する。

【0082】

図 5 では、本実施形態に係る発振器 1 の端子 T1 ~ 端子 T14 が、紙面左上から時計回りに、端子 T2 (端子名: VDD2)、端子 T14 (端子名: XOUT4)、端子 T13 (端子名: OUT4)、端子 T12 (端子名: XOUT3)、端子 T11 (端子名: OUT3)、端子 T6 (端子名: OE)、端子 T4 (端子名: VSS)、端子 T9 (端子名: OUT2)、端子 T10 (端子名: XOUT2)、端子 T7 (端子名: OUT1)、端子 T8 (端子名: XOUT1)、端子 T1 (端子名: VDD1)、端子 T5 (端子名: VSS)、端子 T3 (端子名: VDD3) の順で配置されている。なお、以下では説明の都合上、端子名を用いて端子を指定する場合がある。

20

【0083】

そして、領域 R1 の部分に示すように、発振器 1 は端子 T1 ~ 端子 T14 のそれぞれに電氣的に接続されている配線 w1 ~ 配線 w14 を含んでいる。半導体集積回路 10 上に複数並んでいる実線の正方形はコンタクトパッドであり、ワイヤーボンディングにより配線 w1 ~ 配線 w14 と電氣的に接続される。

30

【0084】

ここで、本実施形態の発振器 1 では、第 1 のグループ 21 (図 1 参照) に含まれる第 1 の出力回路 16 からの第 1 および第 2 のクロック信号を出力する OUT1、XOUT1、OUT2、XOUT2 は紙面の下辺 (第 1 の辺の一例) に配置されている。また、第 1 のグループ 21 へ電源を供給するための VDD1 も紙面の下辺に配置されている。

【0085】

一方で、第 2 のグループ 22 (図 1 参照) に含まれる第 2 の出力回路 18 からの第 3 および第 4 のクロック信号を出力する OUT3、XOUT3、OUT4、XOUT4 は紙面の 40 上辺 (第 2 の辺の一例) に配置されている。また、第 2 のグループ 22 へ電源を供給するための VDD2 も紙面の 40 上辺に配置されている。

40

【0086】

本実施形態の発振器 1 では、OUT1、XOUT1、OUT2、XOUT2 (それぞれ第 1 の出力端子の一例) と、OUT3、XOUT3、OUT4、XOUT4 (それぞれ第 2 の出力端子の一例) とが、対向する辺のそれぞれに配置されている。そのため、発振器 1 は、第 1 および第 2 のクロック信号と第 3 および第 4 のクロック信号との干渉を低減し、ばらつきが少なく、ジッター特性のよい複数のクロック信号を生成することができる。

【0087】

このとき、第 1 のグループ 21 と、第 2 のグループ 22 とで異なる電源端子を用いてい

50

るため、共通の電源を介して一方の出力信号から他方の出力信号へのノイズの回りこみも小さい。そのため、高周波数の第1および第2のクロック信号に低周波の第3および第4のクロック信号からのノイズがのって低周波のスプリアスとして観察されるといった問題も生じにくい。

【0088】

さらに、半導体集積回路10は、上辺に近い領域R2と下辺に近い領域R3に区分されるとする。このとき、第1の分周回路15、第1の出力回路16といった第1のグループ21を構成する回路は領域R3に配置される。一方、第2の分周回路17、第2の出力回路18といった第2のグループ22を構成する回路は領域R2に配置される。このように回路を配置することで、1つの半導体基板上に集積しても、周波数が異なる可能性のある第1のグループ21に属する信号と、第2のグループ22に属する信号とが干渉しにくくすることができる。

10

【0089】

なお、本実施形態の発振器1では、半導体集積回路10から離れた領域R4にSAW共振子26が配置されているが、小型化のために例えば半導体集積回路10と重なって(3次元的に上下の方向、すなわち紙面の手前又は奥に)SAW共振子26が配置されてもよい。

【0090】

以上のように、本実施形態の発振器1は、複数のバッファ(バッファ160、162、180、182)と発振回路12とを1つの半導体基板上に集積しても、バッファからの出力信号(第1~第4のクロック信号)の劣化を低減できる。

20

【0091】

## 2. 電子機器

本実施形態の電子機器300について、図6~図7を用いて説明する。なお、図1~図5と同じ要素については同じ番号、符号を付しており説明を省略する。

【0092】

図6は、電子機器300の機能ブロック図である。電子機器300は、発振回路12とSAW共振子26とを含む発振部200、CPU(Central Processing Unit)320、操作部330、ROM(Read Only Memory)340、RAM(Random Access Memory)350、通信部360、表示部370、音出力部380を含んで構成されている。なお、電子機器300は、図6の構成要素(各部)の一部を省略又は変更してもよいし、他の構成要素を付加した構成としてもよい。

30

【0093】

発振部200は、クロックパルスをCPU320だけでなく各部に供給する(図示は省略)。なお、発振部200は、前記の半導体集積回路10とSAW共振子26とが接続された発振器1に対応する。ただし、図6では半導体集積回路10のうち発振回路12のみを示している。

【0094】

CPU320は、ROM340等に記憶されているプログラムに従い、発振部200が出力するクロックパルス(前記の半導体集積回路10からのクロック信号に対応)を用いて各種の計算処理や制御処理を行う。具体的には、CPU320は、操作部330からの操作信号に応じた各種の処理、外部とデータ通信を行うために通信部360を制御する処理、表示部370に各種の情報を表示させるための表示信号を送信する処理、音出力部380に各種の音を出力させる処理等を行う。

40

【0095】

操作部330は、操作キーやボタンスイッチ等により構成される入力装置であり、ユーザーによる操作に応じた操作信号をCPU320に出力する。

【0096】

ROM340は、CPU320が各種の計算処理や制御処理を行うためのプログラムやデータ等を記憶している。

50

## 【 0 0 9 7 】

R A M 3 5 0 は、C P U 3 2 0 の作業領域として用いられ、R O M 3 4 0 から読み出されたプログラムやデータ、操作部 3 3 0 から入力されたデータ、C P U 3 2 0 が各種プログラムに従って実行した演算結果等を一時的に記憶する。

## 【 0 0 9 8 】

通信部 3 6 0 は、C P U 3 2 0 と外部装置との間のデータ通信を成立させるための各種制御を行う。

## 【 0 0 9 9 】

表示部 3 7 0 は、L C D (Liquid Crystal Display) 等により構成される表示装置であり、C P U 3 2 0 から入力される表示信号に基づいて各種の情報を表示する。

10

## 【 0 1 0 0 】

そして、音出力部 3 8 0 は、スピーカー等の音を出力する装置である。

## 【 0 1 0 1 】

前記の通り、発振部 2 0 0 (前記の発振器 1) は、ジッター特性のよい複数のクロックを供給する。このとき、発振部 2 0 0 は、高速なクロックを C P U 3 2 0 に供給し、低速なクロックをその他の機能ブロックに供給することも可能である。このとき、ファンアウトバッファ 1 0 2 0 が不要であるため、電子機器 3 0 0 の小型化が可能である。また、ジッターが生じることを回避するために、配線レイアウトに時間をかけることができなくなり、電子機器 3 0 0 の設計の効率化を図ることができる。

## 【 0 1 0 2 】

20

電子機器 3 0 0 としては種々が考えられる。例えば、パーソナルコンピュータ (例えば、モバイル型パーソナルコンピュータ、ラップトップ型パーソナルコンピュータ、タブレット型パーソナルコンピュータ)、携帯電話機などの移動体端末、デジタルスチールカメラ、インクジェット式吐出装置 (例えば、インクジェットプリンター)、ルーターやスイッチなどのストレージエリアネットワーク機器、ローカルエリアネットワーク機器、ネットワーク上で各種データの送受を行うサーバー機器、移動体端末基地局用機器、テレビ、ビデオカメラ、ビデオレコーダー、カーナビゲーション装置、ページャー、電子手帳 (通信機能付も含む)、電子辞書、電卓、電子ゲーム機器、ゲーム用コントローラー、ワードプロセッサ、ワークステーション、テレビ電話、防犯用テレビモニター、電子双眼鏡、P O S 端末、医療機器 (例えば電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡)、魚群探知機、各種測定機器、計器類 (例えば、車両、航空機、船舶の計器類)、フライトシミュレーター、ヘッドマウントディスプレイ、モーショントレース、モーショントラッキング、モーションコントローラー、P D R (歩行者位置方位計測) 等が挙げられる。

30

## 【 0 1 0 3 】

図 7 は、電子機器 3 0 0 の一例であるスマートフォンの外観の一例を示す図である。電子機器 3 0 0 であるスマートフォンは、操作部 3 3 0 としてボタンを、表示部 3 7 0 として L C D を備えている。そして、電子機器 3 0 0 であるスマートフォンは、発振部 2 0 0 (前記の発振器 1) を用いることで、小型化でき、設計の効率化を図ることができる。

## 【 0 1 0 4 】

40

## 3 . 移動体

本実施形態の移動体 4 0 0 について、図 8 を用いて説明する。

## 【 0 1 0 5 】

図 8 は、本実施形態の移動体 4 0 0 の一例を示す図 (上面図) である。図 8 に示す移動体 4 0 0 は、発振部 4 1 0、エンジンシステム、ブレーキシステム、キーレスエントリーシステム等の各種の制御を行うコントローラー 4 2 0、4 3 0、4 4 0、バッテリー 4 5 0、バックアップ用バッテリー 4 6 0 を含んで構成されている。なお、本実施形態の移動体は、図 8 の構成要素 (各部) の一部を省略又は変更してもよいし、他の構成要素を付加した構成としてもよい。

## 【 0 1 0 6 】

50

発振部 410 は、前記の発振器 1 に対応する。その他の構成要素の詳細な説明は省略するが、移動体の移動に必要な制御を行うため高い信頼性が要求される。例えば、バッテリー 450 の他に、バックアップ用バッテリー 460 を備えることで信頼性を高めている。

【0107】

そして、発振部 410 についても、信頼性を高めるためにバックアップ用の発振部 410 を備えることが好ましい。すなわち、複数のクロックを備えることが好ましい。このとき、発振部 410 を、前記の発振器 1 とすることで、ジッター特性のよい高品質のクロックを複数利用可能である。

【0108】

なお、このような移動体 400 としては種々の移動体が考えられ、例えば、自動車（電気自動車も含む）、ジェット機やヘリコプター等の航空機、船舶、ロケット、人工衛星等が挙げられる。

【0109】

本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0110】

上述した実施形態および変形例は一例であって、これらに限定されるわけではない。例えば、各実施形態および各変形例を適宜組み合わせることも可能である。

【0111】

本発明は、前記の実施形態で説明した構成と実質的に同一の構成（例えば、機能、方法および結果が同一の構成、あるいは目的および効果が同一の構成）を含む。また、本発明は、実施形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施形態で説明した構成に公知技術を付加した構成を含む。

【符号の説明】

【0112】

1 発振器、10 半導体集積回路、12 発振回路、13 制御部、15 第1の分周回路、16 第1の出力回路、17 第2の分周回路、18 第2の出力回路、21 第1のグループ、22 第2のグループ、24 インバーター、26 SAW共振子、27 A グレーティング反射器、27 B グレーティング反射器、28 帰還抵抗、29 楕円電極、41 コンデンサー、42 コンデンサー、112 発振信号、114 第1の分周信号、115 第1の分周遅延信号、116 N 反転信号、116 P 非反転信号、117 N 反転信号、117 P 非反転信号、118 N 反転信号、118 P 非反転信号、119 N 反転信号、119 P 非反転信号、124 第2の分周信号、125 信号、127 信号、150 フリップフロップ、152 フリップフロップ、154 フリップフロップ、156 セレクター、158 遅延回路、160 バッファ、162 バッファ、170 フリップフロップ、172 A セレクター、172 B セレクター、180 バッファ、182 バッファ、200 発振部、215 制御信号、216 制御信号、217 制御信号、218 制御信号、300 電子機器、320 CPU、330 操作部、340 ROM、350 RAM、360 通信部、370 表示部、380 音出力部、400 移動体、410 発振部、420 コントローラ、450 バッテリー、460 バックアップ用バッテリー、1001 発振器、1012 発振回路、1013 制御部、1015 分周回路、1016 出力回路、1020 ファンアウトバッファ、1026 SAW共振子、1116 N 反転信号、1116 P 非反転信号、E12 制御信号、E34 制御信号、R1 領域、R2 領域、R3 領域、R4 領域、S1 選択信号、S2 選択信号、T1 端子、T2 端子、T3 端子、T4 端子、T5 端子、T6 端子、T7 端子、T8 端子、T9 端子、T10 端子、T11 端子、T12 端子、T13 端子、T14 端子、U1 端子、U2 端子、U3 端子、U4 端子、V1 端子、V2 端子、V3 端子、V10

10

20

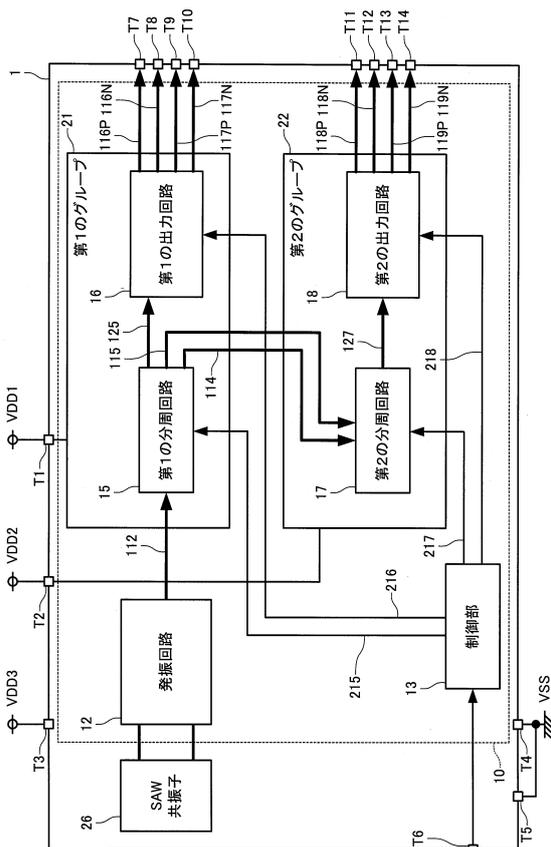
30

40

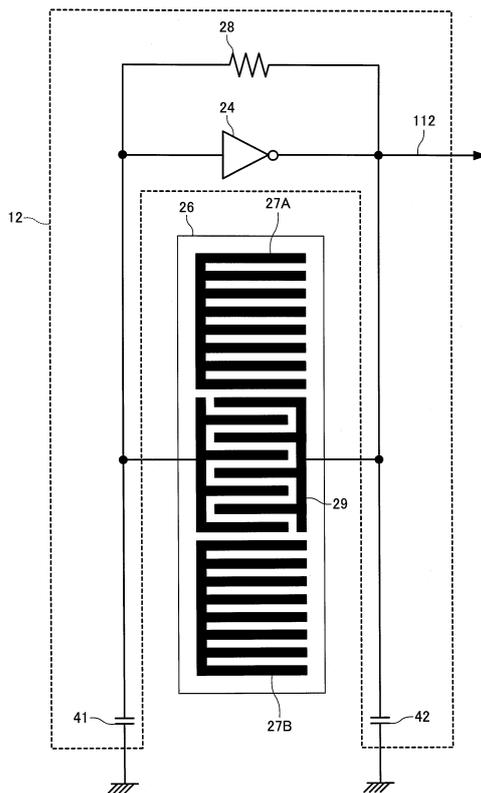
50

端子、VDD 電源電圧、VDD1 電源電圧、VDD2 電源電圧、VDD3 電源電圧、VSS 接地電圧、w1 ~ w14 配線

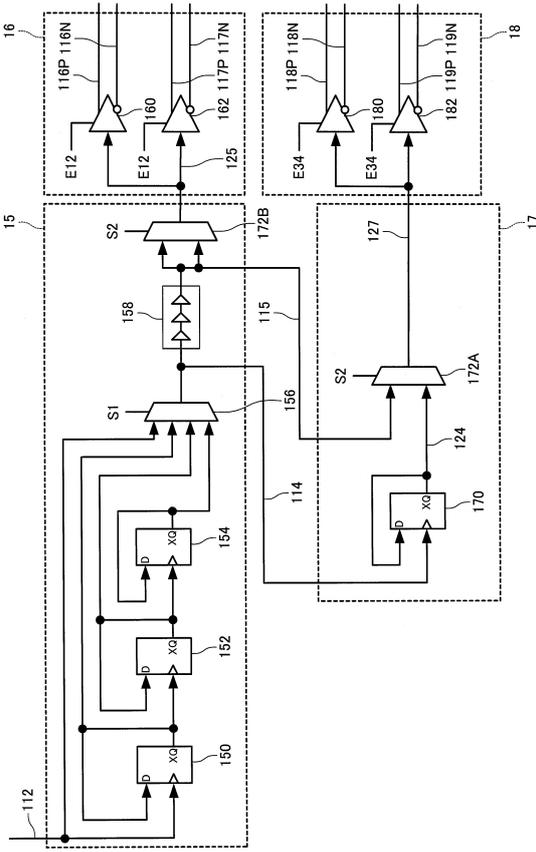
【図1】



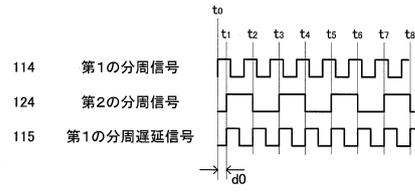
【図2】



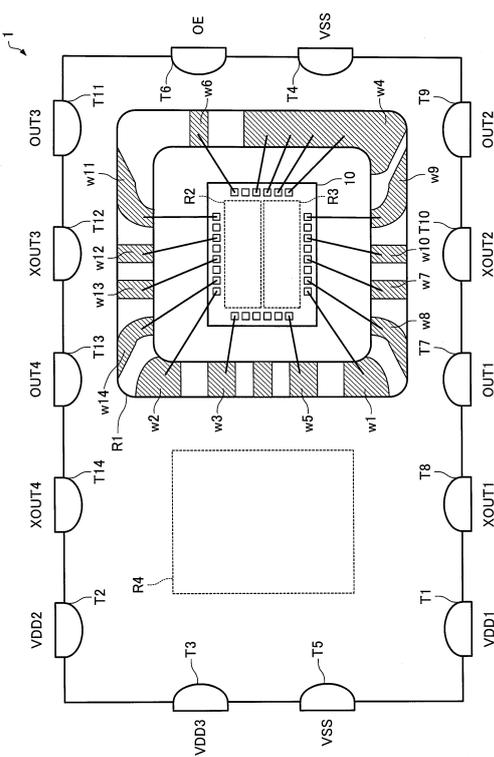
【図3】



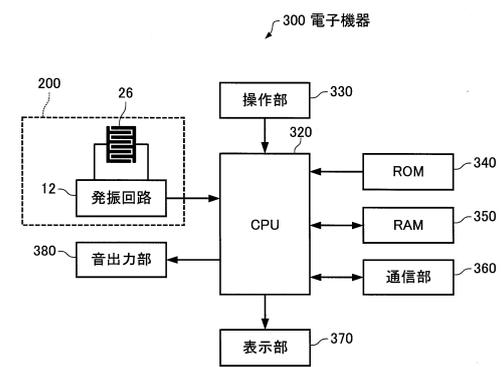
【図4】



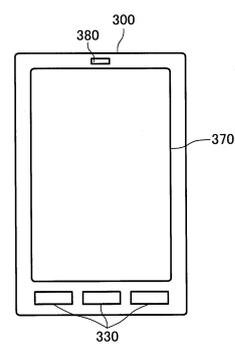
【図5】



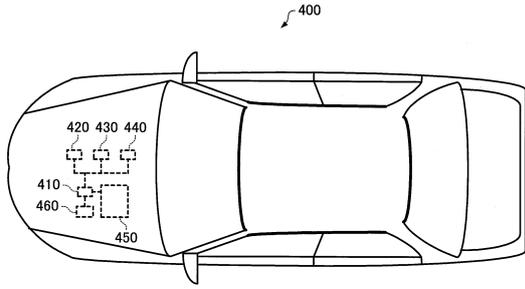
【図6】



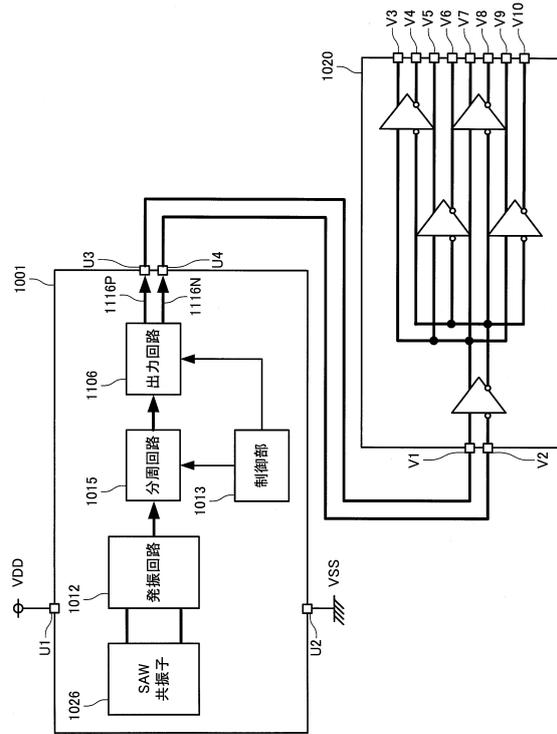
【図7】



【図8】



【図9】



---

フロントページの続き

- (72)発明者 大脇 卓弥  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 山中 國人  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 竹内 亨

- (56)参考文献 特開2003-338710(JP,A)  
特開2012-074797(JP,A)  
登録実用新案第3000360(JP,U)  
特開昭61-081026(JP,A)  
特開2012-156977(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H03B 5/00-5/42