



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월31일
 (11) 등록번호 10-1456946
 (24) 등록일자 2014년10월27일

(51) 국제특허분류(Int. Cl.)
 G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)
 (21) 출원번호 10-2008-0002871
 (22) 출원일자 2008년01월10일
 심사청구일자 2013년01월08일
 (65) 공개번호 10-2009-0077117
 (43) 공개일자 2009년07월15일
 (56) 선행기술조사문헌
 US06337731 B1*
 US20050078252 A1*
 US20060125994 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
 김인우
 경기도 수원시 영통구 태장로82번길 32, 동수원엘
 지빌리지1차 109동 804호 (망포동)
 (74) 대리인
 박영우

전체 청구항 수 : 총 15 항

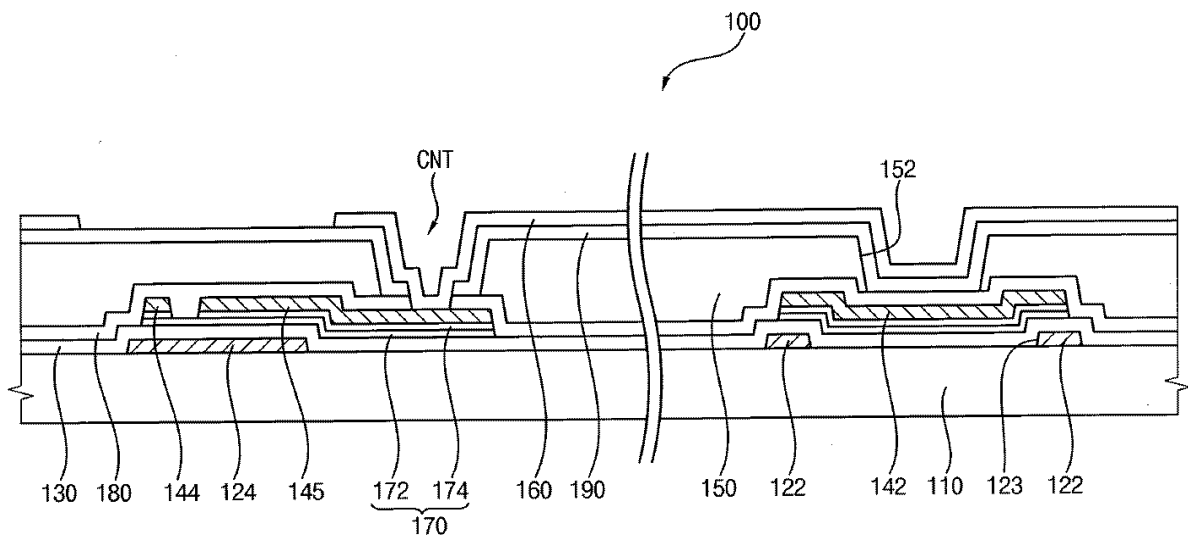
심사관 : 정구용

(54) 발명의 명칭 표시 기관 및 이의 제조 방법

(57) 요약

표시 기관은 제1 배선 패턴, 제1 절연막, 제2 배선 패턴, 컬러필터층 및 화소 전극을 포함한다. 제1 배선 패턴은 게이트 라인 및 스토리지 커패시터 영역에 형성되고 내부에 제1 개구부가 형성된 광차단막을 포함한다. 제2 배선 패턴은 제1 절연막 상에 형성되며, 게이트 라인과 교차되는 데이터 라인 및 제1 개구부를 포함하는 광차단막 상부에 형성된 스토리지 전극을 포함한다. 컬러필터층은 제2 배선 패턴이 형성된 기관 상에 형성되며, 스토리지 전극의 위치에 제2 개구부가 형성된다. 화소 전극은 컬러필터층이 형성된 기관 상에 형성된다. 이와 같이, 스토리지 커패시터의 하부에 형성되는 광차단막에 개구부를 형성함으로써, 스토리지 전극과 화소 전극간의 단락을 방지할 수 있다.

대표도



특허청구의 범위

청구항 1

기관 상에 형성되며, 게이트 라인 및 스토리지 커패시터 영역에 형성되고 내부에 제1 개구부가 형성된 광차단막을 포함하는 제1 배선 패턴;

상기 제1 배선 패턴이 형성된 상기 기관 상에 형성되는 제1 절연막;

상기 제1 절연막 상에 형성되며, 상기 게이트 라인과 교차되는 데이터 라인 및 상기 제1 개구부를 포함하는 상기 광차단막 상부에 형성된 스토리지 전극을 포함하는 제2 배선 패턴;

상기 제2 배선 패턴이 형성된 상기 기관 상에 형성되며, 상기 스토리지 전극의 위치에 제2 개구부가 형성된 컬러필터층;

상기 컬러필터층이 형성된 상기 기관 상에 형성되는 화소 전극; 및

상기 스토리지 전극과 상기 화소 전극 사이에 배치되어 상기 스토리지 전극을 상기 화소 전극으로부터 절연하는 제2 절연막을 포함하는 표시 기관.

청구항 2

제1항에 있어서,

상기 제1 개구부는 상기 제2 개구부가 포함될 수 있도록 상기 제2 개구부보다 큰 면적을 갖는 것을 특징으로 하는 표시 기관.

청구항 3

제2항에 있어서,

상기 스토리지 전극은 상기 광차단막보다 작고 상기 제1 개구부보다 큰 면적을 갖는 것을 특징으로 하는 표시 기관.

청구항 4

제1항에 있어서,

상기 제1 절연막과 상기 제2 배선 패턴 사이에 형성되는 액티브 패턴을 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 5

제1항에 있어서,

상기 제2 절연막은 상기 제2 배선 패턴과 상기 컬러필터층 사이에 형성되는 것을 특징으로 하는 표시 기관.

청구항 6

제1항에 있어서,

상기 컬러필터층과 상기 화소 전극 사이에 형성되는 제3 절연막을 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 7

제1항에 있어서,

각 화소는 상기 게이트 라인의 연장 방향으로의 폭이 상기 데이터 라인의 연장 방향으로의 폭보다 크게 형성된 것을 특징으로 하는 표시 기관.

청구항 8

제7항에 있어서,

상기 각 화소마다 형성되는 박막 트랜지스터는 상기 데이터 라인을 기준으로 양측에 형성된 화소들에 상기 데이터 라인의 연장 방향을 따라 지그재그 형태로 형성된 것을 특징으로 하는 표시 기판.

청구항 9

기판 상에 게이트 라인 및 스토리지 커패시터 영역에 형성되고 내부에 제1 개구부가 형성된 광차단막을 포함하는 제1 배선 패턴을 형성하는 단계;

상기 제1 배선 패턴이 형성된 상기 기판 상에 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에, 상기 게이트 라인과 교차되는 데이터 라인 및 상기 제1 개구부를 포함하는 상기 광차단막 상부에 형성된 스토리지 전극을 포함하는 제2 배선 패턴을 형성하는 단계;

상기 스토리지 전극 상에 제2 절연막을 형성하는 단계;

상기 제2 절연막 상에, 상기 스토리지 전극의 위치에 제2 개구부가 형성된 컬러필터층을 형성하는 단계; 및

상기 컬러필터층이 형성된 상기 기판 상에 상기 제2 절연막에 의해 상기 스토리지 전극으로부터 절연되는 화소 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

청구항 10

제9항에 있어서,

상기 제1 개구부는 상기 제2 개구부가 포함될 수 있도록 상기 제2 개구부보다 큰 면적으로 형성되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 11

제10항에 있어서,

상기 스토리지 전극은 상기 광차단막보다 작고 상기 제1 개구부보다 큰 면적으로 형성되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 12

제9항에 있어서,

상기 제1 절연막과 상기 제2 배선 패턴 사이에 액티브 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 13

제12항에 있어서,

상기 제2 배선 패턴과 상기 액티브 패턴은 한 번의 마스크 공정을 통해 패터닝되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 14

삭제

청구항 15

제9항에 있어서,

상기 컬러필터층과 상기 화소 전극 사이에 제3 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 16

제9항에 있어서,

각 화소는 상기 게이트 라인의 연장 방향으로의 폭이 상기 데이터 라인의 연장 방향으로의 폭보다 크게 형성되는 것을 특징으로 하는 표시 기관의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 표시 기관 및 이의 제조 방법에 관한 것으로, 더욱 상세하게는 영상을 표시하기 위한 표시 장치에 사용되는 표시 기관 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 영상을 표시하기 위한 표시 장치 중 하나인 액정표시장치는 박막 트랜지스터 기관, 박막 트랜지스터 기관과 대향하도록 결합된 컬러필터 기관 및 두 기관 사이에 배치된 액정층을 포함한다.

[0003] 박막 트랜지스터 기관은 다수의 화소들을 독립적으로 구동시키기 위하여 절연 기관 상에 형성된 신호 배선, 박막 트랜지스터 및 화소 전극 등을 포함하며, 컬러필터 기관은 적색, 녹색 및 청색의 컬러필터들을 포함하는 컬러필터층과 화소 전극에 대항하는 공통 전극 등을 포함한다.

[0004] 최근 들어, 박막 트랜지스터 기관과 컬러필터 기관간의 얼라인 미스로 인한 품질 저하를 방지하고 원가를 절감하기 위하여, 박막 트랜지스터 기관 상에 컬러필터층이 형성된 COA(Color filter On Array) 구조의 액정표시장치가 제안된 바 있다.

[0005] 한편, 박막 트랜지스터 기관에는 각 화소에 인가된 화소 전압을 한 프레임 동안 유지시키기 위하여 데이터 금속과 화소 전극을 이용하여 스토리지 커패시터가 형성되며, 스토리지 커패시터 부분의 컬러필터층은 개구되고, 스토리지 커패시터의 하부에는 게이트 금속으로 이루어진 광차단막이 형성된다.

[0006] 그러나, 이러한 구조에서는 데이터 금속의 사진 공정시 광차단막의 두께만큼 상부 포토레지스트의 두께가 얇아지게 된다. 이로 인해, 데이터 금속의 식각시 포토레지스트의 두께가 얇은 일부 영역에서는 데이터 금속이 포토레지스트로부터 노출되어 식각되기 때문에 데이터 금속의 표면이 상당히 거칠어지게 된다. 이처럼, 데이터 금속의 표면이 거칠어지게 되면, 위에 적층되는 보호막의 스텝 커버리지(step coverage)가 나빠기 때문에, 데이터 금속과 화소 전극간의 단락을 유발하는 원인이 된다.

발명의 내용

해결하고자하는 과제

[0007] 따라서, 본 발명은 이와 같은 문제점을 감안한 것으로써, 본 발명은 COA 구조의 표시 기관에서 스토리지 커패시터 영역의 데이터 금속과 화소 전극간의 단락을 방지할 수 있는 표시 기관을 제공한다.

[0008] 또한, 본 발명은 상기한 표시 기관의 제조에 특히 적합한 제조 방법을 제공한다.

과제 해결수단

[0009] 본 발명의 일 특징에 따른 표시 기관은 제1 배선 패턴, 제1 절연막, 제2 배선 패턴, 컬러필터층 및 화소 전극을 포함한다. 상기 제1 배선 패턴은 게이트 라인 및 스토리지 커패시터 영역에 형성되고 내부에 제1 개구부가 형성된 광차단막을 포함한다. 상기 제1 절연막은 상기 제1 배선 패턴이 형성된 기관 상에 형성된다. 상기 제2 배선 패턴은 상기 제1 절연막 상에 형성되며, 상기 게이트 라인과 교차되는 데이터 라인 및 상기 제1 개구부를 포함하는 상기 광차단막 상부에 형성된 스토리지 전극을 포함한다. 상기 컬러필터층은 상기 제2 배선 패턴이 형성된 기관 상에 형성되며, 상기 스토리지 전극의 위치에 제2 개구부가 형성된다. 상기 화소 전극은 상기 컬러필터층이 형성된 기관 상에 형성된다.

[0010] 상기 제1 개구부는 상기 제2 개구부가 포함될 수 있도록 상기 제2 개구부보다 큰 면적을 갖도록 형성된다. 또한, 상기 스토리지 전극은 상기 광차단막보다 작고 상기 제1 개구부보다 큰 면적을 갖도록 형성된다.

[0011] 상기 표시 기관은 상기 제1 절연막과 상기 제2 배선 패턴 사이에 형성되는 액티브 패턴, 상기 제2 배선 패턴과 상기 컬러필터층 사이에 형성되는 제2 절연막 및 상기 컬러필터층과 상기 화소 전극 사이에 형성되는 제3 절연

막을 더 포함할 수 있다.

[0012] 각 화소는 상기 게이트 라인의 연장 방향으로의 폭이 상기 데이터 라인의 연장 방향으로의 폭보다 크게 형성될 수 있다. 또한, 상기 각 화소마다 형성되는 박막 트랜지스터는 상기 데이터 라인을 기준으로 양측에 형성된 화소들에 상기 데이터 라인의 연장 방향을 따라 지그재그 형태로 형성될 수 있다.

[0013] 본 발명의 일 특징에 따른 표시 기관의 제조 방법에 따르면, 기관 상에 게이트 라인 및 스토리지 커패시터 영역에 형성되고 내부에 제1 개구부가 형성된 광차단막을 포함하는 제1 배선 패턴을 형성한다. 상기 제1 배선 패턴이 형성된 기관 상에 제1 절연막을 형성한다. 상기 제1 절연막 상에, 상기 게이트 라인과 교차되는 데이터 라인 및 상기 제1 개구부를 포함하는 상기 광차단막 상부에 형성된 스토리지 전극을 포함하는 제2 배선 패턴을 형성한다. 상기 제2 배선 패턴이 형성된 기관 상에, 상기 스토리지 전극의 위치에 제2 개구부가 형성된 컬러필터층을 형성한다. 상기 컬러필터층이 형성된 기관 상에 화소 전극을 형성한다. 이때, 상기 제1 개구부는 상기 제2 개구부가 포함될 수 있도록 상기 제2 개구부보다 큰 면적으로 형성되며, 상기 스토리지 전극은 상기 광차단막보다 작고 상기 제1 개구부보다 큰 면적으로 형성된다.

효과

[0014] 이와 같은 표시 기관 및 이의 제조 방법에 따르면, 스토리지 커패시터의 하부에 형성되는 광차단막에 개구부를 형성함으로써, 데이터 금속의 식각시 포토레지스트로부터 데이터 금속이 노출되는 것을 방지하여 데이터 금속의 표면이 식각되는 것을 방지한다. 이에 따라, 데이터 금속의 위에 적층되는 보호막의 스텝 커버리지가 좋아지며, 보호막 상에 형성되는 화소 전극과 데이터 금속간의 단락이 방지된다.

발명의 실시를 위한 구체적인 내용

[0015] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하고자 한다. 그러나, 본 발명은 하기의 실시예들에 한정되지 않고 다른 형태로 구현될 수도 있다. 여기서 소개되는 실시예들은 개시된 내용이 보다 완전해질 수 있도록 그리고 당업자에게 본 발명의 기술적 사상과 특징이 충분히 전달될 수 있도록 하기 위해 제공된다. 도면들에 있어서, 각 장치 또는 막(층) 및 영역들의 두께는 본 발명의 명확성을 기하기 위하여 과장되게 도시되었으며, 또한 각 장치는 본 명세서에서 설명되지 아니한 다양한 부가 장치들을 구비할 수 있으며, 막(층)이 다른 막(층) 또는 기관 상에 위치하는 것으로 언급되는 경우, 다른 막(층) 또는 기관 상에 직접 형성되거나 그들 사이에 추가적인 막(층)이 개재될 수 있다.

[0016] 도 1은 본 발명의 일 실시예에 따른 표시 기관을 나타낸 평면도이며, 도 2는 도 1의 스토리지 커패시터 부분을 확대한 확대도이며, 도 3은 도 1의 'I-I'선을 따라 절단한 단면도이다.

[0017] 도 1, 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 표시 기관(100)은 기관(110), 제1 배선 패턴(120), 제1 절연막(130), 제2 배선 패턴(140), 컬러필터층(150) 및 화소 전극(160)을 포함한다.

[0018] 기관(110)은 예를 들어, 투명한 유리 또는 플라스틱으로 형성된다.

[0019] 제1 배선 패턴(120)은 기관(110) 상에 형성된다. 제1 배선 패턴(120)은 게이트 라인들(121) 및 광차단막(122)을 포함한다.

[0020] 게이트 라인들(121)은 예를 들어, 가로 방향으로 연장되도록 형성된다. 광차단막(122)은 게이트 라인들(121) 사이에 형성된다. 광차단막(122)은 게이트 라인들(121)과 전기적으로 분리되어 섬 형태로 형성되어 있다. 광차단막(122)은 실질적으로 스토리지 커패시터(Cst) 영역에 형성되어 스토리지 커패시터(Cst)의 가장자리에서 빛샘이 발생하는 것을 방지한다. 광차단막(122)의 내부에는 제1 개구부(123)가 형성된다. 제1 개구부(123)에 대한 상세한 설명은 뒤에서 다시 기술하기로 한다.

[0021] 제1 배선 패턴(120)은 박막 트랜지스터(TFT)의 형성을 위한 게이트 전극(124)을 더 포함할 수 있다. 게이트 전극(124)은 박막 트랜지스터(TFT)의 구동을 위한 게이트 신호를 인가받기 위하여 게이트 라인(121)과 전기적으로 연결되어 있다.

[0022] 제1 배선 패턴(120)은 예를 들어, 알루미늄층과 몰리브덴층이 순차적으로 적층된 Mo/Al 2층막 구조를 가질 수 있다. 이와 달리, 제1 배선 패턴(120)은 알루미늄(Al), 몰리브덴(Mo), 네오디뮴(Nd), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 텅스텐(W), 구리(Cu), 은(Ag) 등의 단일 금속 또는 이들의 합금이 1층 또는 복수의 층들로 형성될

수 있다.

- [0023] 제1 절연막(130)은 제1 배선 패턴(120)이 형성된 기판(110) 상에 제1 배선 패턴(120)을 덮도록 형성된다. 제1 절연막(130)은 예를 들어, 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)으로 형성될 수 있다.
- [0024] 제2 배선 패턴(140)은 제1 절연막(130) 상에 형성된다. 제2 배선 패턴(140)은 제1 절연막(130)을 통해 제1 배선 패턴(120)과 절연된다. 제2 배선 패턴(140)은 데이터 라인들(141) 및 스토리지 전극(142)을 포함한다.
- [0025] 데이터 라인들(141)은 게이트 라인들(121)과 교차하는 방향으로 연장되도록 형성된다. 예를 들어, 데이터 라인들(141)은 세로 방향으로 연장되도록 형성된다.
- [0026] 스토리지 전극(142)은 제1 개구부(123)를 포함하는 광차단막(122)의 상부에 형성된다. 스토리지 전극(142)은 스토리지 커패시터(Cst)의 제1 전극 역할을 수행한다. 스토리지 전극(142)들은 데이터 라인들(141)과 동일한 방향으로 연장되는 스토리지 라인(143)을 통해 서로 연결되어 있다. 스토리지 전극(142)에는 스토리지 라인(143)을 통해 제1 스토리지 전압이 인가된다.
- [0027] 제2 배선 패턴(140)은 박막 트랜지스터(TFT)의 형성을 소오스 전극(144) 및 드레인 전극(145)을 더 포함할 수 있다. 소오스 전극(144)은 데이터 라인(141)과 전기적으로 연결되어 있으며, 드레인 전극(145)은 박막 트랜지스터(TFT)의 채널을 형성하기 위하여 소오스 전극(144)과 이격되어 있다. 드레인 전극(145)은 화소 전극(160)과 전기적으로 연결되어 있다.
- [0028] 이와 같이, 각 화소에 적어도 하나 이상이 형성된 박막 트랜지스터(TFT)는 게이트 라인(121)을 통해 인가되는 게이트 신호에 반응하여 데이터 라인(141)을 통해 인가되는 데이터 신호를 화소 전극(160)에 인가한다.
- [0029] 제2 배선 패턴(140)은 예를 들어, 하부 몰리브덴층, 알루미늄층 및 상부 몰리브덴층이 연속적으로 적층된 Mo/Al/Mo 삼층막 구조로 형성된다. 이와 달리, 제2 배선 패턴(140)은 알루미늄(Al), 몰리브덴(Mo), 네오디뮴(Nd), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 텅스텐(W), 구리(Cu), 은(Ag) 등의 단일 금속 또는 이들의 합금이 1층 또는 복수의 층들로 형성될 수 있다.
- [0030] 표시 기판(100)은 제1 절연막(130)과 제2 배선 패턴(140) 사이에 형성되는 액티브 패턴(170)을 더 포함할 수 있다. 액티브 패턴(170)은 반도체 패턴(172) 및 오믹 콘택 패턴(174)을 포함할 수 있다. 반도체 패턴(172)은 실질적으로 전류가 흐르게 되는 채널 역할을 수행하며, 오믹 콘택 패턴(174)은 반도체층(172)과 소오스 전극(144) 및 드레인 전극(145)간의 접촉 저항을 감소시키는 역할을 수행한다. 예를 들어, 반도체 패턴(172)은 비정질 실리콘(amorphous Silicon : 이하, a-Si)으로 형성되며, 오믹 콘택 패턴(174)은 n형 불순물이 고농도로 도핑된 n+ 비정질 실리콘(이하, n+a-Si)으로 형성된다.
- [0031] 한편, 제2 배선 패턴(140)과 액티브 패턴(170)은 한번의 마스크 공정을 통해 패터닝되므로, 액티브 패턴(170)의 외부 윤곽은 제2 배선 패턴(140)의 외부 윤곽과 실질적으로 일치되게 형성된다. 이와 달리, 액티브 패턴(170)은 박막 트랜지스터(TFT)의 형성을 위하여 게이트 전극(124)과 중첩되는 부분에만 형성될 수 있다.
- [0032] 제2 배선 패턴(140)이 형성된 기판(110) 상에는 제2 배선 패턴(140)을 덮도록 제2 절연막(180)이 형성될 수 있다. 제2 절연막(180)은 예를 들어, 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)으로 형성되며, 약 500Å ~ 2000Å의 두께로 형성된다.
- [0033] 컬러필터층(150)은 제2 배선 패턴(140)이 형성된 기판(110) 상에 형성된다. 컬러필터층(150)은 제2 절연막(180) 상에 형성될 수 있다. 컬러필터층(150)은 각각의 화소에 대응되도록 형성된 적색, 녹색 및 청색 컬러필터들을 포함한다. 예를 들어, 상기 적색, 녹색 및 청색 컬러필터들은 감광성 유기 조성물에 적색, 녹색 및 청색의 안료가 각각 포함된 구조를 갖는다. 상기 적색, 녹색 및 청색 컬러필터들은 제2 절연막(180) 상에 일정한 패턴을 갖도록 규칙적으로 형성된다. 예를 들어, 상기 적색, 녹색 및 청색 컬러필터들은 각 화소에 한 색의 컬러필터가 대응되도록 가로 방향 또는 세로 방향을 따라 순차적으로 배열된다.
- [0034] 컬러필터층(150)은 표시 기판(100)의 표면을 평탄화시키기 위하여 비교적 두꺼운 두께로 형성되는 것이 바람직하다. 예를 들어, 컬러필터층(150)은 약 2.5 μ m ~ 3.5 μ m의 두께로 형성된다. 이와 같이, 컬러필터층(150)의 두께를 증가시킴으로써, 표시 기판(100)의 평탄화를 위해 형성되던 유기절연막을 제거하여 투과율을 향상시키고 원가를 절감할 수 있다.
- [0035] 컬러필터층(150)에는 스토리지 전극(142)의 위치에 대응하여 제2 개구부(152)가 형성된다. 이에 따라, 제2 개구부(152)를 통해 스토리지 전극(142)과 화소 전극(160)간의 거리가 가까워지므로, 스토리지 커패시터(Cst)의

정전 용량이 증가된다.

- [0036] 컬러필터층(150)이 형성된 기판(110) 상에는 제3 절연막(190)이 형성될 수 있다. 제3 절연막(190)은 유기물로 이루어진 컬러필터층(150)으로부터 유해 가스가 유출되는 것을 차단하여 액정의 오염을 방지한다. 제3 절연막(190)은 유해 가스의 유출을 차단하기 위하여, 유기물과의 반응성이 낮은 무기물로 형성된다. 예를 들어, 제3 절연막(190)은 질화 실리콘(SiNx)으로 형성되며, 약 500Å ~ 2000Å의 두께로 형성된다.
- [0037] 화소 전극(160)은 컬러필터층(150)이 형성된 기판(110) 상에 형성된다. 화소 전극(160)은 제3 절연막(190) 상에 형성될 수 있다. 화소 전극(160)은 각 화소에 대응되도록 제3 절연막(190) 상에 형성된다. 화소 전극(160)은 광이 투과할 수 있는 투명한 도전성 물질로 이루어진다. 예를 들어, 화소 전극(160)은 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 또는 인듐 틴 옥사이드(Indium Tin Oxide : ITO)로 형성된다.
- [0038] 화소 전극(160)은 박막 트랜지스터(TFT)의 드레인 전극(145)과 전기적으로 연결된다. 화소 전극(160)과 드레인 전극(145)의 연결을 위하여, 제2 절연막(180), 컬러필터층(150) 및 제3 절연막(190)에는 콘택 홀(CNT)이 형성된다. 화소 전극(160)은 콘택 홀(CNT)을 통해 드레인 전극(145)과 전기적으로 연결된다.
- [0039] 화소 전극(160)은 컬러필터층(150)의 제2 개구부(152) 영역에서, 제3 절연막(190) 및 제2 절연막(180)을 사이에 두고 스토리지 전극(142)과 중첩되어 스토리지 커패시터(Cst)를 형성한다. 따라서, 박막 트랜지스터(TFT)를 통해 화소 전극(160)에 인가된 데이터 신호는 스토리지 커패시터(Cst)에 의해 한 프레임 동안 유지된다.
- [0040] 한편, 화소 전극(160)은 광시야각의 구현을 위하여 각 화소(P)를 다수의 도메인으로 분할하기 위한 특정한 개구 패턴을 가질 수 있다. 또한, 화소 전극(160)은 서로 다른 전압이 인가되는 메인 전극 및 서브 전극으로 분할된 구조를 가질 수 있다. 이와 같이, 화소 전극(160)이 메인 전극과 서브 전극으로 분할될 경우, 각 화소(P)에는 메인 전극 및 서브 전극과 각각 연결되는 2개의 박막 트랜지스터가 형성될 수 있다.
- [0041] 한편, 화소(P)들은 게이트 라인(121)의 연장 방향으로의 폭이 데이터 라인(141)의 연장 방향으로의 폭보다 크게 형성될 수 있다. 이와 같이 화소들을 형성하게 되면, 데이터 라인들(141)의 수가 1/3로 감소되므로, 데이터 라인들(141)에 데이터 신호를 인가하기 위한 데이터 구동부(미도시)의 구성이 단순화되어 원가가 절감된다.
- [0042] 또한, 각 화소(P)마다 형성되는 박막 트랜지스터(TFT)는 데이터 라인(141)을 기준으로 양측에 형성된 화소(P)들에 데이터 라인(141)의 연장 방향을 따라 지그재그 형태로 형성되어 화소 전극(160)과 연결될 수 있다. 이와 같이, 박막 트랜지스터(TFT)를 지그재그 형태로 형성하게 되면, 컬럼 반전 형태의 구동을 통해 도트 반전 형태의 구현이 가능해 진다.
- [0043] 본 실시예에서, 스토리지 커패시터(Cst)는 제1 절연막(130) 상에 형성된 제2 배선 패턴(140)으로 이루어진 스토리지 전극(142)과 제2 절연막(180) 및 제3 절연막(190)을 사이에 두고 스토리지 전극(142)과 대향하는 화소 전극(160)을 통해 형성된다. 또한, 스토리지 커패시터(Cst)의 하부에는 스토리지 전극(142)의 가장자리에서 발생하는 빛샘을 방지하기 위하여 제1 개구부(123)를 포함하는 광차단막(122)이 형성되어 있다.
- [0044] 만약, 광차단막(122)이 스토리지 전극(142)의 전체 영역에 형성되어 있다면, 제2 배선 패턴(140)을 형성하기 위한 금속막의 사진 공정시 광차단막(122)의 두께만큼 상부 포토레지스트의 두께가 얇아지게 된다. 이로 인해, 상기 금속막의 건식 식각시 포토레지스트의 두께가 얇은 일부 영역에서는 금속막이 포토레지스트로부터 노출되어 식각되기 때문에 스토리지 전극(142)의 표면이 상당히 거칠어지며, 위에 적층되는 제2 절연막(180) 및 제3 절연막(190)의 스텝 커버리지가 나빠져 스토리지 전극(142)과 화소 전극(160)간의 단락이 발생할 수 있다.
- [0045] 그러나, 도 2 및 도 3에 도시된 바와 같이, 스토리지 커패시터(Cst)의 하부에 위치하는 광차단막(122)의 내부에 제1 개구부(123)를 형성하면, 제1 개구부(123) 영역에서 광차단막(122)의 두께만큼 스토리지 전극(142)의 높이가 낮아지기 때문에 상부 포토레지스트의 두께는 그만큼 두꺼워지게 된다. 따라서, 상기 금속막의 건식 식각시 포토레지스트의 애싱(ashing)이 과도하게 진행되더라도 초기의 포토레지스트의 두께가 두껍기 때문에 스토리지 전극(142)의 표면은 손상을 입지 않게 되며, 이에 따라, 스토리지 전극(142)과 화소 전극(160)간의 단락이 방지된다.
- [0046] 한편, 광차단막(122)의 상부에 위치하는 스토리지 전극(142)의 일부는 손상을 받을 수 있으나, 제2 절연막(180)보다 상당히 두꺼운 컬러필터층(150)이 덮고 있기 때문에 스토리지 전극(142)과 화소 전극(160)간의 단락은 발생되지 않는다.
- [0047] 따라서, 스토리지 전극(142)의 가장자리를 컬러필터층(150)으로 덮기 위해서, 광차단막(122)의 제1 개구부(123)는 컬러필터층(150)의 제2 개구부(152)가 포함될 수 있도록 제2 개구부(152)보다 큰 면적으로 형성되는 것이

바람직하다. 또한, 스토리지 전극(142)의 가장자리 부분에서 발생하는 빛샘을 방지하기 위하여, 스토리지 전극(142)은 광차단막(122)보다 작고 제1 개구부(123)보다 큰 면적으로 형성되는 것이 바람직하다. 예를 들어, 광차단막(122)은 스토리지 전극(142)의 외곽으로부터 약 2 μ m ~ 3 μ m 정도 돌출되도록 형성된다.

- [0048] 이하, 도 1 내지 도 3에 도시된 표시 기판을 제조하기에 특히 적합한 제조 방법에 대하여 도 4 내지 도 12를 참조하여 설명하기로 한다.
- [0049] 도 4 내지 도 12는 도 1 내지 도 3에 도시된 표시 기판을 본 발명의 일 실시예에 따라 제조하는 방법의 중간 단계를 나타낸 단면도들이다.
- [0050] 도 1 및 도 4를 참조하면, 기판(110) 상에 금속막을 증착한 후, 상기 금속막을 패터닝하여 게이트 라인(121), 게이트 전극(124) 및 내부에 제1 개구부(123)가 형성된 광차단막(122)을 포함하는 제1 배선 패턴(120)을 형성한다.
- [0051] 게이트 전극(124)은 게이트 라인(121)과 전기적으로 연결되어 있다. 광차단막(122)은 게이트 라인들(121) 사이에서 스토리지 커패시터(Cst) 영역에 형성되며, 게이트 라인(121) 및 게이트 전극(124)과 전기적으로 분리되어 있다.
- [0052] 광차단막(122)의 내부에 제1 개구부(123)를 형성하는 이유는 앞서 설명한 바와 같이, 후속 공정인 제2 배선 패턴(140)의 식각 공정시 포토레지스트의 두께를 광차단막(122)의 두께만큼 증가시켜 스토리지 전극(142) 표면의 손상을 방지하기 위해서이다.
- [0053] 제1 배선 패턴(120)은 예를 들어, 알루미늄층과 몰리브덴층이 순차적으로 적층된 Mo/Al 2층막 구조로 형성할 수 있다. 이와 달리, 제1 배선 패턴(120)은 알루미늄(Al), 몰리브덴(Mo), 네오디뮴(Nd), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 텅스텐(W), 구리(Cu), 은(Ag) 등의 단일 금속 또는 이들의 합금이 1층 또는 복수의 층들로 형성할 수 있다.
- [0054] 도 1 및 도 5를 참조하면, 제1 배선 패턴(120)이 형성된 기판(110) 상에 제1 배선 패턴(120)을 커버하도록 제1 절연막(130)을 형성한다. 예를 들어, 제1 절연막(130)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)으로 형성하며, 약 1000Å ~ 5000Å의 두께로 형성한다.
- [0055] 도 1 및 도 6을 참조하면, 제1 절연막(130) 상에 액티브 패턴(170)과 데이터 라인(141), 소오스 전극(144), 드레인 전극(145) 및 스토리지 전극(142)을 포함하는 제2 배선 패턴(140)을 형성한다.
- [0056] 소오스 전극(144)은 데이터 라인(141)과 전기적으로 연결되어 있으며, 드레인 전극(145)은 박막 트랜지스터(TFT)의 채널을 형성하기 위하여 게이트 전극(124) 상에서 소오스 전극(144)과 이격되게 형성된다. 스토리지 전극(142)은 스토리지 커패시터(Cst)를 형성하기 위하여 제1 개구부(123)를 포함하는 광차단막(122)의 상부에 형성된다.
- [0057] 제2 배선 패턴(140)은 예를 들어, 하부 몰리브덴층, 알루미늄층 및 상부 몰리브덴층이 연속적으로 적층된 Mo/Al/Mo 삼층막 구조로 형성할 수 있다. 이와 달리, 제2 배선 패턴(140)은 알루미늄(Al), 몰리브덴(Mo), 네오디뮴(Nd), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 텅스텐(W), 구리(Cu), 은(Ag) 등의 단일 금속 또는 이들의 합금이 1층 또는 복수의 층들로 형성할 수 있다.
- [0058] 액티브 패턴(170)과 제2 배선 패턴(140)은 하나의 마스크를 이용한 한번의 마스크 공정을 통해 패터닝할 수 있다. 액티브 패턴(170)과 상기 제2 배선 패턴(140)을 한번의 마스크 공정을 통해 패터닝할 경우, 액티브 패턴(170)은 실질적으로 제2 배선 패턴(140)과 동일한 형상으로 형성된다. 즉, 액티브 패턴(170)은 제1 절연막(130)과 제2 배선 패턴(140) 사이에 형성된다. 이와 달리, 액티브 패턴(170)과 제2 배선 패턴(140)은 서로 다른 2개의 마스크를 이용한 2번의 마스크 공정을 통해 각각 패터닝할 수 있다. 액티브 패턴(170)과 제2 배선 패턴(140)을 2번의 마스크 공정을 통해 각각 패터닝할 경우, 액티브 패턴(170)은 게이트 전극(124)과 중첩되는 부분에만 형성할 수 있다.
- [0059] 액티브 패턴(170)은 반도체 패턴(172) 및 오믹 콘택 패턴(174)을 포함할 수 있다. 예를 들어, 반도체 패턴(172)은 비정질 실리콘(amorphous Silicon : a-Si)으로 형성되며, 오믹 콘택 패턴(174)은 n형 불순물이 고농도로 도핑된 n+ 비정질 실리콘(n+a-Si)으로 형성된다. 한편, 박막 트랜지스터(TFT)의 형성을 위하여 소오스 전극(144)과 드레인 전극(145) 사이에 해당하는 채널부의 오믹 콘택 패턴(174)을 제거한다.

- [0060] 도 7 내지 도 10은 도 6에 도시된 액티브 패턴과 제2 배선 패턴을 본 발명의 일 실시예에 따라 제조하는 과정을 나타낸 단면도들이다.
- [0061] 도 7을 참조하면, 제1 절연막(130)이 형성된 기판(110) 상에 반도체층(173) 및 오믹 콘택층(175)을 포함하는 액티브층(176)과 제2 배선 패턴(140)을 형성하기 위한 금속막(147)을 순차적으로 형성한다. 이후, 금속막(147) 상에 포토레지스트막(PR1)을 형성한다.
- [0062] 도 8을 참조하면, 포토레지스트막(PR1)을 슬릿(slit) 또는 하프 톤(half tone) 마스크를 이용한 포토리소그래피 공정을 통해 패터닝하여 제1 포토레지스트 패턴(PR2)을 형성한다. 제1 포토레지스트 패턴(PR2)은 제2 배선 패턴(140)에 대응되는 영역에서 제1 두께를 갖고, 박막 트랜지스터(TFT)의 채널부에 대응되는 영역에서 상기 제1 두께보다 얇은 제2 두께를 갖도록 형성한다.
- [0063] 도 9를 참조하면, 제1 포토레지스트 패턴(PR2)을 식각 마스크(etching mask)로 이용하여, 금속막(147)을 식각하여 금속 패턴층(148)을 형성한다. 예를 들어, 금속막(147)은 습식 식각 공정을 통해 패터닝된다. 이와 달리, 금속막(147)은 건식 식각 공정을 통해 패터닝될 수 있다. 이후, 제1 포토레지스트 패턴(PR2)을 식각 마스크로 이용하여, 액티브층(176)을 식각하여 반도체 패턴층(177) 및 오믹 콘택 패턴층(178)을 포함하는 액티브 패턴층(179)을 형성한다.
- [0064] 도 10을 참조하면, 제1 포토레지스트 패턴(PR2)을 일정한 두께만큼 감소시키는 애싱(ashing) 공정을 통해 제2 포토레지스트 패턴(PR3)을 형성한다. 제1 포토레지스트 패턴(PR2)의 애싱을 통해 박막 트랜지스터(TFT)의 채널부가 노출되며, 제2 포토레지스트 패턴(PR3)은 실질적으로 제2 배선 패턴(140)에 대응되는 영역에만 남게 된다.
- [0065] 도 6을 참조하면, 제2 포토레지스트 패턴(PR3)을 식각 마스크로 이용하여, 금속 패턴층(148)의 채널부 영역을 식각하여 제2 배선 패턴(140)을 형성한다. 예를 들어, 금속 패턴층(148)은 건식 식각 공정을 통해 식각된다. 이때, 스토리지 전극(142)은 광차단막(122)보다 작고 제1 개구부(123)보다 큰 면적으로 형성된다.
- [0066] 이후, 소오스 전극(144)과 드레인 전극(145) 사이에 해당하는 박막 트랜지스터(TFT)의 채널부 영역의 오믹 콘택 패턴층(178)을 식각하여 액티브 패턴(170)을 형성한다. 이후, 제2 포토레지스트 패턴(PR3)을 제거시킨다.
- [0067] 한편, 스토리지 전극(142)의 하부에 위치하는 광차단막(122)의 내부에는 제1 개구부(123)가 형성되어 있으므로, 제1 개구부(123) 영역에서 광차단막(122)의 두께만큼 스토리지 전극(142)의 높이가 낮아지며, 이에 따라 제2 포토레지스트 패턴(PR3)의 두께는 그만큼 두꺼워지게 된다. 따라서, 상기 금속 패턴층(148)의 건식 식각시 제2 포토레지스트 패턴(PR3)의 애싱(ashing)이 과도하게 진행되더라도 초기의 제2 포토레지스트 패턴(PR3)의 두께가 두껍기 때문에 스토리지 전극(142)의 표면은 손상을 입지 않게 된다.
- [0068] 도 1 및 도 11을 참조하면, 제2 배선 패턴(140)이 형성된 기판(110) 상에 제2 배선 패턴(140)을 커버하도록 제2 절연막(180)을 형성한다. 제2 절연막(180)은 예를 들어, 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)으로 형성하며, 약 500Å ~ 2000Å의 두께로 형성한다.
- [0069] 이후, 제2 절연막(180) 상에 컬러필터층(150)을 형성한다. 컬러필터층(150)은 적색, 녹색 및 청색 컬러필터들을 포함할 수 있다. 상기 적색, 녹색 및 청색 컬러필터들은 각각의 화소에 대응되도록 순차적으로 형성된다.
- [0070] 이후, 상기 적색, 녹색 및 청색 컬러필터들 각각에, 제2 개구부(152) 및 제1 콘택 홀(CNT1)을 형성한다. 제2 개구부(152)는 스토리지 전극(142)의 위치에 대응하여 형성한다. 제2 개구부(152)는 광차단막(122)의 제1 개구부(123)에 포함될 수 있도록 제1 개구부(123)보다 작은 면적으로 형성한다.
- [0071] 한편, 광차단막(122)의 상부에 위치하는 스토리지 전극(142)의 일부는 건식 식각시 손상을 받을 수 있으나, 제2 절연막(180)보다 상당히 두꺼운 컬러필터층(150)이 덮고 있기 때문에 스토리지 전극(142)과 화소 전극(160)간의 단락은 발생되지 않는다.
- [0072] 도 1 및 도 12를 참조하면, 제2 개구부(152) 및 제1 콘택 홀(CNT1)이 형성된 컬러필터층(150) 상에 무기물을 도포한 후, 상기 무기물을 패터닝하여 제2 콘택 홀(CNT2)을 갖는 제3 절연막(190)을 형성한다. 제3 절연막(190)은 유기물로 이루어진 컬러필터층(150)으로부터 유해 가스가 유출되는 것을 차단하여 액정의 오염을 방지한다. 예를 들어, 제3 절연막(190)은 질화 실리콘(SiNx)으로 형성하며, 약 500Å ~ 2000Å의 두께로 형성한다.
- [0073] 이후, 제2 절연막(180)에 드레인 전극(145)의 일부를 노출시키는 제3 콘택 홀(CNT3)을 형성한다. 제2 절연막(180)과 제3 절연막(190)을 동일한 질화 실리콘(SiNx)으로 형성할 때, 제2 콘택 홀(CNT2) 및 제3 콘택 홀

(CNT3)은 동시에 형성할 수 있다. 따라서, 제1 내지 제3 콘택 홀들(CNT1, CNT2, CNT3)은 드레인 전극(145)의 일부를 노출시키는 콘택 홀(CNT)을 형성한다.

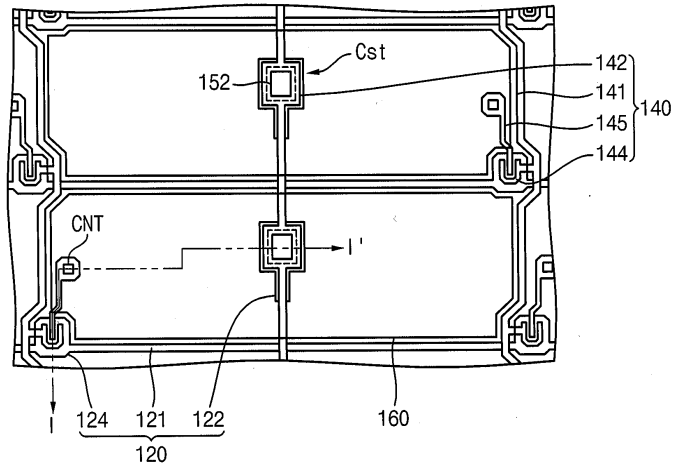
- [0074] 도 1 및 도 3을 참조하면, 제3 절연막(190) 상에 투명한 도전 물질을 도포한 후, 상기 투명한 도전 물질을 패터닝하여 화소 전극(160)을 형성한다. 예를 들어, 화소 전극(160)은 인듐 틴 옥사이드(Indium Tin Oxide : 이하, ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide : 이하, IZO)로 형성하며, 약 500Å ~ 600Å의 두께로 형성한다.
- [0075] 화소 전극(160)은 콘택 홀(CNT)을 통해 드레인 전극(145)과 전기적으로 연결된다. 또한, 화소 전극(160)은 제3 절연막(190) 및 제2 절연막(180)을 사이에 두고 스토리지 전극(142)과 중첩되어 스토리지 커패시터(Cst)를 형성한다.
- [0076] 이와 같이, 스토리지 커패시터(Cst)의 하부에 형성되는 광차단막(122)의 내부에 제1 개구부(123)를 형성하게 되면, 제2 배선 패턴(140)을 형성하기 위한 건식 식각 공정에서 제2 포토레지스트 패턴(PR3)의 두께가 광차단막(122)의 두께만큼 두꺼워지므로, 제2 포토레지스트 패턴(PR3)의 애싱(ashing)이 과도하게 진행되더라도 초기의 제2 포토레지스트 패턴(PR3)의 두께가 두껍기 때문에 스토리지 전극(142)의 표면이 식각되는 것이 방지된다. 따라서, 스토리지 전극(142) 위에 적층되는 제2 절연막(180) 및 제3 절연막(190)의 스텝 커버리지가 좋아지며, 제3 절연막(190) 상에 형성되는 화소 전극(160)과 스토리지 전극(142)간의 단락이 방지된다.
- [0077] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

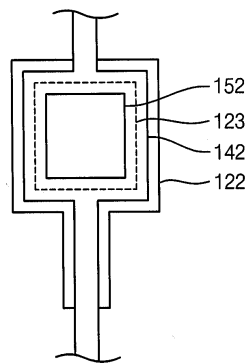
- [0078] 도 1은 본 발명의 일 실시예에 따른 표시 기관을 나타낸 평면도이다.
- [0079] 도 2는 도 1의 스토리지 커패시터 부분을 확대한 확대도이다.
- [0080] 도 3은 도 1의 I-I'선을 따라 절단한 단면도이다.
- [0081] 도 4 내지 도 12는 도 1 내지 도 3에 도시된 표시 기관을 본 발명의 일 실시예에 따라 제조하는 방법의 중간 단계를 나타낸 단면도들이다.
- [0082] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|-----------------------|----------------|
| [0083] 100 : 표시 기관 | 120 : 제1 배선 패턴 |
| [0084] 121 : 게이트 라인 | 122 : 광차단막 |
| [0085] 123 : 제1 개구부 | 130 : 제1 절연막 |
| [0086] 140 : 제2 배선 패턴 | 141 : 데이터 라인 |
| [0087] 142 : 스토리지 전극 | 150 : 컬러필터층 |
| [0088] 152 : 제2 개구부 | 160 : 화소 전극 |
| [0089] 170 : 액티브 패턴 | 180 : 제2 절연막 |
| [0090] 190 : 제3 절연막 | |

도면

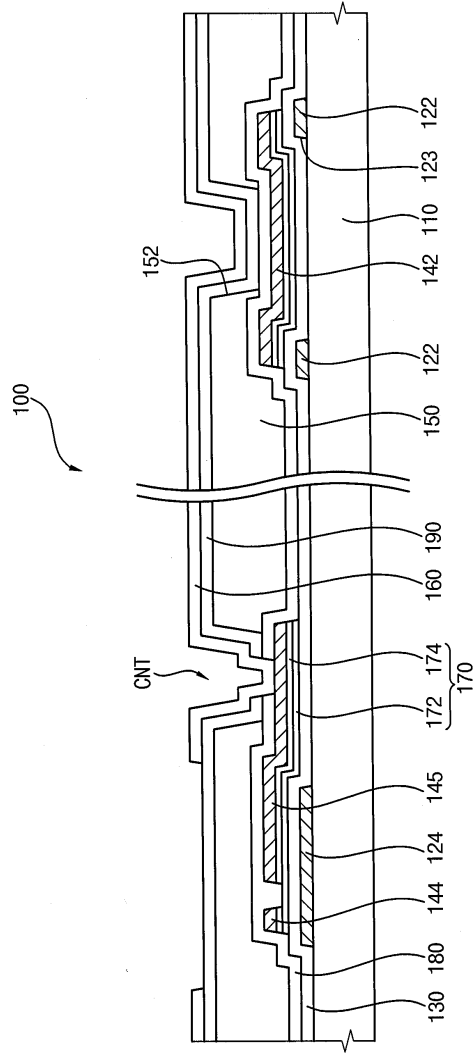
도면1



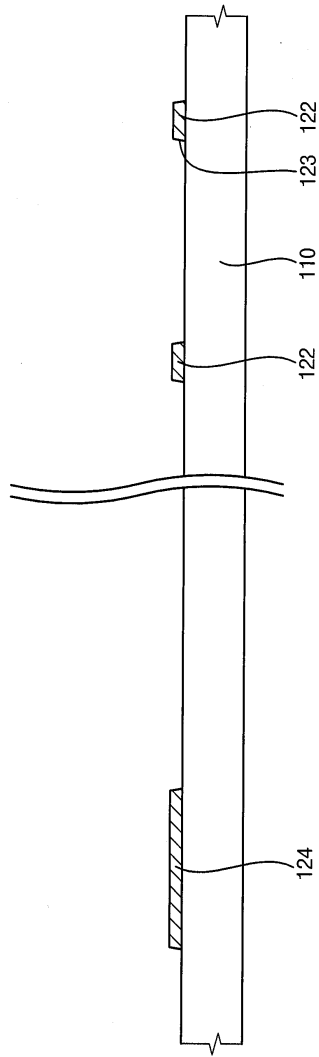
도면2



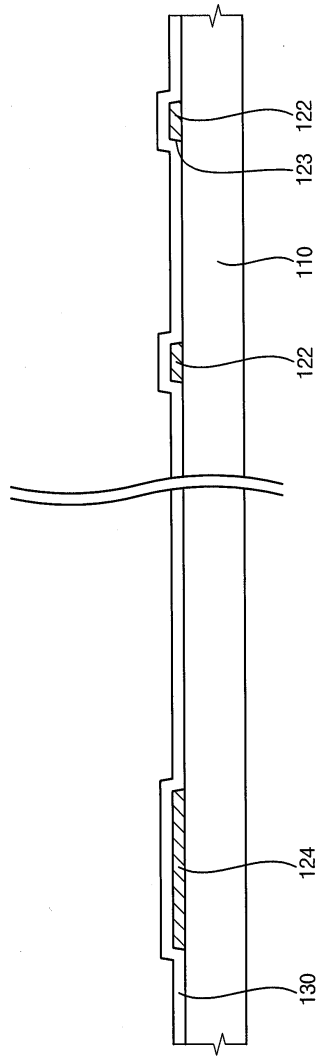
도면3



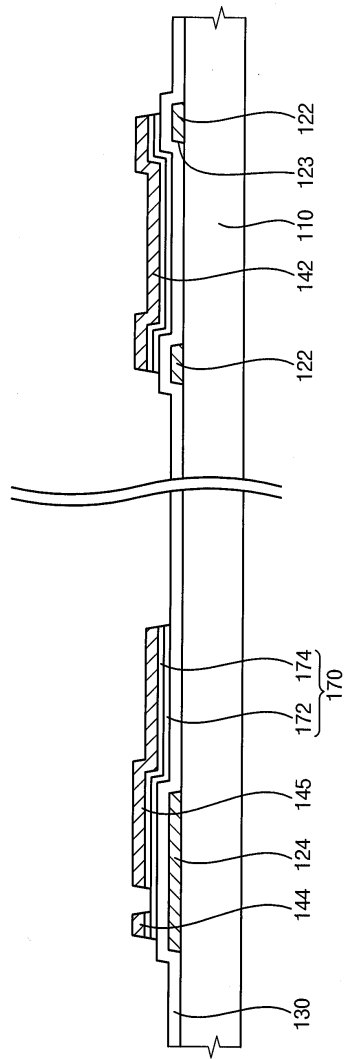
도면4



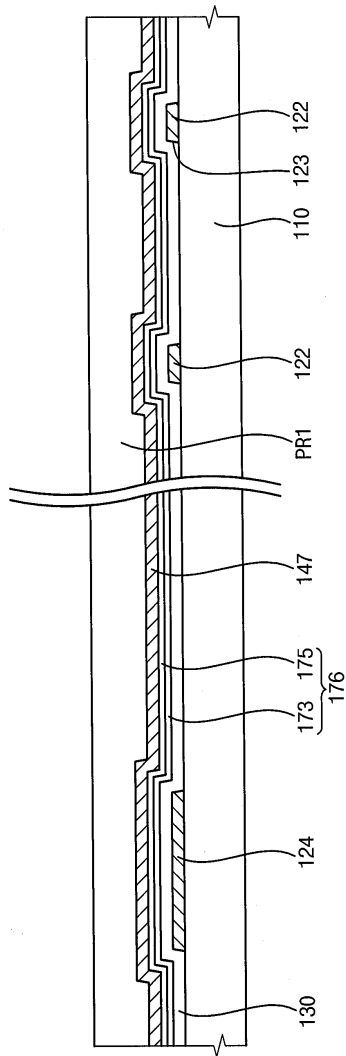
도면5



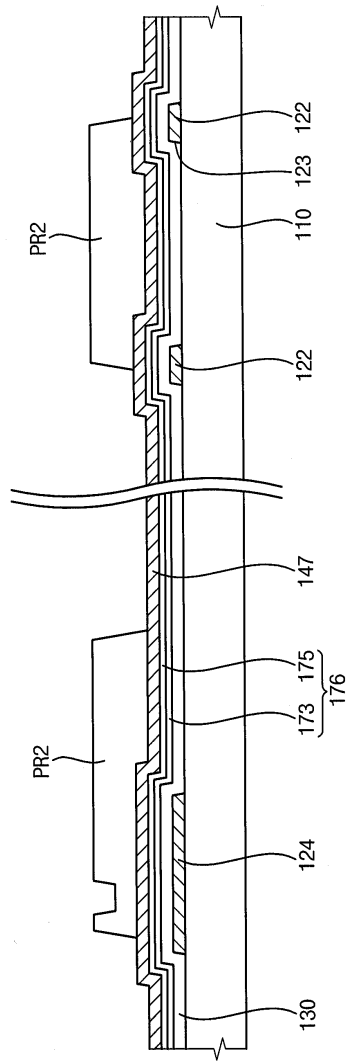
도면6



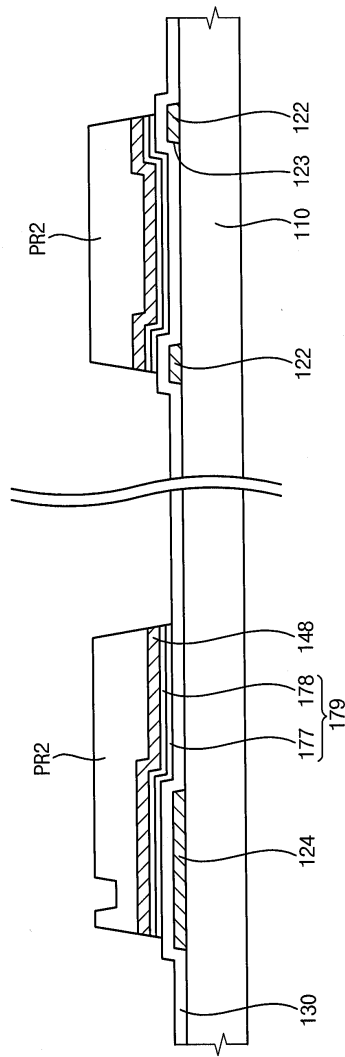
도면7



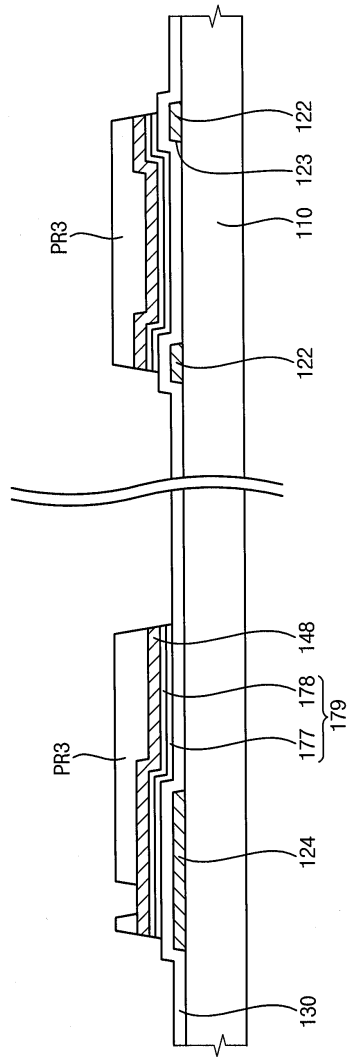
도면8



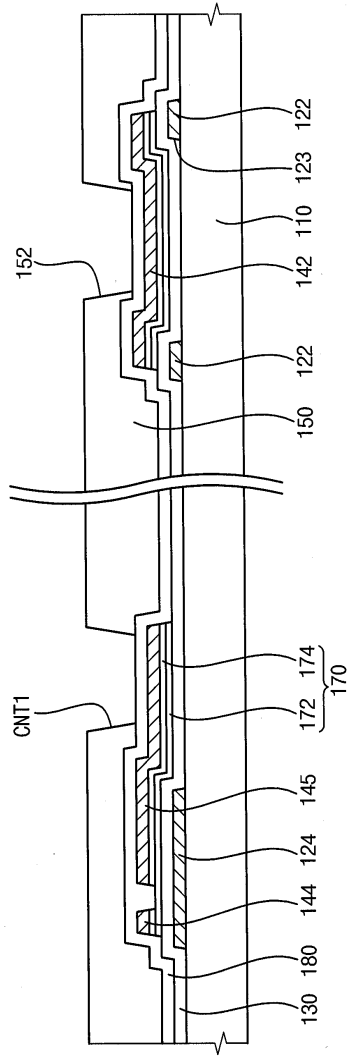
도면9



도면10



도면11



도면12

