

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-183513

(P2010-183513A)

(43) 公開日 平成22年8月19日(2010.8.19)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 P 1/203 (2006.01)	HO 1 P 1/203	5 J 0 0 6
HO 1 P 7/08 (2006.01)	HO 1 P 7/08	

審査請求 未請求 請求項の数 12 O L (全 22 頁)

(21) 出願番号 特願2009-27558 (P2009-27558)
 (22) 出願日 平成21年2月9日(2009.2.9)

(71) 出願人 000003067
 T D K 株式会社
 東京都中央区日本橋一丁目13番1号
 (74) 代理人 100100365
 弁理士 増子 尚道
 (72) 発明者 安達 拓也
 東京都中央区日本橋一丁目13番1号 T
 D K 株式会社内
 Fターム(参考) 5J006 HB03 HB05 JA11 LA01 LA03
 LA21

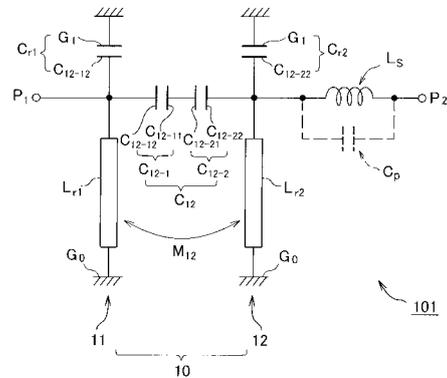
(54) 【発明の名称】 積層型バンドパスフィルタおよび高周波モジュール

(57) 【要約】

【課題】 少ない段数でサイズを大きくすることなく多くの帯域外減衰量を得る。

【解決手段】 複数の配線層を有する積層基板内に配した2以上の共振器及びこれらの共振器を結合する1以上の結合キャパシタを含むフィルタ本体部と、第一共振器に接続して信号を入力する入力線路部と、第二共振器に接続して信号を出力する出力線路部とを備えた積層型BPFで、入力線路部及び出力線路部の何れか一方又は双方に、当該線路部を構成する導体線路によってインダクタパターンを形成し、このインダクタパターンの少なくとも一部を、結合キャパシタに対し平面から見たときに重なるようにかつ基板積層方向について近接させてインダクタパターンと結合キャパシタとの間に寄生容量を発生させ、これにより通過帯域外に1以上の減衰極を形成した。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

誘電体層により互いに絶縁された複数の配線層を有する積層基板内に配した 2 以上の共振器と、これらの共振器を結合する 1 以上の結合キャパシタとを含むフィルタ本体部と、当該フィルタ本体部に含まれる第一の共振器に電氣的に接続して当該フィルタ本体部に信号を入力する入力線路部と、

当該フィルタ本体部に含まれる第二の共振器に電氣的に接続して当該フィルタ本体部から信号を出力する出力線路部と、

を備えた積層型バンドパスフィルタであって、

前記入力線路部および前記出力線路部のうちのいずれか一方または双方に、当該線路部を構成する導体線路によってインダクタパターンを形成すると共に、

当該インダクタパターンの少なくとも一部を、前記結合キャパシタを構成する一方の容量電極に対し、平面から見たときに略重なるようにかつ前記積層基板の積層方向について近接するように配置することによって当該インダクタパターンと前記容量電極との間に寄生容量を発生させ、これにより通過帯域外に 1 以上の減衰極を形成した

ことを特徴とする積層型バンドパスフィルタ。

【請求項 2】

前記フィルタ本体部は、前記共振器として前記第一の共振器および前記第二の共振器からなる 2 つの共振器を備えてこれら 2 つの共振器によって通過帯域より低域側の阻止域に第一の減衰極を形成する一方、

前記インダクタパターンおよび前記寄生容量の発生によって通過帯域より高域側の阻止域に第二の減衰極を形成した

請求項 1 に記載の積層型バンドパスフィルタ。

【請求項 3】

前記インダクタパターンを、層間接続部により互いに電氣的に接続されかつ 2 以上の配線層に分割して配置した 2 以上のインダクタ線路部によって形成すると共に、

これらインダクタ線路部のうち、信号の伝送経路に沿って前記フィルタ本体部から最も離れたインダクタ線路部を、前記寄生容量を発生させるため前記容量電極に近接配置した

請求項 1 または 2 に記載の積層型バンドパスフィルタ。

【請求項 4】

前記インダクタパターンの一部を、寄生容量を発生させるため前記容量電極に近接配置する一方、

当該容量電極に近接配置するインダクタパターンの一部を、インダクタパターンの他の部分より幅を広くした

請求項 1 から 3 のいずれか一項に記載の積層型バンドパスフィルタ。

【請求項 5】

誘電体層により互いに絶縁された複数の配線層を有する積層基板内に配した 2 以上のステップインピーダンス共振器を含むフィルタ本体部と、

当該フィルタ本体部に含まれる第一のステップインピーダンス共振器に電氣的に接続して当該フィルタ本体部に信号を入力する入力線路部と、

当該フィルタ本体部に含まれる第二のステップインピーダンス共振器に電氣的に接続して当該フィルタ本体部から信号を出力する出力線路部と、

を備え、

前記第一のステップインピーダンス共振器および前記第二のステップインピーダンス共振器は共に、幅の広い導体線路により形成された低インピーダンス部と、当該低インピーダンス部と電氣的に接続されかつ当該低インピーダンス部より幅の狭い導体線路により形成された高インピーダンス部とをそれぞれ有する

積層型バンドパスフィルタであって、

前記入力線路部および前記出力線路部のうちのいずれか一方または双方に、当該線路部を構成する導体線路によってインダクタパターンを形成すると共に、

10

20

30

40

50

当該インダクタパターンの少なくとも一部を、前記第一のステップインピーダンス共振器および第二のステップインピーダンス共振器のいずれかの低インピーダンス部に対し、平面から見たときに略重なるようにかつ前記積層基板の積層方向について近接するように配置することによって当該インダクタパターンと当該低インピーダンス部との間に寄生容量を発生させ、これにより通過帯域外に1以上の減衰極を形成した

ことを特徴とする積層型バンドパスフィルタ。

【請求項6】

前記フィルタ本体部は、前記ステップインピーダンス共振器として前記第一のステップインピーダンス共振器および前記第二のステップインピーダンス共振器からなる2つのステップインピーダンス共振器を備えてこれら2つのステップインピーダンス共振器によっ

10

て通過帯域より低域側の阻止域に第一の減衰極を形成する一方、前記インダクタパターンおよび前記寄生容量の発生によって通過帯域より高域側の阻止域に第二の減衰極を形成した

請求項5に記載の積層型バンドパスフィルタ。

【請求項7】

前記第一のステップインピーダンス共振器と前記第二のステップインピーダンス共振器とを結合する結合キャパシタを備え、

前記インダクタパターンを、平面から見たときに、前記寄生容量を発生させるため近接させる低インピーダンス部ならびに前記結合キャパシタと略重なるように配置した

請求項6に記載の積層型バンドパスフィルタ。

20

【請求項8】

前記第一のステップインピーダンス共振器の低インピーダンス部と、前記第二のステップインピーダンス共振器の低インピーダンス部とを異なる配線層に設けると共に、平面から見たときにそれらの少なくとも一部が重なるように配置した

請求項5から7のいずれか一項に記載の積層型バンドパスフィルタ。

【請求項9】

前記インダクタパターンを、層間接続部により互いに電氣的に接続されかつ2以上の配線層に分割して配置した2以上のインダクタ線路部によって形成すると共に、

これらインダクタ線路部のうち、信号の伝送経路に沿って前記フィルタ本体部から最も離れたインダクタ線路部を、前記寄生容量を発生させるため前記低インピーダンス部に近接配置した

30

請求項5から8のいずれか一項に記載の積層型バンドパスフィルタ。

【請求項10】

前記インダクタパターンの一部を、寄生容量を発生させるため前記低インピーダンス部に近接配置する一方、

当該低インピーダンス部に近接配置するインダクタパターンの一部を、インダクタパターンの他の部分より幅を広くした

請求項5から9のいずれか一項に記載の積層型バンドパスフィルタ。

【請求項11】

前記積層基板がL T C C基板である

40

請求項1から10のいずれか一項に記載の積層型バンドパスフィルタ。

【請求項12】

前記請求項1から11のいずれか一項に記載の積層型バンドパスフィルタと、

当該積層型バンドパスフィルタと電氣的に接続されかつ前記積層基板に実装された1以上の電氣的機能素子と、

を備えた高周波モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層型バンドパスフィルタおよび高周波モジュールに係り、特に、L T C C

50

等の積層基板に内蔵させた共振器によって阻止帯域に減衰極を形成した有極型のバンドパスフィルタに関する。

【背景技術】

【0002】

周波数の選択や不要波の除去等の役割を果たすフィルタは、携帯電話機や無線LANなどの高周波無線通信システムにおいて必要不可欠な回路要素となっている。このような高周波フィルタは、小型・集積化の観点から一般に、LTCC (Low Temperature Co-fired Ceramics / 低温同時焼成セラミックス) 基板のような積層基板内部の導体パターンで形成された集中定数素子や分布定数共振器等によって構成される。さらに、基板表面にPA (電力増幅器) や高周波スイッチなどの半導体素子やチップ部品を実装し、所望の機能を備えた高周波モジュールとして提供されることがある。

10

【0003】

また、このような積層型フィルタを開示するものとして下記文献がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008 113432号公報

【特許文献2】特開2007 123993号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0005】

ところで、フィルタには、小型化と共にその本来の役割から、帯域外においてより多くの減衰量を確保することが求められ、この要求に応える一般的な手法として共振器の接続段数を増やす方法が知られている。しかしながらこの方法では、増やした共振器の分、フィルタサイズは大きくならざるを得ず、小型化の要請に反することとなる。また、挿入損失が増える点からも段数を増やすことは好ましい方法とは言えない。

【0006】

一方、少ない段数で比較的大きな帯域外減衰量が得られるフィルタとして、帯域外に減衰極を持つ有極型フィルタの提案が各種なされている (例えば前記特許文献1, 2)。

【0007】

30

また、図15および図17は本発明者が提案する有極型フィルタの一例を示すもので、図15は当該フィルタの等価回路図、図16Aから図16Eは積層基板内の各層における導体パターンを示す平面図、図17は周波数減衰特性を示す線図である。なお、これらの図において、後に述べる実施形態と同一又は相当する部分については、同一の符号を付している。これらの図に示すようにこの有極型フィルタ110は、キャパシタ C_{12} により結合させた2つのステップインピーダンス共振器11, 12 (以下、SIRと言う) を備えるC結合2段バンドパスフィルタである。

【0008】

各共振器11, 12は、インピーダンスが低い幅広の導体線路 (低インピーダンス部) C_{12-12} , C_{12-22} とインピーダンスが高い幅狭の導体線路 (高インピーダンス部) L_{r1} , L_{r2} とからなり、図16Dに示すように各SIR11, 12の高インピーダンス部 L_{r1} , L_{r2} 同士を並べて配置することによりこれらを電磁界結合 M_{12} させる。

40

【0009】

そして、かかる高インピーダンス部 L_{r1} , L_{r2} の相互インダクタンス M_{12} と上記キャパシタ C_{12} (結合キャパシタ電極 C_{12-11} と低インピーダンス部 C_{12-12} により形成される第1結合キャパシタ C_{12-1} ならびに結合キャパシタ電極 C_{12-21} と低インピーダンス部 C_{12-22} により形成される第2結合キャパシタ C_{12-2}) の結合容量とによるマルチパスを作成し、この並列共振を利用して低域側に減衰極A1を発生させている (図17参照)。さらにこのフィルタ110では、SIR11, 12を単純に同一の配線層に並べて配置していた従来のフィルタと異なり、低インピーダンス部 C_{12-12} , C_{12-22} と高インピーダンス部L

50

r_1 、 L_{r2} とをビアホールV（以下、単にビアと言う）で接続し平面から見たときに上下に重なるように別々の配線層に設けることによってフィルタのより一層の小型化を可能としている。

【0010】

しかしながらこのようなフィルタ構造によっても、小型化と共に低域側阻止域における良好な減衰は確保できるものの、通過帯域より高域側の阻止域では必ずしも十分な減衰量が得られていない（前記図17参照）。また、前記特許文献1および2記載のフィルタも、低域側阻止域と高域側阻止域の双方で十分な減衰を得ることは出来ない点で同様であり、段数を増やせば（例えば3段とする）高域側にも減衰極を作成することが出来るが、前述のように小型化および挿入損失の点で劣るものとならざるを得ない。

10

【0011】

したがって、本発明の目的は、より少ない段数でフィルタサイズを大きくすることなくより多くの帯域外減衰量を確保することにある。

【課題を解決するための手段】

【0012】

前記課題を解決し目的を達成するため、本発明の第一の積層型バンドパスフィルタは、誘電体層により互いに絶縁された複数の配線層を有する積層基板内に配した2以上の共振器およびこれらの共振器を結合する1以上の結合キャパシタを含むフィルタ本体部と、当該フィルタ本体部に含まれる第一の共振器に電気的に接続して当該フィルタ本体部に信号を入力する入力線路部と、当該フィルタ本体部に含まれる第二の共振器に電気的に接続して当該フィルタ本体部から信号を出力する出力線路部とを備えた積層型バンドパスフィルタであって、前記入力線路部および前記出力線路部のうちのいずれか一方または双方に、当該線路部を構成する導体線路によってインダクタパターンを形成すると共に、当該インダクタパターンの少なくとも一部を、前記結合キャパシタを構成する一方の容量電極に対し、平面から見たときに略重なるようにかつ前記積層基板の積層方向について近接するように配置することによって当該インダクタパターンと前記容量電極との間に寄生容量を発生させ、これにより通過帯域外に1以上の減衰極を形成する。

20

【0013】

本発明のバンドパスフィルタ（以下、BPFと言うことがある）では、フィルタを構成する共振器の接続段数を増やすのではなく、フィルタ（フィルタ本体部）の入力側または出力側、或いはそれらの双方にインダクタを形成し、このインダクタを結合キャパシタに近接して配置することで当該インダクタと結合キャパシタとの間に寄生容量を発生させ、この寄生容量と当該インダクタとによって並列共振を生じさせて減衰極を生成する。なお、この点については、後の実施形態の説明においてシミュレーション結果と共に図面に基づいてさらに詳しく述べる。

30

【0014】

上記インダクタは、フィルタ本体部に信号を入力する入力線路部またはフィルタ本体部から信号を出力する出力線路部を利用し、当該線路部を例えばループ状に引き回すことにより形成することが出来る。なお、当該インダクタの形状はループ状以外の形状、例えばミアンダ（蛇行）形状やクランク形状（鉤状）などであっても良く、インダクタとしての機能を奏する限りその形状は特に限定されない。

40

【0015】

上記フィルタ本体部は、2つ以上の共振器と、これらの共振器を結合する結合キャパシタとを含む。共振器の数は、小型化等の観点からは2個（2段）とすることが好ましい。従来の2段の有極型フィルタでは、減衰極を1つしか作ることが出来なかったが、本発明では2段であっても2つの減衰極（例えば通過帯域より低域側の阻止域と高域側の阻止域とにそれぞれ少なくとも1つずつ）を作成することが出来る。ただし、本発明は3個以上の共振器を備えたフィルタを除外するものではなく、3個以上の共振器を有するフィルタに対して本発明を適用することも可能である（後述の第二のフィルタも同様）。

【0016】

50

一方、フィルタ本体部を2個の共振器で構成すれば、低挿入損失で小型のBPFを実現することが出来る。しかも当該フィルタでは、フィルタ本体部(2段の共振器)によって通過帯域より低域側の阻止域に減衰極を形成すると共に、高域側の阻止域にも上記インダクタと寄生容量との並列共振によって減衰極を作ることができ、通過帯域の両側(低域側阻止域と高域側阻止域の双方)で大きな減衰を得ることが可能なBPFを実現することが出来る。

【0017】

従来の設計思想では、寄生容量は予期しない或いは歓迎されないパラメータとして捉えられていた。これに対し、本発明は逆にこれを巧みに利用し、キャパシタとして使用することで実際の素子(導体パターン)数を増やすことなく、またフィルタサイズを拡大することもなく特性向上を図ることが出来るものである。

10

【0018】

上記インダクタパターンは、フィルタ本体部の入力側と出力側のいずれか一方だけでなく、入力側と出力側の両方に設けることも可能である。この場合、フィルタ本体部と入力側インダクタパターンと出力側インダクタパターンとのそれぞれによって合計3つの減衰極を形成することが可能となるから、例えば、低域側阻止域にフィルタ本体部によって減衰極を形成すると共に、高域側阻止域で周波数をずらして入力側インダクタパターンと出力側インダクタパターンとによる2つの減衰極を形成することで、高域側阻止域により広い帯域に亘って大きな減衰を確保することが可能となる(後述の第2実施形態/図9, 11, 12参照)。

20

【0019】

上記積層基板としては、例えば、LTCC(低温同時焼成セラミックス)基板を使用する。この場合、上記インダクタパターンは、本発明のフィルタを構成する他の回路要素(入出力線路部やフィルタ本体部を構成する共振器・結合キャパシタ等)と一緒に導体箔をパターンニングすることにより、特に製造工程数を増やすことなく作成することが出来る。また、本発明では、当該インダクタパターンと、フィルタ本体部を構成する電極(上記第一のフィルタでは結合キャパシタの容量電極、後述の第二のフィルタでは低インピーダンス部を構成する電極)とを利用することによって容量(前記寄生容量)を形成するから、当該容量を形成するため新たに電極を設ける必要がない。したがって、本発明を適用するためにフィルタサイズが格別大きくなることもない。

30

【0020】

なお、上記インダクタパターンと寄生容量とにより作成する減衰極の周波数は、当該インダクタパターンのインダクタンス値と寄生容量の容量値によって調整(決定)することが出来る。ここで、当該寄生容量を大きくするには、例えば、インダクタパターンの一部を容量電極に近接配置することとした場合、言い換えれば、前記インダクタパターンを、前記容量電極に近接配置する線路部分(以下、この部分を「容量発生部」と言う)と、これ以外の線路部分(以下、この部分を「通常配置部」と言う)とからなるようにした場合に、容量発生部の長さを長くしても良いし(容量電極に近接させる線路部分を長く他の部分を短くする)、容量発生部の線路幅を通常配置部の線路幅より広くしても良い。このようにインダクタパターンの線路幅を、容量電極と近接配置する部分は太く、他の部分は細くなるように変えれば、インダクタパターン全体のインダクタンス値を確保しつつ、本発明で使用する寄生容量を十分に得ることが出来る。

40

【0021】

また上記インダクタパターンは、層間接続部(例えばビア)によって互いに電氣的に接続されかつ2以上の配線層に分割して配置した2以上のインダクタ線路部によって形成することが出来る。この場合、上記容量発生部は、インダクタパターンのうち信号の伝送経路に沿ってフィルタ本体部から最も離れた線路部分(言い換えれば、本フィルタの各部が入力端子、入力線路部、フィルタ本体部、出力線路部および出力端子の順に接続されている場合に、入力線路部に形成するインダクタパターンについては入力端子に最も近い線路部分であり、出力線路部に形成するインダクタパターンについては出力端子に最も近い線

50

路部分)に形成すること、別の表現をすれば、インダクタパターンの一部(全体でなく)を容量電極に近接させる場合には信号の伝送経路に沿って見たときにフィルタ本体部から出来るだけ遠い位置にあるインダクタ線路部を容量電極に近接させて上記寄生容量を生じさせること、が当該寄生容量とインダクタパターンとにより生成される減衰極を通過帯域に近づける観点から好ましい。この点については、後に実施形態の説明においてシミュレーション結果に基づいて述べるが、このような配置構造によれば、通過域近傍により急峻な減衰特性を得ることが出来る。

【0022】

また、本発明の第二の積層型バンドパスフィルタは、誘電体層により互いに絶縁された複数の配線層を有する積層基板内に配した2以上のSIR(ステップインピーダンス共振器)を含むフィルタ本体部と、当該フィルタ本体部に含まれる第一のSIRに電氣的に接続して当該フィルタ本体部に信号を入力する入力線路部と、当該フィルタ本体部に含まれる第二のSIRに電氣的に接続して当該フィルタ本体部から信号を出力する出力線路部とを備え、前記第一のSIRおよび前記第二のSIRは共に、幅の広い導体線路により形成された低インピーダンス部と、当該低インピーダンス部と電氣的に接続されかつ当該低インピーダンス部より幅の狭い導体線路により形成された高インピーダンス部とをそれぞれ有する積層型バンドパスフィルタであって、前記入力線路部および前記出力線路部のうちのいずれか一方または双方に、当該線路部を構成する導体線路によってインダクタパターンを形成すると共に、当該インダクタパターンの少なくとも一部を、前記第一のSIRおよび第二のSIRのいずれかの低インピーダンス部に対し、平面から見たときに略重なるようにかつ前記積層基板の積層方向について近接するように配置することによって当該インダクタパターンと当該低インピーダンス部との間に寄生容量を発生させ、これにより通過帯域外に1以上の減衰極を形成したものである。

【0023】

この第二のBPFは、フィルタ本体部を構成する共振器としてSIRを使用するもので、前記第一のBPFでは寄生容量を発生させるインダクタパターンを結合キャパシタに近接させたが、この第二のBPFでは、SIRの低インピーダンス部に近接して配置することにより当該寄生容量を生じさせる。このように低インピーダンス部を構成する電極との間に寄生容量を発生させても、前記第一のBPFと同様に、新たに容量電極を設ける必要なくかつフィルタサイズの拡大を回避しつつ、当該寄生容量とインダクタパターンとにより減衰極を生成して通過帯域外において良好な減衰特性を得ることが出来る。

【0024】

なお、この第二のBPFと同様に前記第一のBPFにおいても、フィルタ本体部を構成する共振器としてSIRを使用することは可能である。この場合、2以上のSIRとこれらを結合する結合キャパシタとによりフィルタ本体部を構成し、上記インダクタパターンは第一のBPF構造に基づいて結合キャパシタに近接配置すれば良い。

【0025】

さらにこの第二のBPFにおいても、前記第一のBPFと同様に、フィルタ本体部を、2つの共振器(第一のSIRと第二のSIR)により構成し、これら2つのSIRによって通過帯域より低域側の阻止域に第一の減衰極を形成する一方、前記インダクタパターンおよび前記寄生容量の発生によって通過帯域より高域側の阻止域に第二の減衰極を形成することが出来る。

【0026】

またこの第二のBPFは、第一のSIRと第二のSIRとを結合する結合キャパシタを備え、前記インダクタパターンを、平面から見たときに、前記寄生容量を発生させるため近接させる低インピーダンス部ならびに前記結合キャパシタと略重なるように配置するようにしても良い。このような配置構造とすれば、フィルタのサイズ(平面から見たときの大きさ)を小さくすることが出来る。

【0027】

またこの第二のBPFにおいて、第一のSIRの低インピーダンス部と第二のSIRの

低インピーダンス部とを、異なる配線層に設けると共に、平面から見たときにそれらの少なくとも一部が重なるように配置すれば、フィルタのより一層の小型化を図ることが出来る。なお、本発明に含まれる各SIRについて低インピーダンス部と高インピーダンス部とを電氣的に接続するには、これらが同じ配線層に配置されている場合には、例えば両者を連続した導体パターン（導体線路）としてパターン形成すれば良いし、異なる配線層に配置されている場合には、ビア等の層間接続部により両者を接続すれば良い。

【0028】

さらに、この第二のBPFにおいても、前記第一のBPFと同様に、インダクタパターンを、層間接続部により互いに電氣的に接続されかつ2以上の配線層に分割して配置した2以上のインダクタ線路部によって形成すると共に、これらインダクタ線路部のうち、信号の伝送経路に沿ってフィルタ本体部から最も離れたインダクタ線路部を、前記寄生容量を発生させるため前記低インピーダンス部に近接させるようにしても良い。また、前記インダクタパターンの一部を、寄生容量を発生させるため前記低インピーダンス部に近接して配置し、当該低インピーダンス部に近接させて配置するインダクタパターンの一部を、インダクタパターンの他の部分より幅を広くする場合がある。

10

【0029】

また、本発明に係る高周波モジュールは、本発明に係る上記積層型BPFのいずれかを備えるものであり、さらに当該BPFと電氣的に接続されかつ前記積層基板に実装された1以上の電氣的機能素子を有する。この電氣的機能素子としては、例えば、PA（電力増幅器）や高周波スイッチ等の半導体素子ないし集積回路（IC）、あるいは、チップインダクタ・チップキャパシタ・チップ抵抗などのチップ部品（ディスクリット部品）その他が含まれる。また当該電氣的機能素子には、前記積層基板の表面に実装される表面実装部品と、積層基板の内部配線層に備えられる内蔵部品の双方が含まれる。

20

【0030】

さらに、本発明に言う上記高周波モジュールは、その種類を特に問わない。一例として無線LANモジュールを構成することが出来るが、例えば携帯通信端末のフロントエンドモジュールや、その他様々なモジュールを本発明に基づいて構成することが可能である。また、本発明に係るBPFを1つの積層基板に複数備えて、例えば2以上の周波数帯域で使用可能な通信モジュール（デュアルバンド用モジュール、トリプルバンド用モジュール等）を構成しても良い。なお、本発明のBPFは、このようなモジュールに備えるのではなく、他の機能素子を含まない単体のフィルタ素子として提供することも勿論可能である。

30

【0031】

また、後に述べる実施形態では、通過帯域3.4～3.8GHz（帯域中心周波数約3.6GHz）のBPFを想定したが、これより低い周波数帯ならびに高い周波数帯で使用するBPFも本発明に基づいて同様に構成することが可能である。

【発明の効果】

【0032】

本発明に係る積層型BPFによれば、より少ない段数でフィルタサイズを大きくすることなくより大きな帯域外減衰量を確保することが出来る。

40

【0033】

本発明の他の目的、特徴および利点は、図面に基づいて述べる以下の本発明の実施の形態の説明により明らかにする。なお、本発明は下記実施形態に限定されるものではなく、特許請求の範囲に記載の範囲内で種々の変更を行うことができることは当業者に明らかである。また、各図中、同一の符号は、同一又は相当部分を示す。

【図面の簡単な説明】

【0034】

【図1】図1は、本発明の第一の実施形態に係るBPFを示す等価回路図である。

【図2A】図2Aは、前記第一実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第1層の導体パターン）を示す平面図である。

50

【図 2 B】図 2 B は、前記第一実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 2 層の導体パターン）を示す平面図である。

【図 2 C】図 2 C は、前記第一実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 3 層の導体パターン）を示す平面図である。

【図 2 D】図 2 D は、前記第一実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 4 層の導体パターン）を示す平面図である。

【図 2 E】図 2 E は、前記第一実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 5 層の導体パターン）を示す平面図である。

【図 2 F】図 2 F は、前記第一実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 6 層の導体パターン）を示す平面図である。

10

【図 2 G】図 2 G は、前記第一実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 7 層の導体パターン）を示す平面図である。

【図 2 H】図 2 H は、前記第一実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 8 層の導体パターン）を示す平面図である。

【図 3】図 3 は、前記第一実施形態に係る積層型 B P F の断面構造（高周波モジュールに組み込んだ状態）を概念的に示す図である。

【図 4】図 4 は、前記第一実施形態に係る B P F の周波数 減衰特性および周波数 反射特性を示す線図である。

【図 5】図 5 は、前記第一実施形態の変形例に係る積層型 B P F の断面構造（高周波モジュールに組み込んだ状態）を概念的に示す図である。

20

【図 6】図 6 は、前記第一実施形態の変形例に係る B P F の周波数 減衰特性および周波数 反射特性を示す線図である。

【図 7】図 7 は、本発明の第二の実施形態に係る B P F を示す等価回路図である。

【図 8 A】図 8 A は、前記第二実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 1 層の導体パターン）を示す平面図である。

【図 8 B】図 8 B は、前記第二実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 2 層の導体パターン）を示す平面図である。

【図 8 C】図 8 C は、前記第二実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 3 層の導体パターン）を示す平面図である。

【図 8 D】図 8 D は、前記第二実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 4 層の導体パターン）を示す平面図である。

30

【図 8 E】図 8 E は、前記第二実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 5 層の導体パターン）を示す平面図である。

【図 8 F】図 8 F は、前記第二実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 6 層の導体パターン）を示す平面図である。

【図 8 G】図 8 G は、前記第二実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 7 層の導体パターン）を示す平面図である。

【図 8 H】図 8 H は、前記第二実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 8 層の導体パターン）を示す平面図である。

【図 9】図 9 は、前記第二実施形態に係る B P F の周波数 減衰特性および周波数 反射特性を示す線図である。

40

【図 10】図 10 は、前記第二実施形態の変形例に係る B P F を示す平面図（第二実施形態の第 4 層 / 図 8 D に相当）である。

【図 11】図 11 は、前記第二実施形態の変形例に係る B P F の周波数 減衰特性および周波数 反射特性を示す線図である。

【図 12】図 12 は、前記第二実施形態のさらに別の変形例に係る B P F の周波数 減衰特性および周波数 反射特性を示す線図である。

【図 13】図 13 は、本発明の第三の実施形態に係る B P F を示す等価回路図である。

【図 14 A】図 14 A は、前記第三実施形態に係る積層型 B P F の積層基板内における構造（基板内部配線層の第 1 層の導体パターン）を示す平面図である。

50

【図14B】図14Bは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第2層の導体パターン）を示す平面図である。

【図14C】図14Cは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第3層の導体パターン）を示す平面図である。

【図14D】図14Dは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第4層の導体パターン）を示す平面図である。

【図14E】図14Eは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第5層の導体パターン）を示す平面図である。

【図14F】図14Fは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第6層の導体パターン）を示す平面図である。

【図14G】図14Gは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第7層の導体パターン）を示す平面図である。

【図14H】図14Hは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第8層の導体パターン）を示す平面図である。

【図14I】図14Iは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第9層の導体パターン）を示す平面図である。

【図14J】図14Jは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第10層の導体パターン）を示す平面図である。

【図14K】図14Kは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第11層の導体パターン）を示す平面図である。

【図14L】図14Lは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第12層の導体パターン）を示す平面図である。

【図14M】図14Mは、前記第三実施形態に係る積層型BPFの積層基板内における構造（基板内部配線層の第13層の導体パターン/基板上面側から裏面を透視した状態）を示す平面図である。

【図15】図15は、本発明の比較例に係る積層型BPFを示す等価回路図である。

【図16A】図16Aは、前記比較例に係るBPFの積層基板内における構造（基板内部配線層の第1層の導体パターン）を示す平面図である。

【図16B】図16Bは、前記比較例に係るBPFの積層基板内における構造（基板内部配線層の第2層の導体パターン）を示す平面図である。

【図16C】図16Cは、前記比較例に係るBPFの積層基板内における構造（基板内部配線層の第3層の導体パターン）を示す平面図である。

【図16D】図16Dは、前記比較例に係るBPFの積層基板内における構造（基板内部配線層の第4層の導体パターン）を示す平面図である。

【図16E】図16Eは、前記比較例に係るBPFの積層基板内における構造（基板内部配線層の第5層の導体パターン）を示す平面図である。

【図17】図17は、前記比較例に係るBPFの周波数減衰特性および周波数反射特性を示す線図である。

【発明を実施するための形態】

【0035】

〔第1実施形態〕

【0036】

本発明の第一の実施形態について説明する。図1に示すように本発明の第一の実施の形態に係るBPF101は、入力端子 P_1 と出力端子 P_2 との間に2つのSIR、すなわち第一のSIR（以下「第1SIR」と言う）11と第二のSIR（以下「第2SIR」と言う）12を、段間結合キャパシタ C_{12} を介して順に接続することによりフィルタ本体部10を構成し、このフィルタ本体部10と出力端子 P_2 との間にインダクタ L_s （前記インダクタパターン）を直列に挿入したC結合2段BPFである。

【0037】

またこの図1の等価回路では、インダクタ L_s に並列に接続されたキャパシタ C_p を記載

10

20

30

40

50

しているが、このキャパシタ C_p は、後に述べる第4層のインダクタ線路部 L_{S-3} を、結合キャパシタの一方の電極（第2結合電極 C_{12-21} ）に対して基板の厚さ方向に近接して配置することにより発生させた寄生容量であり、新たに電極を設けて形成したものではない。

【0038】

フィルタ本体部10に含まれる各SIR11, 12は、幅が狭い導体線路からなる高インピーダンス部 L_{r1} , L_{r2} と、これら高インピーダンス部 L_{r1} , L_{r2} とビアVを介してそれぞれ接続される幅広の導体線路からなる低インピーダンス部 C_{12-12} （以下、第1低インピーダンス部と言う）、 C_{12-22} （以下、第2低インピーダンス部と言う）とからなり、図1の等価回路図では低インピーダンス部 C_{12-12} , C_{12-22} をキャパシタ（以下、それぞれ第1共振キャパシタ C_{r1} 及び第2共振キャパシタ C_{r2} と言う）として表している。

10

【0039】

なお、図1の等価回路図では、共振キャパシタ（第1共振キャパシタ C_{r1} 及び第2共振キャパシタ C_{r2} ）と結合キャパシタ（第1結合キャパシタ C_{12-1} 及び第2結合キャパシタ C_{12-2} ）とを独立した別個のキャパシタとして描いているが、図1において第1共振キャパシタ C_{r1} の一方の電極（第1低インピーダンス部 C_{12-12} ）と、第1結合キャパシタ C_{12-1} の入力端子側に描いた電極（第1低インピーダンス部 C_{12-12} ）とは実際には積層基板内に配した同一の電極（第1低インピーダンス部 C_{12-12} ）であり、同様に、第2共振キャパシタ C_{r2} の一方の電極（第2低インピーダンス部 C_{12-22} ）と、第2結合キャパシタ C_{12-2} の出力端子側に描いた電極（第2低インピーダンス部 C_{12-22} ）とは同一の電極（第2低インピーダンス部 C_{12-22} ）である。

20

【0040】

フィルタ101を構成する各部（SIR11, 12や結合キャパシタ C_{12} 、インダクタ L_S ）は、積層基板内部の配線層に備えた導体パターンにより形成する。積層基板にはLTC基板を使用し、BPF101を構成する基板各層の導体パターンは、グリーンシート上に導電性ペーストを印刷塗布することによりパターン形成し、各グリーンシートを積層した後、同時焼成することにより形成する。フィルタ101を構成する各部導体の基板内における配置および接続関係は図2Aから図2Hに示すとおりである。

【0041】

なお、これら図2Aから図2Hは、当該積層基板の内部において絶縁層を介し上下方向（基板の厚さ方向）に連続する（隣り合う）8つの配線層を示しており、基板表面（上面）に近い層が図2Aに示す第1層、以下、基板裏面（下面）に向け順に、第2層（図2B）、第3層（図2C）、第4層（図2D）、第5層（図2E）、第6層（図2F）、第7層（図2G）および第8層（図2H）としている。また当該積層基板の内部配線層の層数は、8層に限られるものではなく、9層以上、例えば9～30層あるいはそれ以上の配線層を有するものであっても良い。例えば、後に述べるモジュール（図3）を構成するような場合には、基板の表裏両面に加えて9層以上の内部配線層を有する積層基板を使用し、この基板に本実施形態のフィルタ101を内蔵させることが出来る。

30

【0042】

またこの場合、本実施形態（以下の実施形態でも同様）のフィルタ101は、基板内部の第1層から第8層までに亘って必ずしも形成する必要はなく、例えば第2層から第9層に亘って形成したり、例えば第10層から第17層に亘って形成するなど、モジュールに含める他の素子の配置や接続構造に合わせて基板内の任意の複数層を使用してフィルタ101を構成して構わない（上記「第1層」とは積層基板の内部配線層のうち最も上にある層を意味するものではなく、当該基板内の任意の層であって良い）。さらに上記各層は基板の厚さ方向に必ずしも連続した層である必要はなく、例えばキャパシタを構成しない第6層と第7層との間や第7層と第8層との間には、1以上の配線層が介在されていても良い。また、これら図2Aから図2Hにおいて、丸はビアを表し、黒丸（塗りつぶした丸）は下層に対して電氣的な接続を行うため当該ビアが下方に延びていることを示している（以下の実施形態/図8Aから図8H、図14Aから図14M、図16Aから図16Eにお

40

50

いて同様)。

【0043】

さて、図2Aに示すように第1層には、ベタグラウンドとして上部グラウンド電極 G_1 を形成する。また第2層(図2B)には、第1SIRの低インピーダンス部 C_{12-12} を構成する電極(第1低インピーダンス部)と、第2SIRの低インピーダンス部 C_{12-22} を構成する電極(第2低インピーダンス部)とを並べて配置し、これらの低インピーダンス部 C_{12-12} 、 C_{12-22} を、第1層の前記上部グラウンド電極 G_1 と誘電体層を介して対向させることにより、第1共振キャパシタ C_{r1} と第2共振キャパシタ C_{r2} とをそれぞれ形成する。なお、これら第1低インピーダンス部 C_{12-12} および第2低インピーダンス部 C_{12-22} は、第7層に配した第1高インピーダンス部 L_{r1} および第2高インピーダンス部 L_{r2} にそれぞれビアVを介して電氣的に接続する。

10

【0044】

第3層(図2C)の、前記第1低インピーダンス部 C_{12-12} の下面位置には、結合キャパシタ C_{12} を構成する一方の容量電極(以下「第1結合電極」と言う) C_{12-11} を、また同じく第3層(図2C)の、前記第2低インピーダンス部 C_{12-22} の下面位置には、結合キャパシタ C_{12} を構成する他方の容量電極(以下「第2結合電極」と言う) C_{12-21} をそれぞれ設け、これら第1結合電極 C_{12-11} と第2結合電極 C_{12-21} とを導体線路で電氣的に接続する。したがって、前記第1SIR11と第2SIR12を結合する結合キャパシタ C_{12} は、これら第1低インピーダンス部 C_{12-12} 、第1結合電極 C_{12-11} 間の容量と、第2低インピーダンス部 C_{12-22} 、第2結合電極 C_{12-21} 間の容量とにより形成される。

20

【0045】

第4層(図2D)には、出力線路部52を設け、この出力線路部52をU字状に引き回すことによりインダクタ線路部 L_{S-3} を形成する。また第5層(図2E)と第6層(図2F)にも、同様にU字状に引き回したインダクタ線路部 L_{S-2} 、 L_{S-1} を略90°ずつ回転させた形でそれぞれ形成し、これら第4層から第6層のインダクタ線路部 L_{S-3} 、 L_{S-2} 、 L_{S-1} をビアVにより接続することによって基板の厚さ方向に延びるコイル状のインダクタ L_S を構成する。

【0046】

また、第4層に設けたインダクタ線路部 L_{S-3} は、結合キャパシタ C_{12} の第2結合電極 C_{12-21} の下面に誘電体層を介して対向するように配置してあり、これにより当該インダクタ線路部 L_{S-3} と第2結合電極 C_{12-21} との間に容量(寄生容量) C_p を発生させる。なお、この寄生容量 C_p を生じさせる第4層のインダクタ線路部 L_{S-3} は、先に述べた容量発生部に相当し、これ以外の、インダクタを構成する線路部分である第5層のインダクタ線路部 L_{S-2} と第6層のインダクタ線路部 L_{S-1} は前述の通常配置部に相当する。

30

【0047】

第4層の出力線路部52は、図面では基板の端縁に引き出してその先の接続構造を描いていないが、例えばビアやキャストレーション(所謂サイドビア)(いずれも図示せず)によって前記第1層より上部の基板表面または後述の第8層より下方に位置する基板裏面に引き出して当該基板表面や裏面に設けた信号出力用のパッド電極(出力端子 P_2)に電氣的に接続する。後に述べる入力線路部51も同様に、基板の表面または裏面に引き出して当該基板表面や裏面に設けた入力用のパッド電極(入力端子 P_1)に接続すれば良い。

40

【0048】

さらに第6層のインダクタ線路部 L_{S-1} は、第5層のインダクタ線路部 L_{S-2} に接続した端部とは反対側の端部において、第7層(図2G)の第2高インピーダンス部 L_{r2} にビアVを介して接続してある。

【0049】

第7層(図2G)には、前記低インピーダンス部 C_{12-12} 、 C_{12-22} より幅の狭い導体線路により形成した第1高インピーダンス部 L_{r1} と第2高インピーダンス部 L_{r2} を並べて平行に配置し、これらを互いに電磁界結合させる。これにより本実施形態のBPF101では、前記結合キャパシタ C_{12} による容量結合(C結合)と、当該高インピーダンス部 L_{r1}

50

、 L_{r2} 同士のエッジ結合（M結合） M_{12} とによるマルチパスを生成する。

【0050】

また、各高インピーダンス部 L_{r1} 、 L_{r2} の一端は、第8層（図2H）に設けた下部グラウンド電極 G_0 にピアVを介しそれぞれ接続することにより接地する。一方、第1高インピーダンス部 L_{r1} の他端部からは、入力線路部51を引き出す。この入力線路部51は、前述したように基板の端縁からサイドピア（キャストレーション）を通じて基板の表面または裏面に設けた信号入力用のパッド電極（入力端子 P_1 ）に電氣的に接続する。また第2高インピーダンス部 L_{r2} の他端部は、前述したインダクタ L_s （インダクタ線路部 L_{s-1} ）とピアVを介して接続されている。さらに第8層（図2H）には、ベタグラウンドとして下部グラウンド電極 G_0 を形成する。

10

【0051】

図4は本実施形態に係るBPF101の周波数減衰特性を示す線図であり、入出力端子 P_1 、 P_2 間の通過特性 S_{21} を実線により、出力端子 P_2 における反射特性 S_{22} を破線によりそれぞれ示している。この図から明らかなように、本実施形態のBPFでは、通過帯域（3.4～3.8GHz）より低域側の阻止域である2.0GHz付近にフィルタ本体部によって減衰極A1を形成できると共に、これに加えて、通過帯域より高域側阻止域の5.8GHz付近にも減衰極A2を生成することが可能である。この減衰極A2は前記インダクタ L_s と寄生容量 C_p との並列共振によるもので、本実施形態によれば通過帯域より低域側および高域側の双方の阻止域で大きな減衰量を確保することが可能となる。

20

【0052】

さらに本実施形態では、インダクタパターン L_s は結合キャパシタ C_{12-21} と略重なるように配置され、かつ容量 C_p を形成するために新たに電極を設ける必要もないから、平面から見てフィルタ101が大きくなることなく、小さなサイズを維持しつつ帯域外減衰特性を向上させることが出来る。また、本実施形態のフィルタ101は、各SIR11、12について低インピーダンス部 C_{12-12} 、 C_{12-22} と高インピーダンス部 L_{r1} 、 L_{r2} とを折り返すように別々の配線層に重なるように配置しているから、低インピーダンス部 C_{12-12} 、 C_{12-22} と高インピーダンス部 L_{r1} 、 L_{r2} を同一の配線層に設けていた従来のSIR使用のフィルタと比較しても小型化が可能である。

【0053】

また、本実施形態のBPF101は、積層基板に内蔵して各種のモジュールを構成することが出来る。図3は、本実施形態に係る上記BPF101を積層基板に内蔵して高周波モジュールを構成した状態を概念的に示すものである。この図に示すように積層基板1の表面には、PAや高周波スイッチを含むIC2、ならびにチップインダクタやチップキャパシタ等のチップ部品3を実装し、積層基板1の内部配線層に本実施形態のBPF101を形成する。また、積層基板1の内層には本実施形態のBPF101以外にも様々な回路・素子を実装することが出来る。

30

【0054】

〔第1実施形態の変形例〕

前記第1実施形態では、3つのインダクタ線路部（第4層に設けた線路部 L_{s-3} 、第5層に設けた線路部 L_{s-2} および第6層に設けた線路部 L_{s-1} ）のうち、信号の伝送経路に沿ってフィルタ本体部10から最も離れたインダクタ線路部 L_{s-3} を、言い換えれば、出力端子 P_2 に最も近いインダクタ線路部 L_{s-3} を、結合キャパシタ C_{12} の第2結合電極 C_{12-21} に近接させて寄生容量 C_p を発生させたが、これとは逆に、フィルタ本体部10に最も近いインダクタ線路部 L_{s-1} を結合キャパシタ C_{12} の第2結合電極 C_{12-21} の下面に配置して寄生容量を生じさせたフィルタ構造について変形例として検討を行った。

40

【0055】

図5は、当該変形例に係るフィルタを概念的に示すものである。このフィルタ102では、信号の伝送経路に沿ってフィルタ本体部10に最も近いインダクタ線路部 L_{s-1} 、すなわち、第2高インピーダンス部 L_{r2} に接続されたインダクタ線路部 L_{s-1} を第4層に配置して結合キャパシタ C_{12} の第2結合電極 C_{12-21} に近接させて寄生容量 C_p を生じさせ、

50

出力線路部 5 2 によって形成するインダクタ線路部 L_{S-3} を第 6 層に配置した。図 6 は当該変形例のフィルタ 1 0 2 の周波数 減衰特性を示す線図である。この図から分かるように当該変形例のフィルタ 1 0 2 では、インダクタパターン L_S と寄生容量 C_p とによって形成される減衰極 A 2 が高域側 (7 GHz 付近) に移動している。

【 0 0 5 6 】

したがって、通過帯域近傍で大きな (急峻な) 減衰を望む場合には、前記第 1 実施形態のようにフィルタ本体部 1 0 から最も離れたインダクタ線路部 L_{S-3} を、言い換えれば、出力端子 P_2 に最も近いインダクタ線路部 L_{S-3} を、結合キャパシタ C_{12} の第 2 結合電極 C_{12-21} に近接させて寄生容量 C_p を発生させると良い。

【 0 0 5 7 】

〔 第 2 実施形態 〕

本発明の第二の実施形態について説明する。なお、前記第 1 実施形態と同一又は相当する部分については図面に同一の符号を付して重複した説明を省略し、相違点を中心に述べる。

【 0 0 5 8 】

図 7 に示すように本発明の第二の実施の形態に係る B P F 1 0 3 は、前記第 1 実施形態のフィルタ 1 0 1 と同様に、第 1 S I R 1 1 と第 2 S I R 1 2 とをキャパシタ C_{12} で結合したフィルタ本体部 1 0 を備え、このフィルタ本体部 1 0 と出力端子 P_2 との間にインダクタパターン L_{S2} を挿入した C 結合 2 段 B P F であるが、前記第 1 実施形態と異なり、入力側にも、すなわち、フィルタ本体部 1 0 と入力端子 P_1 との間にもインダクタパターン L_{S1} を直列に接続したものである。

【 0 0 5 9 】

入力側に設けたこのインダクタパターン L_{S1} は、図 8 D から図 8 F に示すように、出力線路部 5 2 を引き回して形成した出力側のインダクタパターン L_{S2} と同様に、入力線路部 5 1 を U 字状に引き回すことによって形成したもので、基板第 3 層 (図 8 C) に配した結合キャパシタ C_{12} (第 1 結合電極 C_{12-11}) の下面に誘電体層を介して対向するよう配置したインダクタ線路部 L_{S1-3} (容量発生部) と、第 5 層および第 6 層にそれぞれ形成したインダクタ線路部 L_{S1-2} , L_{S1-1} (通常配置部) とをビア V で接続して基板の厚さ方向に延びるコイル状のインダクタを構成したものである。

【 0 0 6 0 】

なお、この入力側インダクタパターン L_{S1} の容量発生部 L_{S1-3} は、結合キャパシタ C_{12} の第 1 結合電極 C_{12-11} の下面に配置してあり、当該第 1 結合電極 C_{12-11} との間に寄生容量 C_{p1} を発生させる。また、出力側インダクタパターン L_{S2} の容量発生部 L_{S2-3} は、前記第 1 実施形態のフィルタ 1 0 1 と同様に、結合キャパシタ C_{12} の第 2 結合電極 C_{12-21} の下面に配置してあり、当該第 2 結合電極 C_{12-21} との間に寄生容量 C_{p2} を発生させる。

【 0 0 6 1 】

また、入力側インダクタパターン L_{S1} の他端 (入力線路部 5 1 と反対側) は、第 7 層 (図 8 G) に配した第 1 高インピーダンス部 L_{r1} とビア V を介して接続してある。

【 0 0 6 2 】

図 9 は本実施形態に係る B P F の周波数 減衰特性を示す線図であり、入出力端子 P_1 , P_2 間の通過特性 S_{21} を実線により、出力端子 P_2 における反射特性 S_{22} を破線によりそれぞれ示している。この図から明らかなように、本実施形態の B P F 1 0 3 では、高域側の阻止域に 2 つの減衰極 A 2, A 3 を生成できる (なお、低域側にも前記第 1 実施形態と同様にフィルタ本体部 1 0 による減衰極 (2.0 GHz 付近) が形成される。これら高域側の減衰極 A 2, A 3 は前記入力側インダクタ L_{S1} と寄生容量 C_{p1} との並列共振、ならびに前記出力側インダクタ L_{S2} と寄生容量 C_{p2} との並列共振によるもので、本実施形態によれば高域側阻止域でより広い帯域に亘って大きな減衰を確保することが出来る。

【 0 0 6 3 】

また入力側のインダクタパターン L_{S1} も、出力側のインダクタパターン L_{S2} と同様に結合キャパシタ C_{12-11} に略重なるように配置されており、容量 C_{p1} を形成するために新た

10

20

30

40

50

に電極を設ける必要もないから、平面から見てフィルタが大きくなることもない。

【0064】

さらにこの第2実施形態において、インダクタパターンの大きさを変更した変形例について検討を行った。図10に示すようにこの変形例では、出力側インダクタパターン L_{S2} の容量発生部 L_{S2-3} を大きなループを描くように形成した。このときの周波数減衰特性を図11に示す。同図から分かるようにこの変形例に係るフィルタ構造よれば、減衰極 $A2$ 、 $A3$ を通過域に近づけることができ、通過域高域側により急峻な減衰特性を得ることが出来る。

【0065】

さらに前記第2実施形態(図8A~図8H)において、両 $SIR11$ 、 12 の高インピーダンス部 L_{r1} 、 L_{r2} 間の間隔を狭めることにより両者の結合 M_{12} を強めた変形例につき検討を行った。結果は、図12に示すとおりである。同図から分かるようにこのようなフィルタ構造によれば、通過域より低域側の減衰極 $A1$ を通過域に近づけることができ、低域側の減衰特性をより急峻なものとするのが可能となる。また高域側についても、減衰極 $A2$ 、 $A3$ によって前記図10に示した変形例と略同等の減衰特性が得られる。

【0066】

〔第3実施形態〕

本発明の第三の実施形態について説明する。なお、前記第1ないし第2実施形態と同一又は相当する部分については図面に同一の符号を付して重複した説明を省略し、相違点を中心に述べる。

【0067】

図13に示すように本発明の第三の実施の形態に係るBPFは、前記第1実施形態のフィルタ101と同様に、第1 $SIR11$ と第2 $SIR12$ をキャパシタ C_{12} で結合したフィルタ本体部10を備え、このフィルタ本体部10と出力端子 P_2 との間にインダクタパターン L_S を直列に挿入したC結合2段BPF104であるが、このフィルタ104は、比較的大きな面積を必要とする低インピーダンス部(第1 $SIR11$ の低インピーダンス部 C_{12-12} と第2 $SIR12$ の低インピーダンス部 C_{12-22})を平面から見たときにこれらが重なるように別々の配線層に配置することで、フィルタのより一層の小型化を可能としたものである。

【0068】

以下、図14Aから図14Mに基づいて順に説明する。なお、これらの図面のうち図14Aから図14Lはいずれも、前記図2Aから図2Hや図8Aから図8Hと同様に、基板各層の表面を基板の上面側から見た状態として示しているが、図14Mは基板の裏面を基板の上面側から透視した状態で示している。

【0069】

まず、基板の表面である第1層(図14A)には、ICを搭載するパッド電極 P_3 と、BPF104へ信号を入力するための入力端子電極 P_1 を設ける。第2層(図14B)には、ベタグランドとして上部グランド電極 G_1 を形成する。第3層(図14C)には、第1 $SIR11$ の低インピーダンス部(第1低インピーダンス部) C_{12-12} を設ける。この第1低インピーダンス部 C_{12-12} は、前記第2層(図14B)の上部グランド電極 G_1 と誘電体層を介し対向して第1共振キャパシタ C_{r1} を構成する。

【0070】

第4層(図14D)の、前記第1低インピーダンス部 C_{12-12} の下面位置には、第1結合電極 C_{12-11} を設ける。この第1結合電極 C_{12-11} は、後に述べる第2結合電極 C_{12-21} とビア V_{12} を介し電氣的に接続されると共に、第1低インピーダンス部 C_{12-12} と誘電体層を介して対向することによりキャパシタ C_{12-1} を構成する。さらにこのキャパシタ C_{12-1} (第1結合キャパシタ)は、後に述べる第2結合キャパシタ C_{12-2} と共に、第1 $SIR11$ と第2 $SIR12$ とを接続する段間結合キャパシタ C_{12} を構成する。

【0071】

第5層(図14E)には、BPF104に信号を入力するための入力線路部51を設け

10

20

30

40

50

る。この入力線路部 5 1 は、一端が前記基板表面（第 1 層）に設けた入力端子電極 P_1 にビア V を通じて接続され、他端が次に述べる第 6 層（図 1 4 F）に形成した第 1 高インピーダンス部 L_{r1} にビア V を通じて接続されている。

【0072】

第 6 層（図 1 4 F）の、前記第 1 低インピーダンス部 C_{12-12} の略直下位置には、第 1 S I R 1 1 の高インピーダンス部 L_{r1} （第 1 高インピーダンス部）と、第 2 S I R 1 2 の高インピーダンス部 L_{r2} （第 2 高インピーダンス部）とを平行に並べて設け、これらを互いに電磁界結合させる。また、これら第 1 高インピーダンス部 L_{r1} と第 2 高インピーダンス部 L_{r2} の先端部にはビア V を設け、これらのビア V により前記第 2 層（図 1 4 B）の上部グランド電極 G_1 および後に述べる第 1 2 層の下部グランド電極 G_0 に電氣的に接続することにより各高インピーダンス部 L_{r1} 、 L_{r2} の先端部を接地する。

10

【0073】

一方、第 1 高インピーダンス部 L_{r1} の基端部（反対側の端部）には別のビア V を設けてこのビア V により前記第 3 層（図 1 4 C）に設けた第 1 低インピーダンス部 C_{12-12} と当該第 1 高インピーダンス部 L_{r1} とを接続する。さらに、第 1 高インピーダンス部 L_{r1} の中間部にビア V を設けてこのビア V により前記第 5 層（図 1 4 E）に設けた入力線路部 5 1 を第 1 高インピーダンス部 L_{r1} に接続する。

【0074】

他方、第 2 高インピーダンス部 L_{r2} の基端部は、ビア V を介して後に述べる第 1 1 層（図 1 4 K）の第 2 低インピーダンス部 C_{12-22} に接続する。また、第 2 高インピーダンス部 L_{r2} の中間部にビア V を設けてこのビア V により、後に述べる第 7 層（図 1 4 G）のインダクタ線路部 L_{s-1} と第 2 高インピーダンス部 L_{r2} とを接続する。

20

【0075】

第 7 層（図 1 4 G）ならびに第 8 層（図 1 4 H）には、本発明に係るインダクタパターン L_s を構成するインダクタ線路部 L_{s-1} 、 L_{s-2} （通常配置部）をそれぞれ設けてこれらをビア V で接続する。そして第 9 層（図 1 4 I）には、B P F 1 0 4 から信号を取り出すための出力線路部 5 2 を利用し、この出力線路部 5 2 をクランク状に引き回すことにより容量発生部となるインダクタ線路部 L_{s-3} を形成する。出力線路部 5 2 の一端は、ビア V を介して後述の第 1 3 層（基板裏面 / 図 1 4 M）に設けた出力端子 P_2 に接続する一方、出力線路部 5 2 の他端は、前記第 8 層（図 1 4 H）に設けたインダクタ線路部 L_{s-2} とビア V を介して接続することにより前記インダクタパターン L_s を構成する。

30

【0076】

またこの出力線路部 5 2 によって形成したインダクタ線路部 L_{s-3} の下面、すなわち第 1 0 層（図 1 4 J）には第 2 結合電極 C_{12-21} を設け、この第 2 結合電極 C_{12-21} と出力線路部 5 2 によって形成した前記インダクタ線路部（容量発生部） L_{s-3} とを誘電体層を介して対向するように配置することによって寄生容量 C_p を発生させる。そして、この寄生容量 C_p と上記インダクタパターン L_s の並列共振によって新たに減衰極を生成する。

【0077】

また、第 1 0 層（図 1 4 J）に設けた第 2 結合電極 C_{12-21} は、後に述べる第 1 1 層（図 1 4 K）に配した第 2 低インピーダンス部 C_{12-22} と誘電体層を介し対向することによりキャパシタ C_{12-2} （第 2 結合キャパシタ）を形成すると共に、前に述べた第 1 結合電極 C_{12-11} とビア V を介し電氣的に接続される。そして、これら第 1 結合キャパシタ C_{12-11} と第 2 結合キャパシタ C_{12-2} とにより段間結合キャパシタ C_{12} を構成する。

40

【0078】

第 1 1 層（図 1 4 K）には、第 2 低インピーダンス部 C_{12-22} を設ける。この第 2 低インピーダンス部 C_{12-22} は、平面から見たとき前記第 3 層の第 1 低インピーダンス部 C_{12-12} と重なる位置に形成してあり、前述の第 2 高インピーダンス部 L_{r2} とビア V を介して接続されている。またこの第 2 低インピーダンス部 C_{12-22} は、次に述べる第 1 2 層（図 1 4 L）の下部グランド電極 G_0 に誘電体層を介して対向し、これら第 2 低インピーダンス部 C_{12-22} と下部グランド電極 G_0 により第 2 共振キャパシタ C_{r2} を構成する。

50

【 0 0 7 9 】

第 1 2 層 (図 1 4 L) にはベタグランドとして下部グランド電極 G_0 を設け、さらに基板裏面である第 1 3 層 (図 1 4 M) には、外部接続用のグランド端子 P_4 と、B P F 1 0 4 から信号を出力するための出力端子 P_2 を形成する。なお、グランド端子 P_4 は、前記第 1 2 層の下部グランド電極 G_0 と複数のビア V により接続する。

【 0 0 8 0 】

このように本実施形態の B P F 1 0 4 によれば、第 1 S I R 1 1 の低インピーダンス部 C_{12-12} 、第 2 S I R 1 2 の低インピーダンス部 C_{12-22} 、ならびに高インピーダンス部 L_{r1} 、 L_{r2} を異なる配線層にかつ平面から見たときにこれらが重なるように略同位置に配置しているから、フィルタをより一層小型化することが出来る。また、前記第 1 実施形態のフィルタと同様に、インダクタパターン L_s と寄生容量 C_p との並列共振による減衰極を生成し、通過帯域の低域側および高域側の双方の阻止域で大きな減衰量を確保することが出来る。

10

【 符号の説明 】

【 0 0 8 1 】

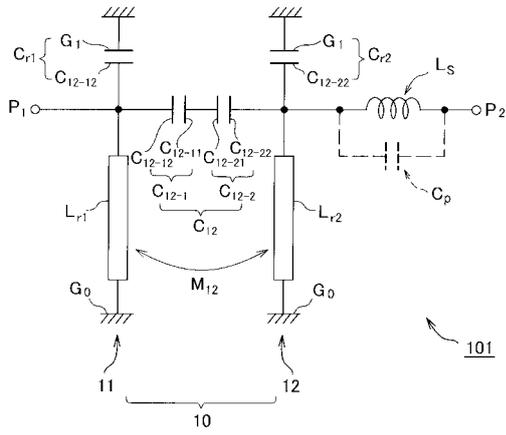
- 1 積層基板 (L T C C 基板)
- 2 I C
- 3 チップ部品
- 1 1 第 1 S I R (ステップインピーダンス共振器)
- 1 2 第 2 S I R (ステップインピーダンス共振器)
- 5 1 入力線路部
- 5 2 出力線路部
- 1 0 1 , 1 0 2 , 1 0 3 , 1 0 4 B P F (バンドパスフィルタ)
- A 1 , A 2 , A 3 減衰極
- C_{12} 段間結合キャパシタ
- C_{12-1} 第 1 結合キャパシタ
- C_{12-2} 第 2 結合キャパシタ
- C_{12-11} 第 1 結合電極
- C_{12-21} 第 2 結合電極
- C_{12-12} 第 1 低インピーダンス部
- C_{12-22} 第 2 低インピーダンス部
- C_{r1} 第 1 共振キャパシタ
- C_{r2} 第 2 共振キャパシタ
- C_p , C_{p1} , C_{p2} 寄生容量
- G_0 下部グランド電極
- G_1 上部グランド電極
- L_{r1} 第 1 高インピーダンス部
- L_{r2} 第 2 高インピーダンス部
- L_s インダクタパターン
- L_{s1} 入力側インダクタパターン
- L_{s2} 出力側インダクタパターン
- L_{s-1} , L_{s-2} , L_{s1-1} , L_{s1-2} , L_{s2-1} , L_{s2-2} インダクタ線路部 (通常配置部)
- L_{s-3} , L_{s1-3} , L_{s2-3} インダクタ線路部 (容量発生部)
- P_1 入力端子
- P_2 出力端子
- P_3 I C 搭載用パッド電極
- P_4 グランド端子電極
- V , V_{12} ビアホール

20

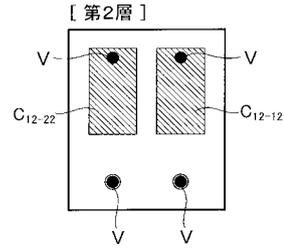
30

40

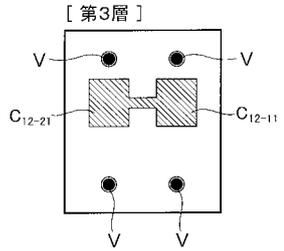
【 図 1 】



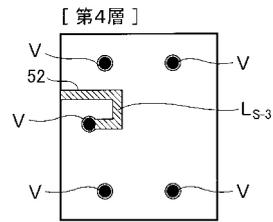
【 図 2 B 】



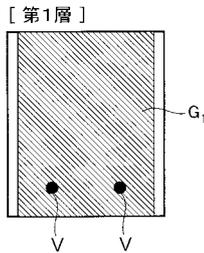
【 図 2 C 】



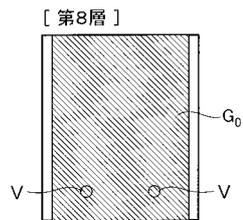
【 図 2 D 】



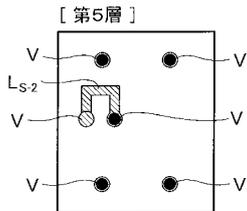
【 図 2 A 】



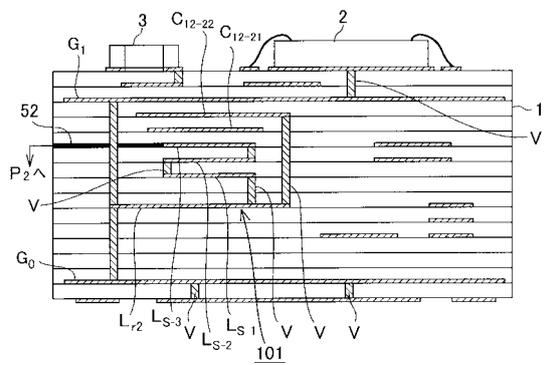
【 図 2 H 】



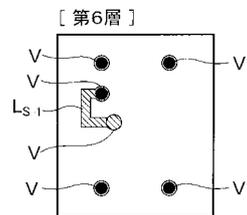
【 図 2 E 】



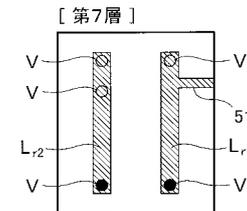
【 図 3 】



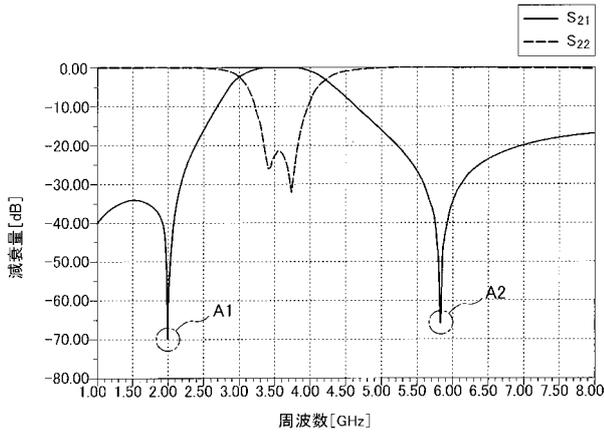
【 図 2 F 】



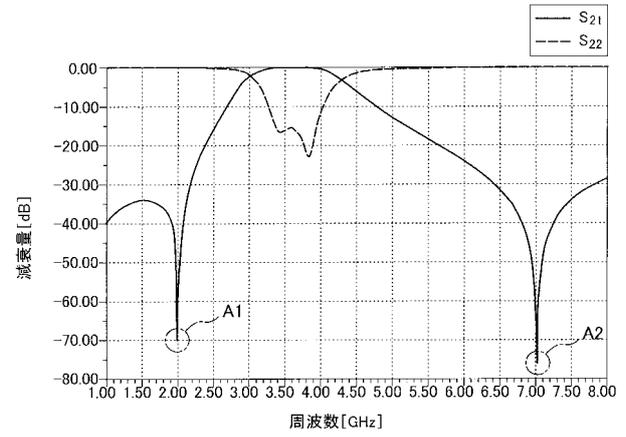
【 図 2 G 】



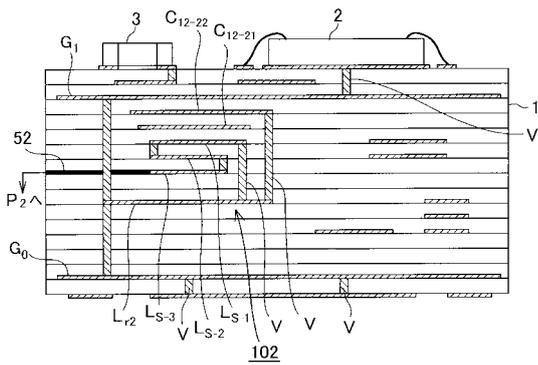
【 図 4 】



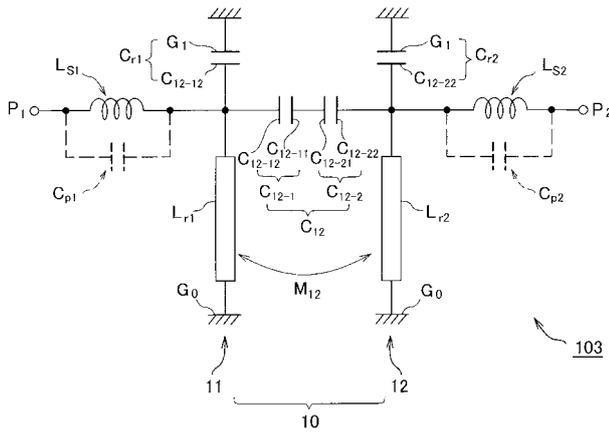
【 図 6 】



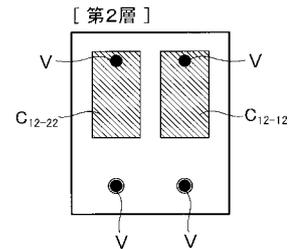
【 図 5 】



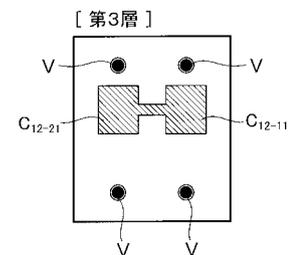
【 図 7 】



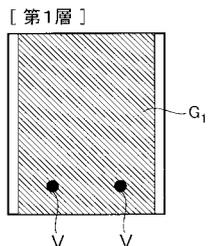
【 図 8 B 】



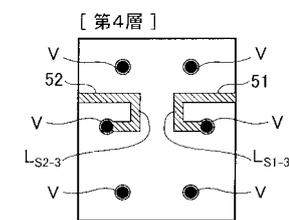
【 図 8 C 】



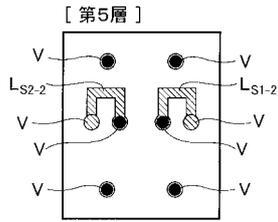
【 図 8 A 】



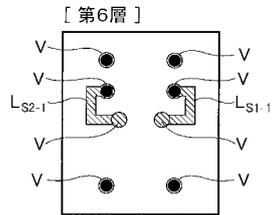
【 図 8 D 】



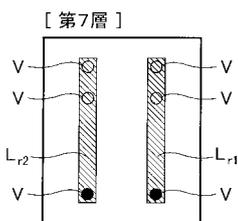
【 図 8 E 】



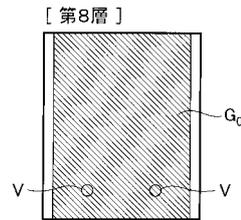
【 図 8 F 】



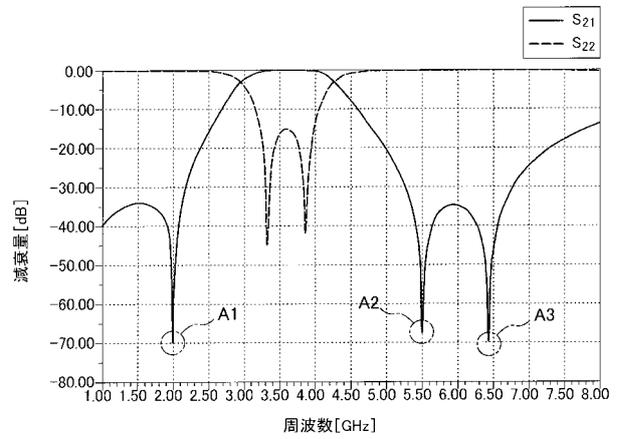
【 図 8 G 】



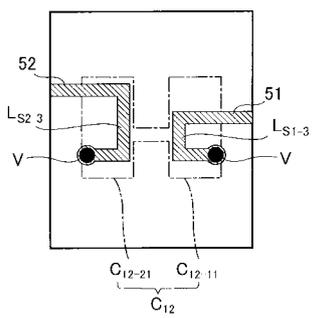
【 図 8 H 】



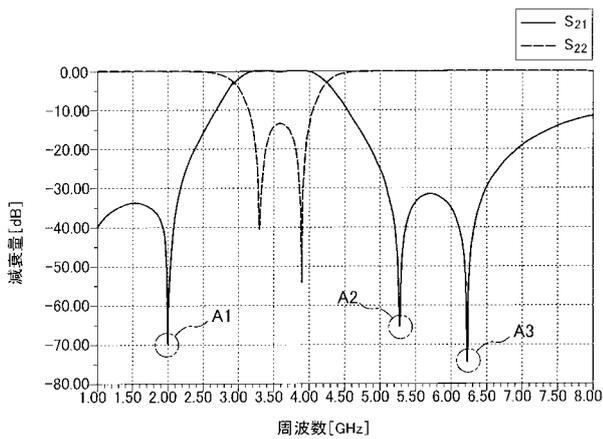
【 図 9 】



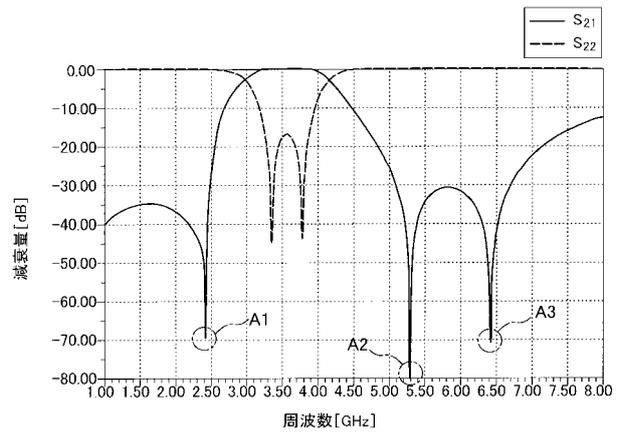
【 図 1 0 】



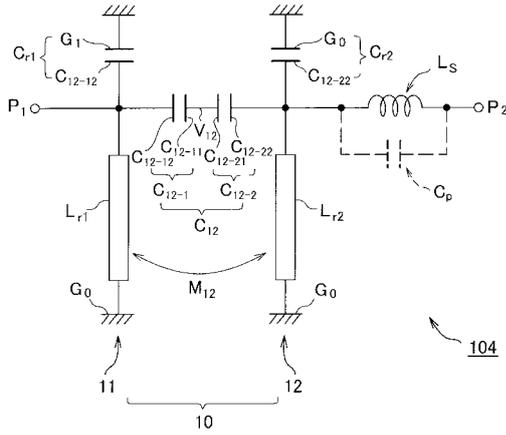
【 図 1 1 】



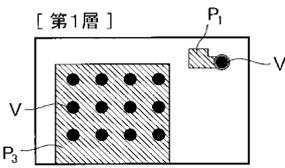
【 図 1 2 】



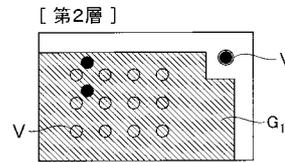
【図13】



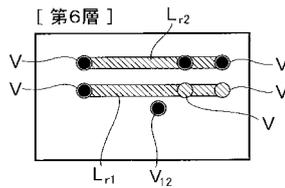
【図14A】



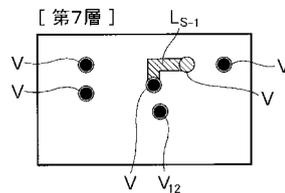
【図14B】



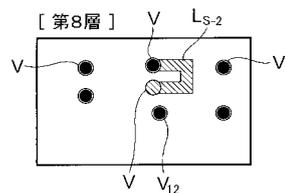
【図14F】



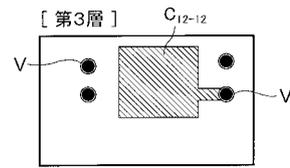
【図14G】



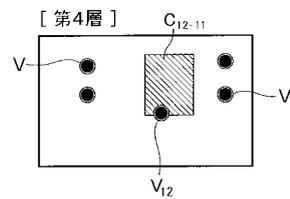
【図14H】



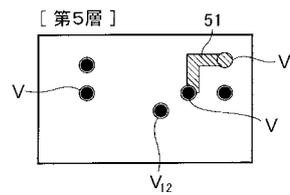
【図14C】



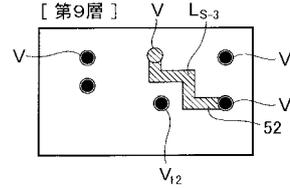
【図14D】



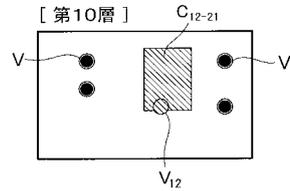
【図14E】



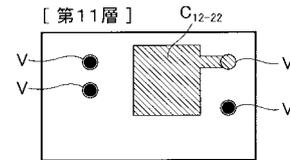
【図14I】



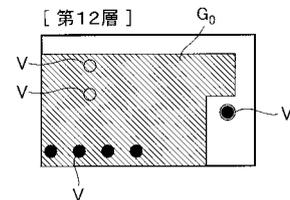
【図14J】



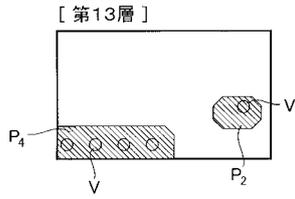
【図14K】



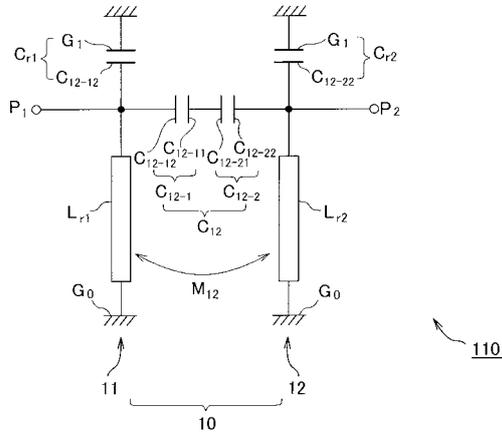
【図14L】



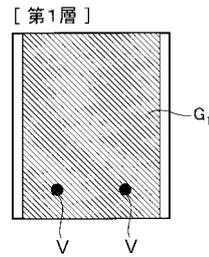
【 図 1 4 M 】



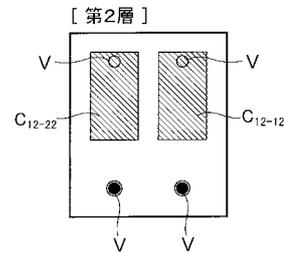
【 図 1 5 】



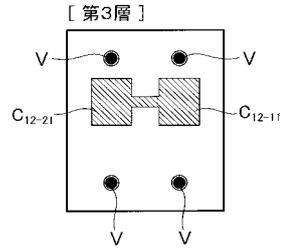
【 図 1 6 A 】



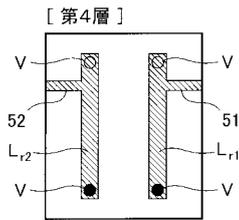
【 図 1 6 B 】



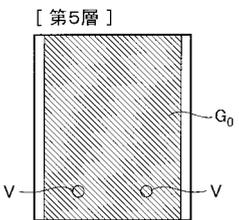
【 図 1 6 C 】



【 図 1 6 D 】



【 図 1 6 E 】



【 図 1 7 】

