

(12) 发明专利申请

(10) 申请公布号 CN 102655110 A

(43) 申请公布日 2012. 09. 05

(21) 申请号 201110051900. 5

H01L 29/40(2006. 01)

(22) 申请日 2011. 03. 04

H01L 29/78(2006. 01)

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市张江路 18 号

(72) 发明人 刘金华

(74) 专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈蘅 李时云

(51) Int. Cl.

H01L 21/762(2006. 01)

H01L 21/28(2006. 01)

H01L 21/336(2006. 01)

H01L 21/265(2006. 01)

H01L 29/06(2006. 01)

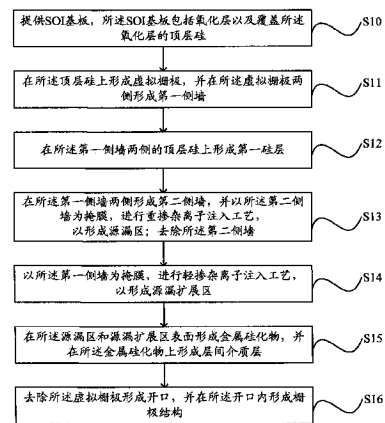
权利要求书 2 页 说明书 5 页 附图 11 页

(54) 发明名称

SOI 晶体管及其制造方法

(57) 摘要

本发明提供一种 SOI 晶体管及其制造方法, 所述方法包括: 提供 SOI 基板, 所述 SOI 基板包括氧化层以及覆盖所述氧化层的顶层硅; 在顶层硅上形成虚拟栅极, 并在所述虚拟栅极两侧形成第一侧墙; 在第一侧墙两侧的顶层硅上形成第一硅层; 在第一侧墙两侧形成第二侧墙, 并以所述第二侧墙为掩膜, 进行重掺杂离子注入工艺, 形成源漏区; 去除所述第二侧墙; 以所述第一侧墙为掩膜, 进行轻掺杂离子注入工艺, 形成源漏扩展区; 在源漏区和源漏扩展区表面形成金属硅化物, 并在金属硅化物上形成层间介质层; 去除虚拟栅极形成开口, 并在开口内形成栅极结构。通过本发明提供的 SOI 晶体管及其制造方法, 能够减小 SOI 晶体管源漏区和源漏扩展区的寄生串联电阻。



1. 一种 SOI 晶体管的制造方法,其特征在于,包括:
提供 SOI 基板,所述 SOI 基板包括氧化层以及覆盖所述氧化层的顶层硅;
在所述顶层硅上形成虚拟栅极,并在所述虚拟栅极两侧形成第一侧墙;
在所述第一侧墙两侧的顶层硅上形成第一硅层;
在所述第一侧墙两侧形成第二侧墙,并以所述第二侧墙为掩膜,进行重掺杂离子注入工艺,以形成源漏区;去除所述第二侧墙;
以所述第一侧墙为掩膜,进行轻掺杂离子注入工艺,以形成源漏扩展区;
在所述源漏区和源漏扩展区表面形成金属硅化物,并在所述金属硅化物上形成层间介质层;
去除所述虚拟栅极形成开口,并在所述开口内形成栅极结构。
2. 如权利要求 1 所述的 SOI 晶体管的制造方法,其特征在于,在所述顶层硅上形成虚拟栅极的工艺包括:
在所述顶层硅上依次形成多晶硅层、氮化硅层和二氧化硅层;
依次刻蚀所述多晶硅层、氮化硅层和二氧化硅层,形成虚拟栅极。
3. 如权利要求 1 或 2 所述的 SOI 晶体管的制造方法,其特征在于,利用选择性外延工艺在所述第一侧墙两侧的顶层硅上形成第一硅层。
4. 如权利要求 1 或 2 所述的 SOI 晶体管的制造方法,其特征在于,利用自对准工艺在所述源漏区和源漏扩展区表面形成金属硅化物。
5. 如权利要求 1 或 2 所述的 SOI 晶体管的制造方法,其特征在于,在所述金属硅化物上形成层间介质层的工艺包括:
在所述虚拟栅极和金属硅化物上形成第一层间介质层;
进行化学机械研磨工艺,去除所述虚拟栅极上的第一层间介质层,减薄所述金属硅化物上的第一层间介质层。
6. 如权利要求 1 或 2 所述的 SOI 晶体管的制造方法,其特征在于,在所述开口内形成栅极结构的工艺包括:
在顶层硅、第一侧墙和层间介质层上形成高 k 介质层;
在所述高 k 介质层上形成金属层;
对所述高 k 介质层和金属层进行化学机械研磨,以形成栅极结构。
7. 如权利要求 1 所述的 SOI 晶体管的制造方法,其特征在于,所述重掺杂离子注入的注入量为 $1 \times 10^{13} \text{cm}^{-2} \sim 5 \times 10^{15} \text{cm}^{-2}$;所述重掺杂离子注入的注入深度为 300 ~ 1000 埃。
8. 如权利要求 1 或 7 所述的 SOI 晶体管的制造方法,其特征在于,所述轻掺杂离子注入的注入量为 $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{14} \text{cm}^{-2}$;所述轻掺杂离子注入的注入深度为 300 ~ 700 埃。
9. 一种利用权利要求 1 至 8 中任意一项所述的 SOI 晶体管的制造方法制造的 SOI 晶体管,其特征在于,包括:
SOI 基板,所述 SOI 基板包括氧化层以及覆盖所述氧化层的顶层硅;
形成于所述顶层硅上的栅极结构;
形成于所述栅极结构两侧的第一侧墙;
形成于所述第一侧墙两侧的顶层硅上的第一硅层;
形成于所述栅极结构两侧的源漏区和源漏扩展区;

形成于所述源漏区和源漏扩展区上的金属硅化物；
形成于所述金属硅化物上的层间介质层。

10. 如权利要求 9 所述的 SOI 晶体管,其特征在于,所述栅极结构包括高 k 介质层以及位于高 k 介质层表面的金属层。

SOI 晶体管及其制造方法

技术领域

[0001] 本发明涉及集成电路制造工艺,特别涉及一种 SOI 晶体管及其制造方法。

背景技术

[0002] 集成电路尤其超大规模集成电路中的主要器件是金属-氧化物-半导体场效应晶体管(metal oxide semiconductor field effect transistor,简称MOSFET)。自MOSFET被发明以来,其几何尺寸一直在不断缩小,目前其特征尺寸已进入亚十分之一微米区。在此区域,各种实际的和基本的限制开始出现,器件尺寸的进一步缩小正变得越来越困难。就常规的互补型金属-氧化物-半导体(complementary metal oxide semiconductor,简称CMOS)集成电路技术而言,随着MOS器件特征尺寸的不断减小,为抑制短沟道效应,其它部分的几何尺寸也必须相应缩小。其中最具挑战性的是源漏结深的减小。MOSFET通常可分两类,一类是体硅型,即器件制作在体硅衬底上;另一类是绝缘衬底上硅(silicon on insulator,简称SOI)型,即器件制作在SOI衬底上。

[0003] 在体硅情况下,源漏区通常由离子注入或扩散掺杂来形成,实践发现这些技术是很难在体硅衬底上实现超浅结源漏区的。而在SOI情况下,源漏结深总是小于或等于硅层的厚度,这样当硅层的厚度极度减小,即为超薄体(ultra thinbody,简称UTB)时,源漏区自然形成超浅结深。因此,SOI技术使得超浅结源漏的形成难度显著降低。

[0004] 然而,当SOI的硅层为超薄体时,如何减小SOI晶体管源漏区,尤其是源漏扩展区的寄生串联电阻成为一个主要技术挑战。

发明内容

[0005] 本发明的目的在于提供一种SOI晶体管及其制造方法,以解决现有的SOI晶体管源漏区和源漏扩展区的寄生串联电阻大的问题。

[0006] 为解决上述技术问题,本发明提供一种SOI晶体管的制造方法,包括:提供SOI基板,所述SOI基板包括氧化层以及覆盖所述氧化层的顶层硅;在所述顶层硅上形成虚拟栅极,并在所述虚拟栅极两侧形成第一侧墙;在所述第一侧墙两侧的顶层硅上形成第一硅层;在所述第一侧墙两侧形成第二侧墙,并以所述第二侧墙为掩膜,进行重掺杂离子注入工艺,以形成源漏区;去除所述第二侧墙;以所述第一侧墙为掩膜,进行轻掺杂离子注入工艺,以形成源漏扩展区;在所述源漏区和源漏扩展区表面形成金属硅化物,并在所述金属硅化物上形成层间介质层;去除所述虚拟栅极形成开口,并在所述开口内形成栅极结构。

[0007] 可选的,在所述的SOI晶体管的制造方法中,在所述顶层硅上形成虚拟栅极的工艺包括:在所述顶层硅上依次形成多晶硅层、氮化硅层和二氧化硅层;依次刻蚀所述多晶硅层、氮化硅层和二氧化硅层,形成虚拟栅极。

[0008] 可选的,在所述的SOI晶体管的制造方法中,利用选择性外延工艺在所述第一侧墙两侧的顶层硅上形成第一硅层。

[0009] 可选的,在所述的SOI晶体管的制造方法中,利用自对准工艺在所述源漏区和源

漏扩展区表面形成金属硅化物。

[0010] 可选的,在所述的 SOI 晶体管的制造方法中,在所述金属硅化物上形成层间介质层的工艺包括:在所述虚拟栅极和金属硅化物上形成第一层间介质层;进行化学机械研磨工艺,去除所述虚拟栅极上的第一层间介质层,减薄所述金属硅化物上的第一层间介质层。

[0011] 可选的,在所述的 SOI 晶体管的制造方法中,在所述开口内形成栅极结构的工艺包括:在顶层硅、第一侧墙和层间介质层上形成高 k 介质层;在所述高 k 介质层上形成金属层;对所述高 k 介质层和金属层进行化学机械研磨,以形成栅极结构。

[0012] 可选的,在所述的 SOI 晶体管的制造方法中,所述重掺杂离子注入的注入量为 $1 \times 10^{13} \text{cm}^{-2} \sim 5 \times 10^{15} \text{cm}^{-2}$;所述重掺杂离子注入的注入深度为 300 ~ 1000 埃。

[0013] 可选的,在所述的 SOI 晶体管的制造方法中,所述轻掺杂离子注入的注入量为 $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{14} \text{cm}^{-2}$;所述轻掺杂离子注入的注入深度为 300 ~ 700 埃。

[0014] 本发明还提供一种如上述 SOI 晶体管的制造方法制造的 SOI 晶体管,所述 SOI 晶体管包括:SOI 基板,所述 SOI 基板包括氧化层以及覆盖所述氧化层的预层硅;形成于所述顶层硅上的栅极结构;形成于所述栅极结构两侧的第一侧墙;形成于所述第一侧墙两侧的顶层硅上的第一硅层;形成于所述栅极结构两侧的源漏区和源漏扩展区;形成于所述源漏区和源漏扩展区上的金属硅化物;形成于所述金属硅化物上的层间介质层。

[0015] 可选的,在所述的 SOI 晶体管中,所述栅极结构包括高 k 介质层以及位于高 k 介质层表面的金属层。

[0016] 通过本发明提供的 SOI 晶体管及其制造方法,能够带来如下一些有益效果:

[0017] 1、通过在所述第一侧墙两侧的顶层硅上形成第一硅层,即增加了源漏区和源漏扩展区的硅薄膜层的厚度,从而在进行离子注入工艺时,能够形成比较深的离子注入深度;进一步的,能在源漏区和源漏扩展区表面形成有效的金属硅化物,从而减小了 SOI 晶体管源漏区和源漏扩展区的寄生串联电阻;此外,防止了源漏扩展区表面的金属硅化物穿透离子注入区,避免了漏电流的产生;

[0018] 2、通过先进行重掺杂离子注入工艺,然后再进行轻掺杂离子注入工艺,可提高轻掺杂离子注入工艺的离子注入深度,即源漏扩展区的离子注入深度;进一步的,能在源漏扩展区表面形成有效的金属硅化物,从而减小了 SOI 晶体管源漏扩展区的寄生串联电阻;此外,防止了源漏扩展区表面的金属硅化物穿透离子注入区,避免了漏电流的产生;

[0019] 3、通过本发明提供的 SOI 晶体管的制造方法,在完成对源漏扩展区的离子注入工艺后,即可进行在源漏区和源漏扩展区表面形成金属硅化物的工艺,无需进行侧墙的去工艺,从而提高了形成金属硅化物的工艺的可靠性;进一步的,减小了 SOI 晶体管源漏区和源漏扩展区的寄生串联电阻。

附图说明

[0020] 图 1 是本发明实施例的 SOI 晶体管的制造方法的流程图;

[0021] 图 2a ~ 2g 是本发明实施例的 SOI 晶体管的制造方法的示意图。

具体实施方式

[0022] 以下结合附图和具体实施例对本发明提出的 SOI 晶体管及其制造方法作进一步

详细说明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0023] 请参考图 1 和图 2a ~ 2g,其中,图 1 为本发明实施例的 SOI 晶体管的制造方法的流程图;图 2a ~ 2g 为本发明实施例的 SOI 晶体管的制造方法的示意图。本发明实施例提供的 SOI 晶体管的制造方法包括以下步骤:

[0024] 首先,执行步骤 S10,如图 2a 所示,提供 SOI 基板 10,所述 SOI 基板包括氧化层 110 以及覆盖所述氧化层 110 的顶层硅 120。当然,所述 SOI 基板 10 还可进一步包括背衬底 100,所述氧化层 110 覆盖所述背衬底 100 表面。在本实施例中,所述顶层硅 120 的厚度为 150 ~ 500 埃。在本发明的其他实施例中,所述顶层硅 120 的厚度也可以更薄或者更厚。

[0025] 其次,执行步骤 S11,在所述 SOI 基板 10 的顶层硅 120 上形成虚拟栅极 20,并在所述虚拟栅极 20 两侧形成第一侧墙 30。具体请参考图 2b-1 至图 2b-4:

[0026] 如图 2b-1 所示,首先,在顶层硅 120 上形成多晶硅层 200,所述多晶硅层 200 的厚度为 500 ~ 2000 埃;然后,在多晶硅层 200 上形成氮化硅层 210,所述氮化硅层 210 的厚度为 50 ~ 200 埃;接着,在所述氮化硅层 210 上形成二氧化硅层 220,所述二氧化硅层 220 的厚度为 50 ~ 500 埃;

[0027] 如图 2b-2 所示,依次刻蚀所述多晶硅层 200、氮化硅层 210 和二氧化硅层 220,即可形成虚拟栅极 20。其中,所述二氧化硅层 220 可作为后续形成第一侧墙工艺的蚀刻停止层,以进一步提高刻蚀工艺的精度;所述氮化硅层 210 可作为后续去除二氧化硅层 220 时,多晶硅层 200 的保护层。在本发明的其他实施例中,在形成所述虚拟栅极 20 的过程中,也可不沉积二氧化硅层 220 以及氮化硅层 210,而仅仅形成多晶硅层 200 并刻蚀所述多晶硅层 200,从而形成虚拟栅极 20;

[0028] 如图 2b-3 所述,接着,在顶层硅 120 和虚拟栅极 20 上形成第一氮化硅层 300;

[0029] 如图 2b-4 所述,然后,刻蚀所述第一氮化硅层 300,形成第一侧墙 30,所述第一侧墙 30 的宽度为 50 ~ 300 埃。在本实施例中,由于在形成虚拟栅极 20 的过程中,沉积有一层二氧化硅层 220,即虚拟栅极 20 中包含有二氧化硅层,当刻蚀所述第一氮化硅层 300 以形成第一侧墙 30 时,所述二氧化硅层可作为蚀刻停止层,从而提高了此步刻蚀工艺的刻蚀精度。

[0030] 接着,执行步骤 S12,如图 2c 所示,在所述第一侧墙 30 两侧的顶层硅 120 上形成第一硅层 101。所述第一硅层 101 可通过选择性外延工艺形成,其厚度例如为 150 ~ 500 埃。通过在所述第一侧墙 30 两侧的顶层硅 120 上形成第一硅层 101,一方面增加了源漏区和源漏扩展区的硅薄膜层的厚度,从而在后续进行离子注入工艺时,能够形成比较深的离子注入深度;另一方面能在源漏区和源漏扩展区表面形成有效的金属硅化物,从而减小了 SOI 晶体管源漏区和源漏扩展区的寄生串联电阻;此外,防止了源漏扩展区表面的金属硅化物穿透离子注入区,避免了漏电流的产生。

[0031] 接着,执行步骤 S13,在第一侧墙 30 两侧形成第二侧墙 31,并以所述第二侧墙 31 为掩膜,进行重掺杂离子注入工艺,以形成源漏区 40;去除所述第二侧墙 31。具体请参考图 2d-1 至图 2d-3:

[0032] 如图 2d-1 所示,首先,在第一侧墙 30 两侧形成第二侧墙 31,所述第二侧墙 31 的宽

度例如为 100 ~ 500 埃,所述第二侧墙 31 的材料优选为二氧化硅;

[0033] 如图 2d-2 所示,接着,以第二侧墙 31 为掩膜,进行重掺杂离子注入工艺,以形成源漏区 40。所述重掺杂离子注入工艺的注入量例如为 $1 \times 10^{13} \text{cm}^{-2} \sim 5 \times 10^{15} \text{cm}^{-2}$,注入深度例如为 300 埃 ~ 1000 埃。接着,对源漏区 40 进行快速热退火工艺,所述快速热退火工艺可以选择工艺条件为:温度例如为 $900^\circ\text{C} \sim 1100^\circ\text{C}$,时间例如为 5 秒 ~ 60 秒。

[0034] 如图 2d-3 所示,然后,去除所述第二侧墙 31。由于在本实施例中所述第二侧墙 31 的材料也是二氧化硅,因此,在去除第二侧墙 31 的过程中,去除第二侧墙 31 的同时可将虚拟栅极 20 中的二氧化硅层一并去除,即将所述虚拟栅极 20 转变成只包含多晶硅层和氮化硅层的第二虚拟栅极 20'。

[0035] 随后,执行步骤 S14,如图 2e 所示,以所述第一侧墙 30 为掩膜,进行轻掺杂离子注入工艺,以形成源漏扩展区 41。所述轻掺杂离子注入的注入量例如为 $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{14} \text{cm}^{-2}$,注入深度例如为 300 ~ 700 埃。接着,对所述源漏扩展区 41 进行快速热退火工艺,所述快速热退火工艺可以选择工艺条件为:温度例如是 $900^\circ\text{C} \sim 1100^\circ\text{C}$,时间例如为 5 秒 ~ 60 秒。

[0036] 本发明实施例通过先进行重掺杂离子注入工艺,然后再进行轻掺杂离子注入工艺,可提高轻掺杂离子注入工艺的离子注入深度(即源漏扩展区 41 的离子注入深度),进一步的,后续能在源漏扩展区 41 表面形成有效的金属硅化物,从而减小了 SOI 晶体管源漏扩展区 41 的寄生串联电阻,此外,防止了源漏扩展区 41 表面的金属硅化物穿透离子注入区,避免了漏电流的产生。

[0037] 接着,执行步骤 S15,在所述源漏区 40 和源漏扩展区 41 表面形成金属硅化物 50,并在所述金属硅化物 50 上形成层间介质层 600'。具体请参考图 2f-1 至图 2f-4:

[0038] 如图 2f-1 所示,首先,在所述源漏区 40、源漏扩展区 41 和第二虚拟栅极 20' 上形成金属层 500,所述金属层 500 的材料可以是 Ti、Co、NiPt 等;

[0039] 如图 2f-2 所述,通过所述金属层 500 的自对准工艺过程,在所述源漏区 40 和源漏扩展区 41 表面形成金属硅化物 50,同时去除第二虚拟栅极 20' 上未进行自对准工艺过程的金属层;

[0040] 如图 2f-3 所示,接着,在所述第二虚拟栅极 20' 和金属硅化物 50 上形成第一层间介质层 600,所述第一层间介质层 600 的材料可以为二氧化硅,其厚度可以为 1000 ~ 4000 埃;

[0041] 如图 2f-4 所示,然后,对所述第一层间介质层 600 进行化学机械研磨,去除所述第二虚拟栅极 20' 上的第一层间介质层,同时,减薄金属硅化物 50 上的第一层间介质层,最终,仅在金属硅化物 50 上形成层间介质层 600',所述层间介质层 600' 的厚度为 500 ~ 3000 埃。

[0042] 由于本步骤是紧接着步骤 S14 执行的,中间没有其他工艺步骤,例如去除侧墙等,因此,可利用执行步骤 S14 时的工艺条件,如快速热退火中的工艺温度等,提高了本步骤中形成金属硅化物 50 的工艺的可可靠性,进一步的,减小了 SOI 晶体管源漏区 40 和源漏扩展区 41 的寄生串联电阻。

[0043] 最后,执行步骤 S16,去除所述第二虚拟栅极 20' 形成开口 21,并在所述开口 21 内形成栅极结构 70。具体请参考图 2g-1 至图 2g-3:

[0044] 如图 2g-1 所示,去除所述第二虚拟栅极 20' 形成开口 21;

[0045] 如图 2g-2 所示,在顶层硅 120、第一侧墙 30 和层间介质层 600' 上形成高 k 介质层 700;在所述高 k 介质层 700 上形成金属层 710;

[0046] 如图 2g-3 所示,对所述高 k 介质层 700 和金属层 710 进行化学机械研磨,去除所述层间介质层 600' 上的高 k 介质层和金属层,形成栅极结构 70。

[0047] 通过执行上述步骤,得到了 SOI 晶体管 2。如图 2g-3 所示,所述 SOI 晶体管 2 包括:SOI 基板 10,所述 SOI 基板 10 包括氧化层 110 以及覆盖所述氧化层 110 的顶层硅 120;形成于所述顶层硅 120 上的栅极结构 70;形成于所述栅极结构 70 两侧的第一侧墙 30;形成于所述第一侧墙 30 两侧的顶层硅 120 上的第一硅层(图 2g-3 中未示出);形成于所述栅极结构 70 两侧的源漏区 40 和源漏扩展区 41;形成于所述源漏区 40 和源漏扩展区 41 上的金属硅化物 50;形成于所述金属硅化物 50 上的层间介质层 600'。

[0048] 在本实施例中,所述 SOI 基板 10 还包括背衬底 100;所述栅极结构 70 包括高 k 介质层以及位于高 k 介质层表面的金属层。

[0049] 通过本发明实施例提供的 SOI 晶体管的制造方法制得的 SOI 晶体管,同样具备了前述所描述的各种优点,在此不再赘述。

[0050] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

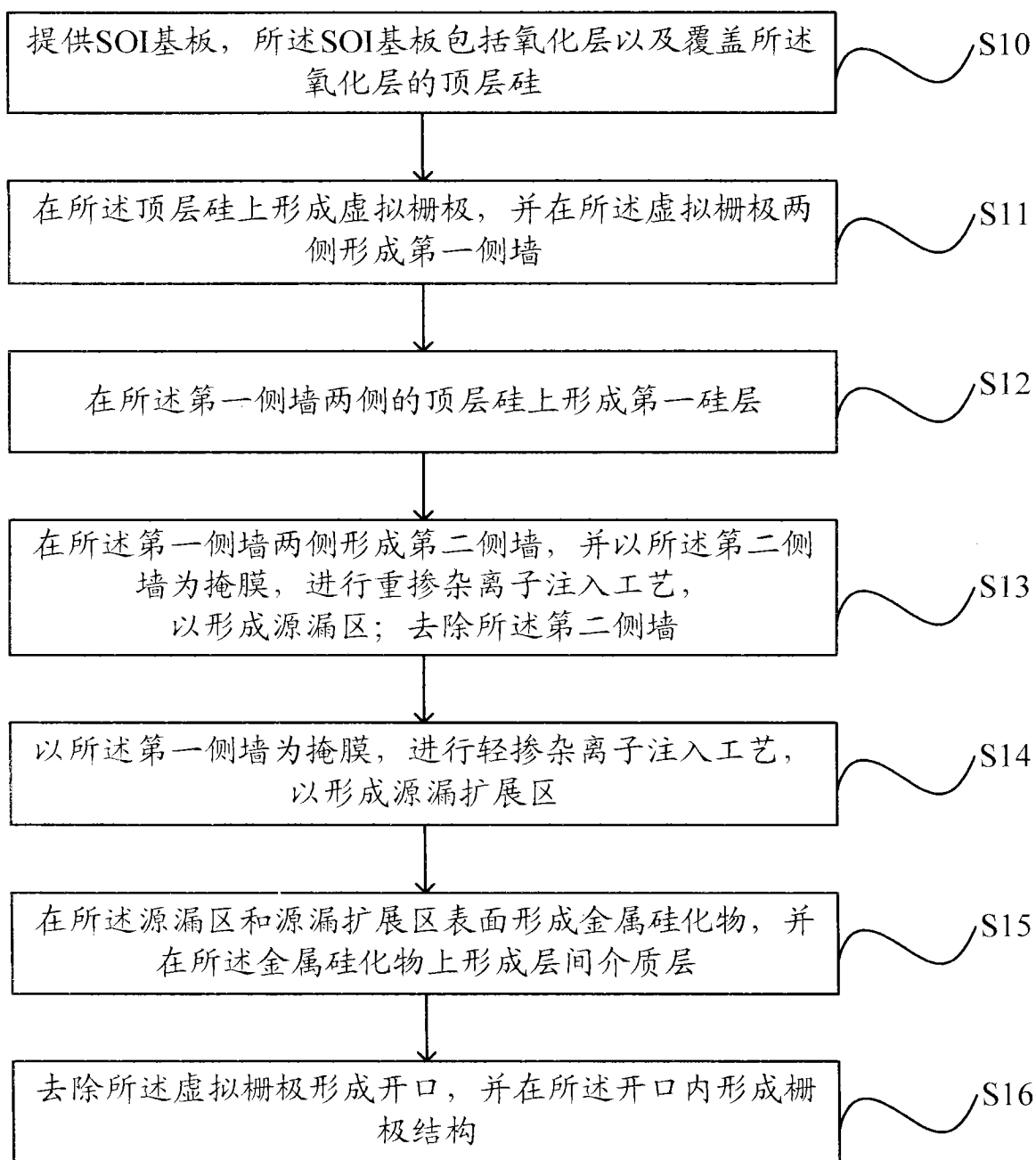


图 1

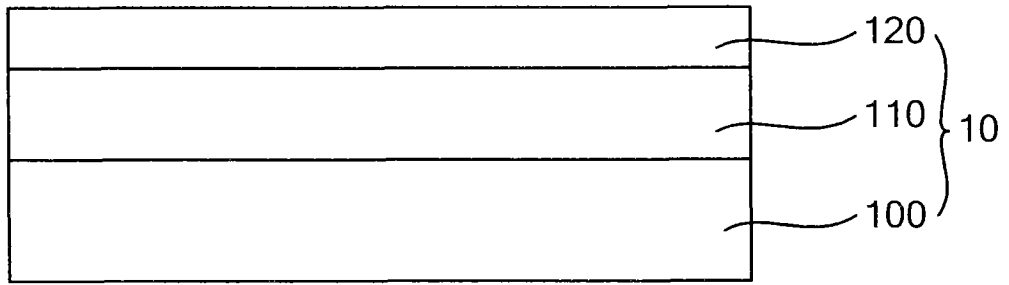


图 2a

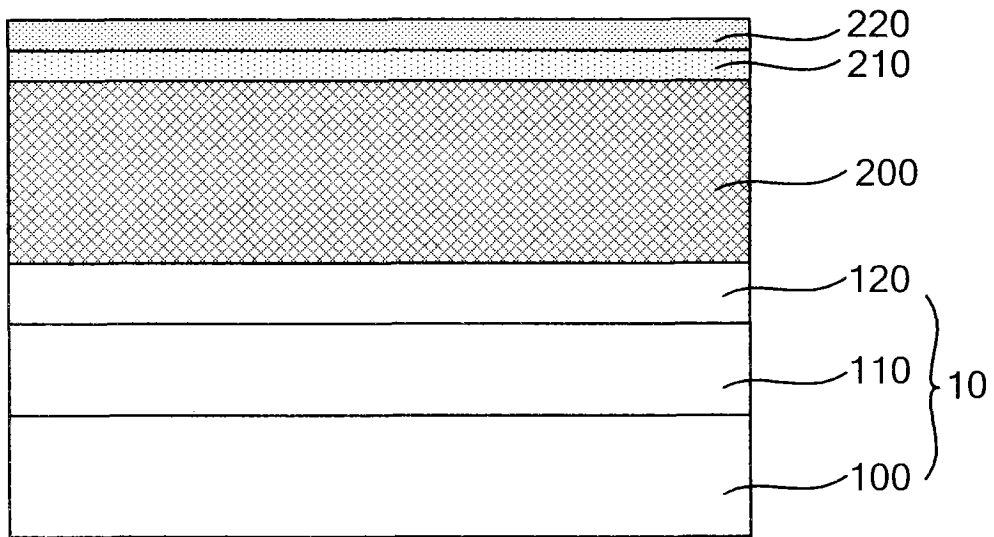


图 2b-1

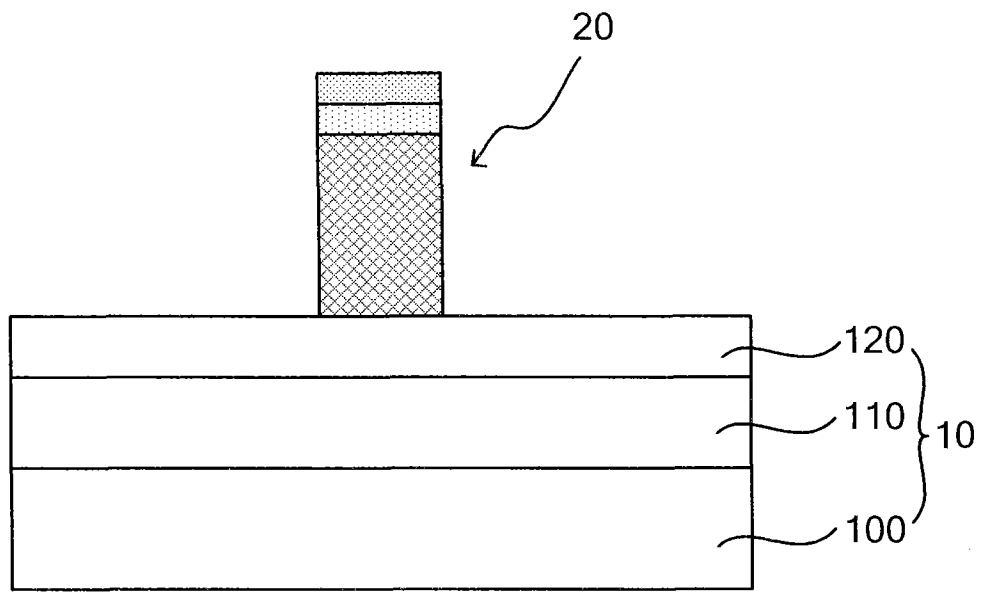


图 2b-2

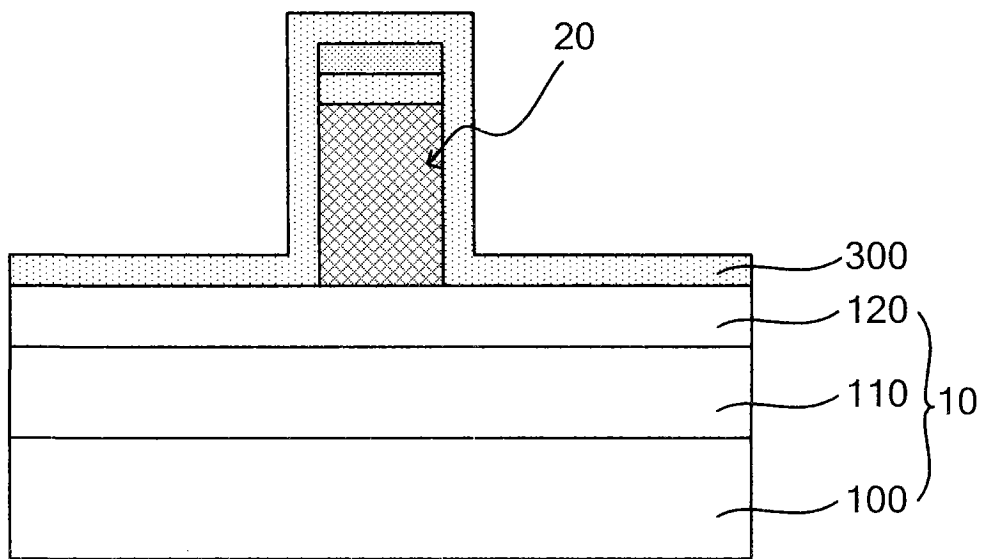


图 2b-3

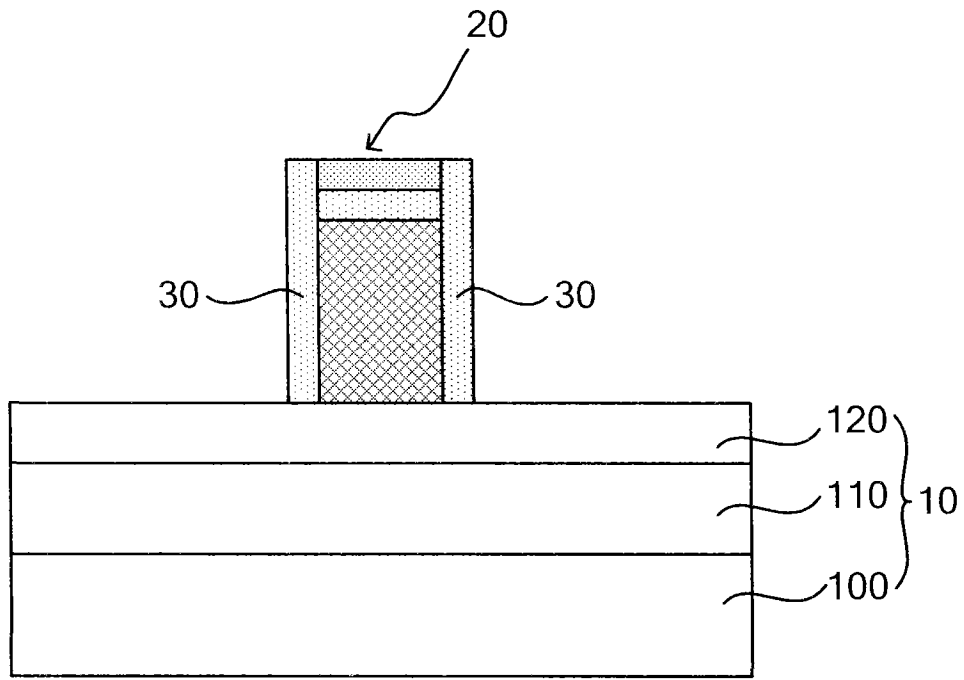


图 2b-4

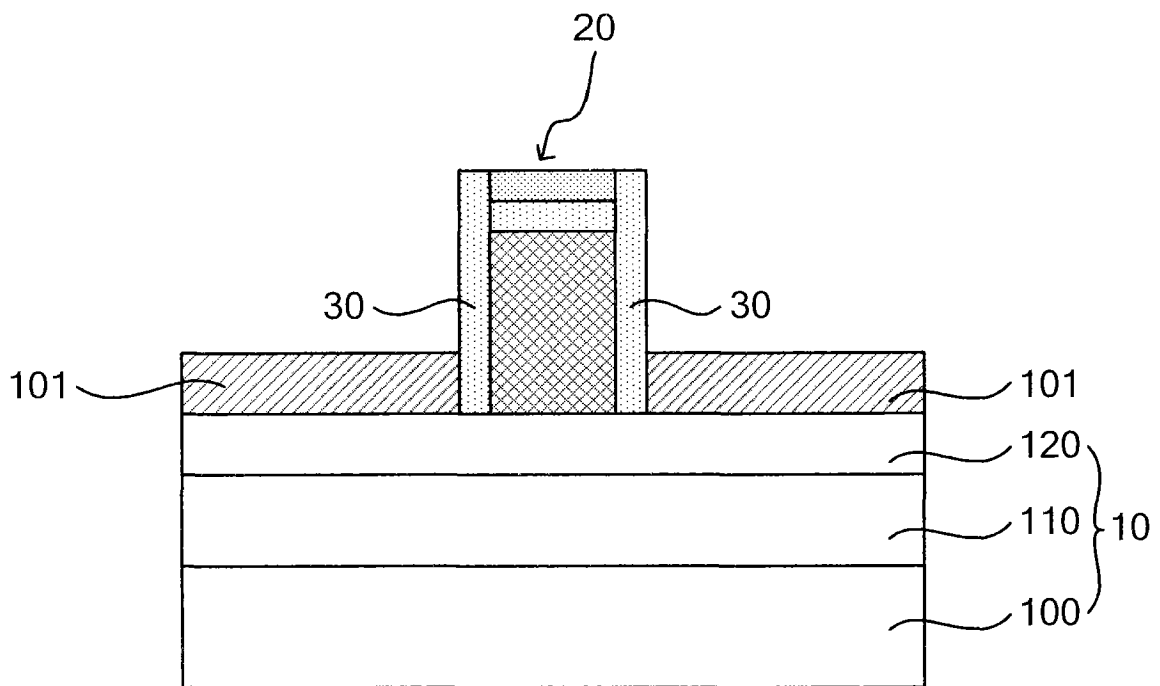


图 2c

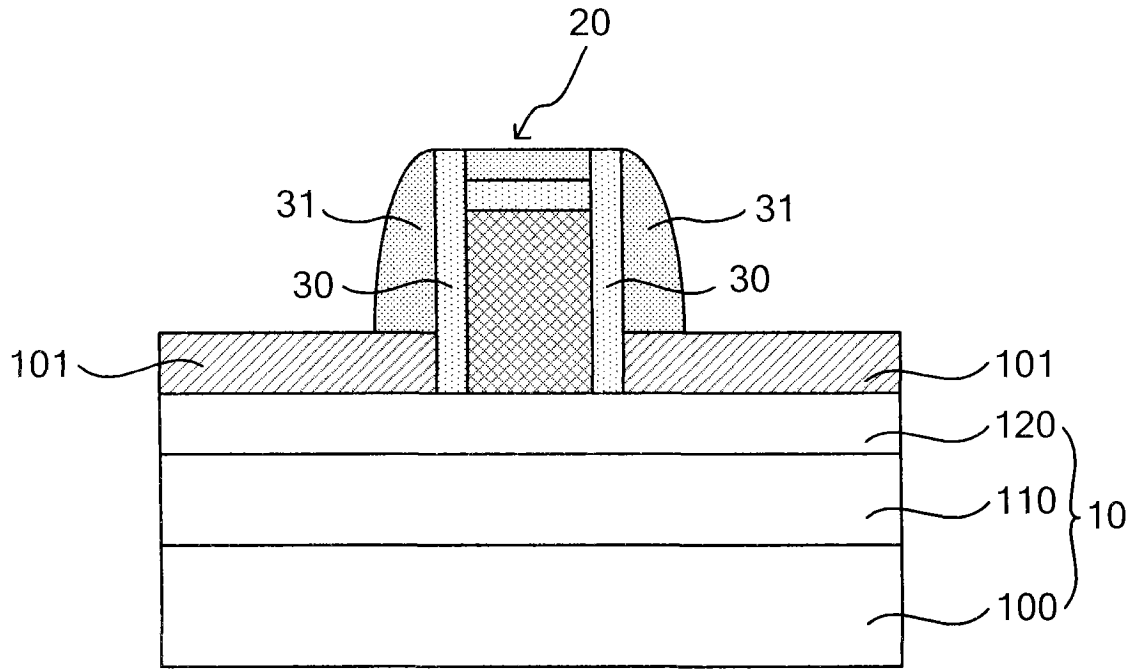


图 2d-1

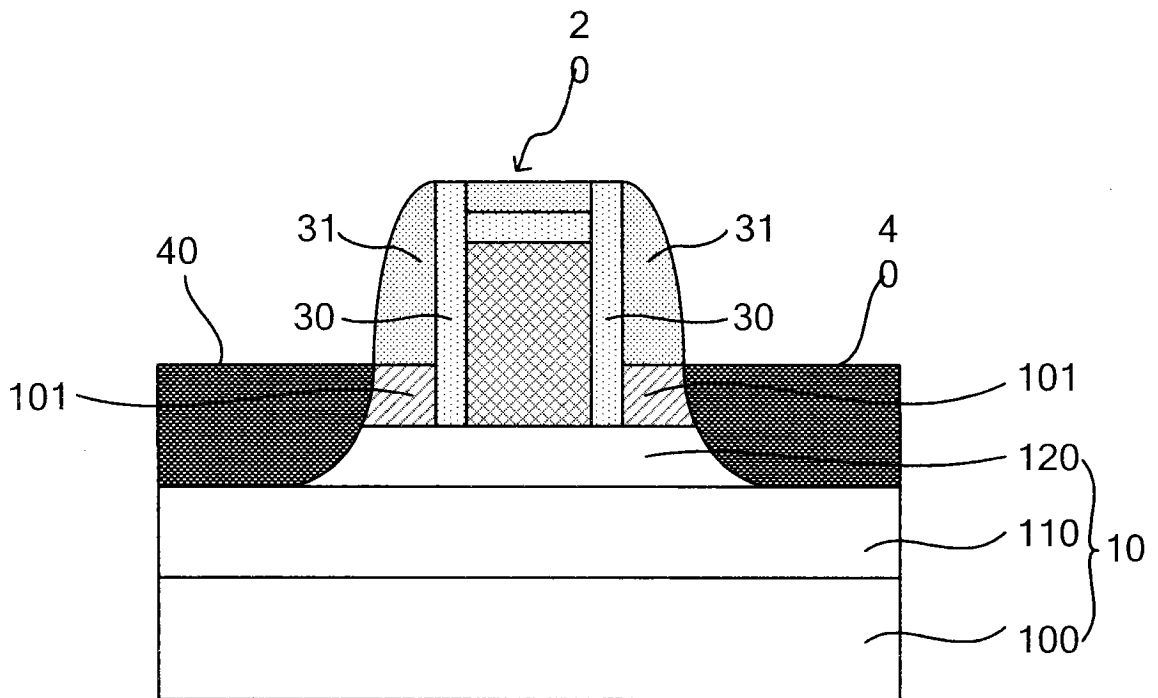


图 2d-2

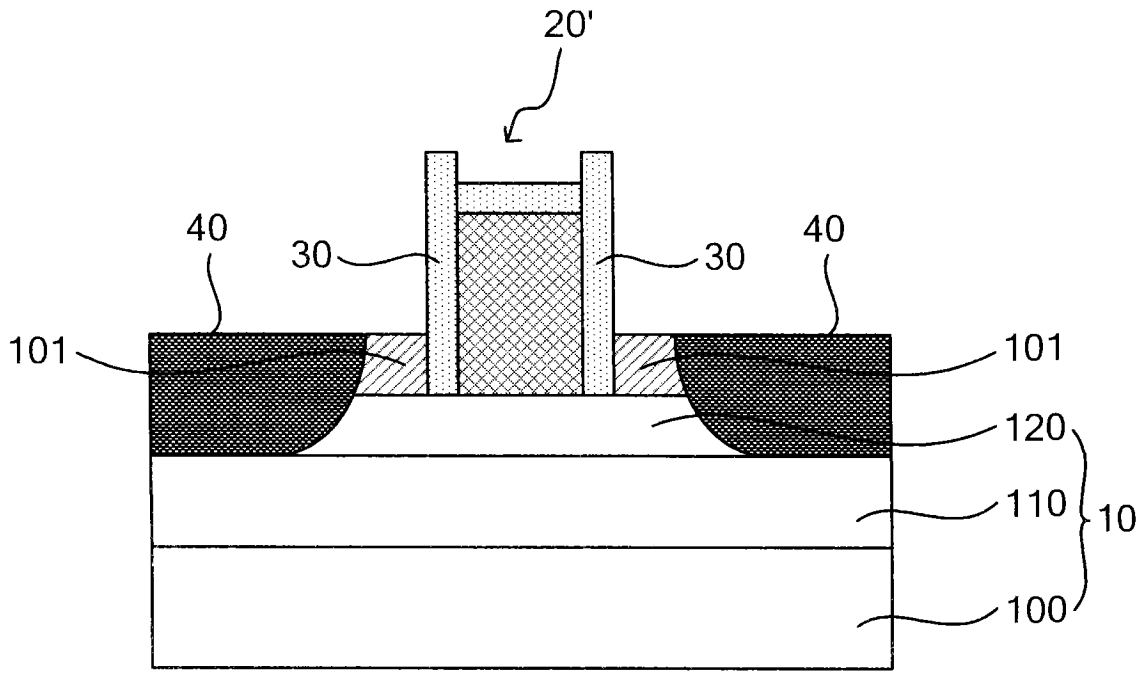


图 2d-3

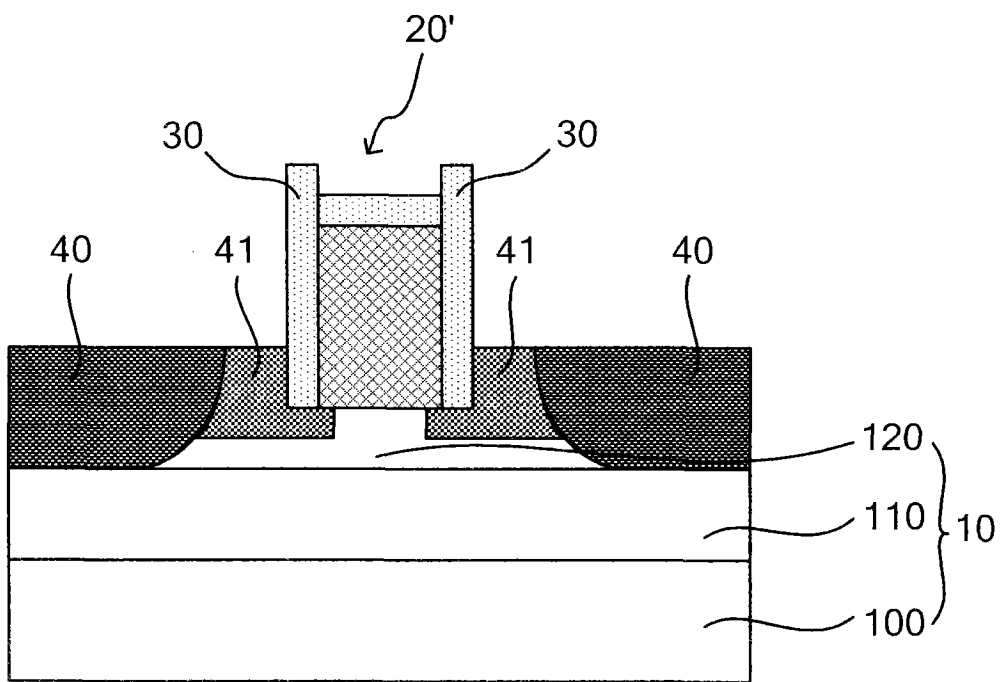


图 2e

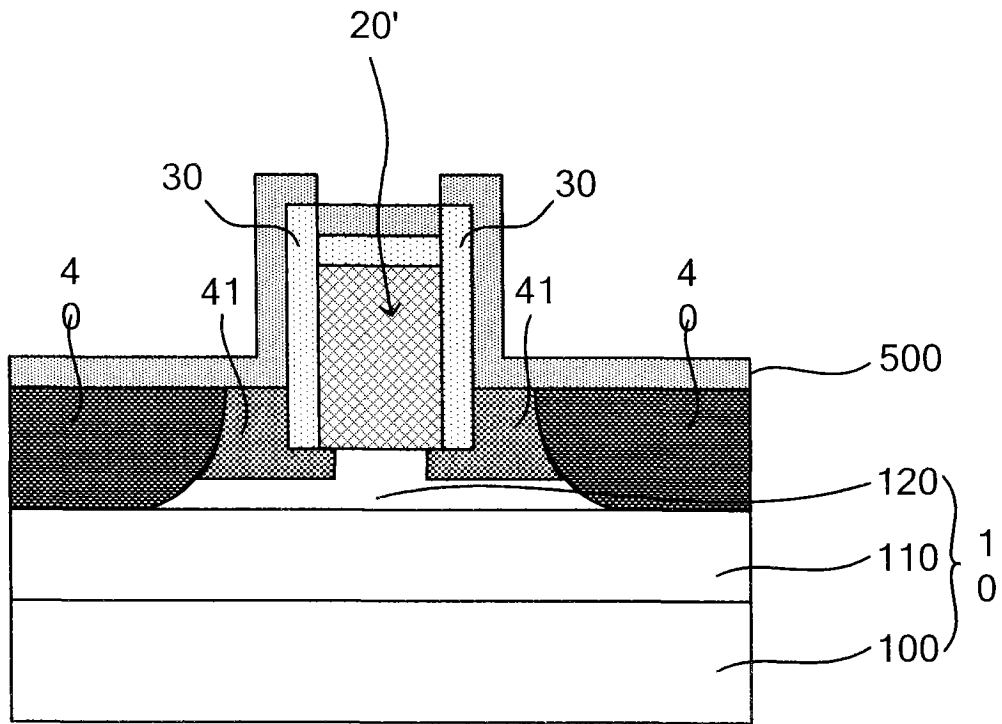


图 2f-1

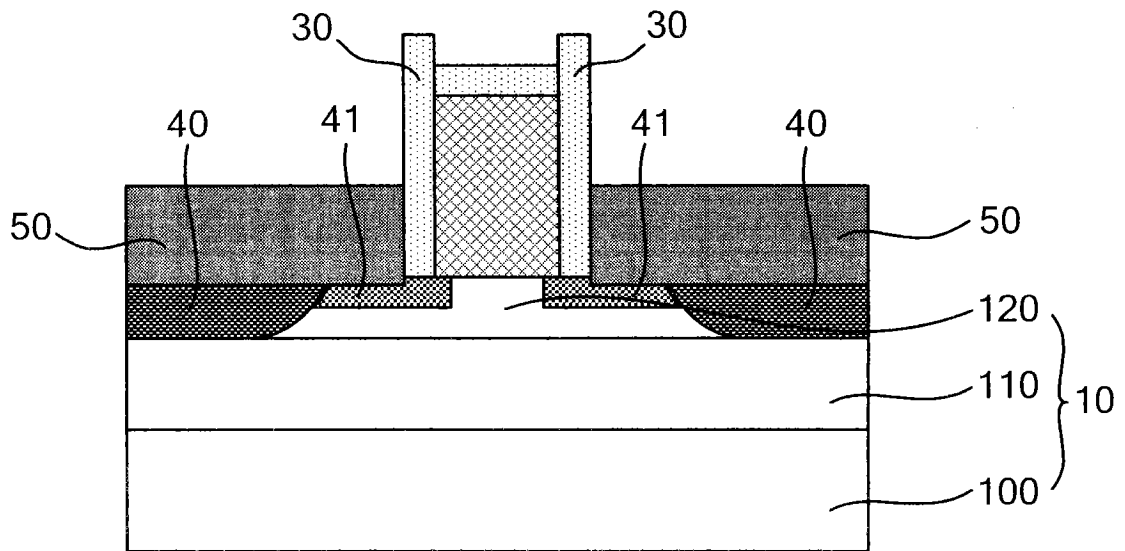


图 2f-2

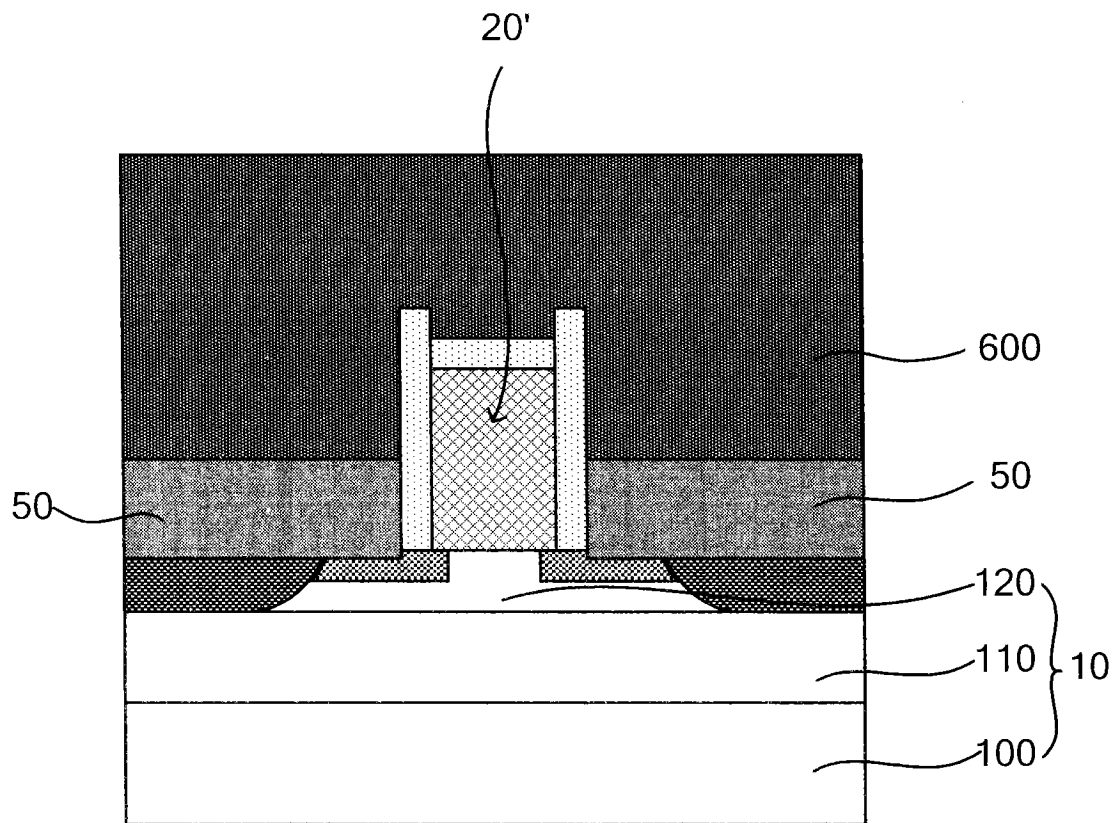


图 2f-3

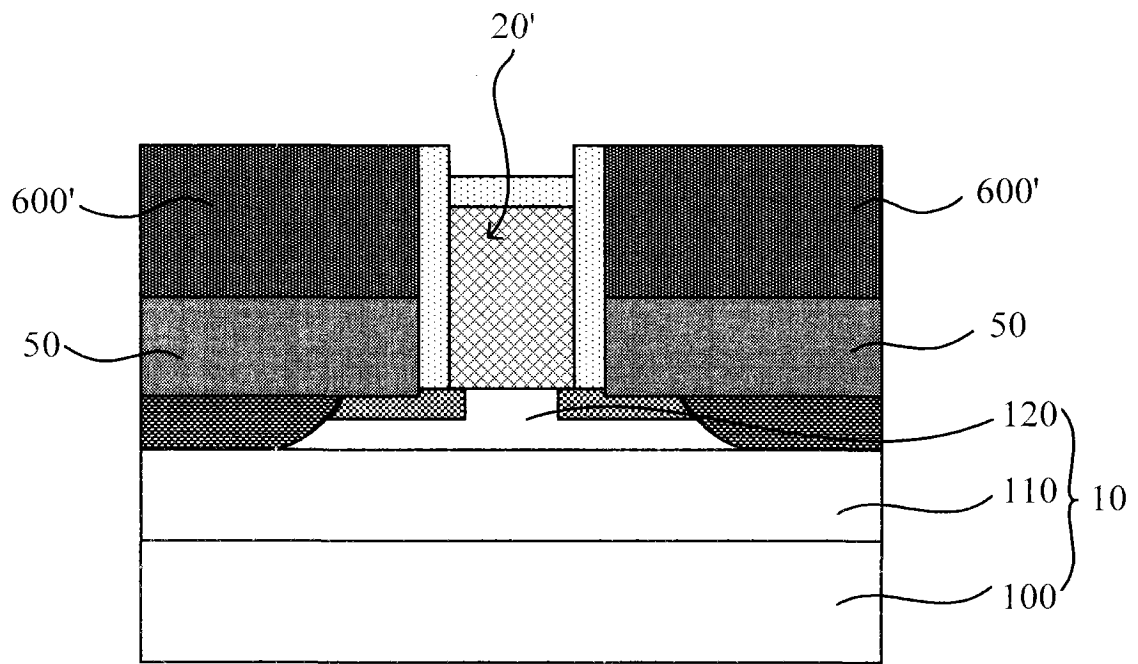


图 2f-4

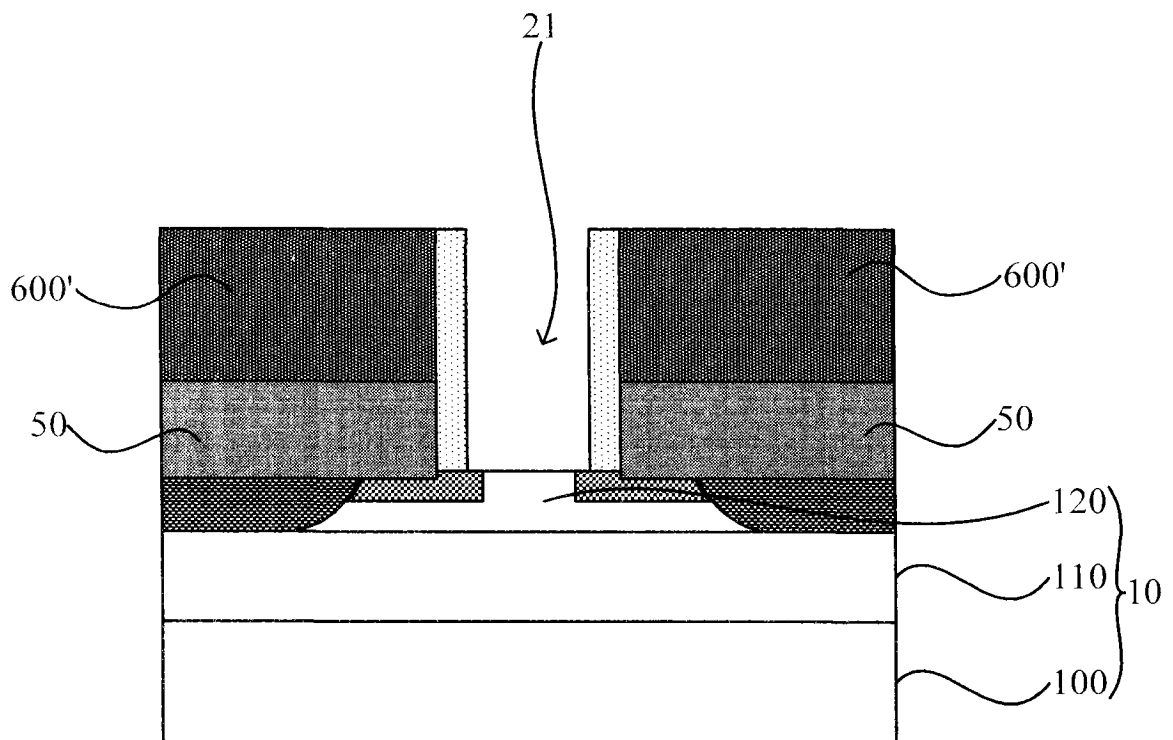


图 2g-1

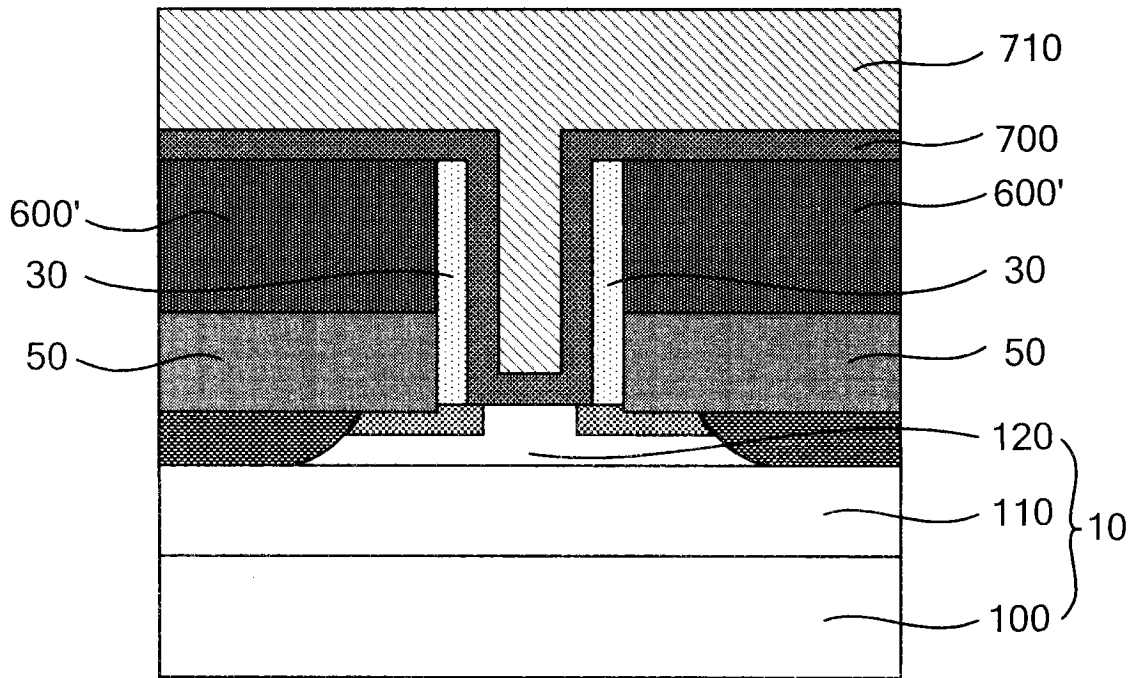


图 2g-2

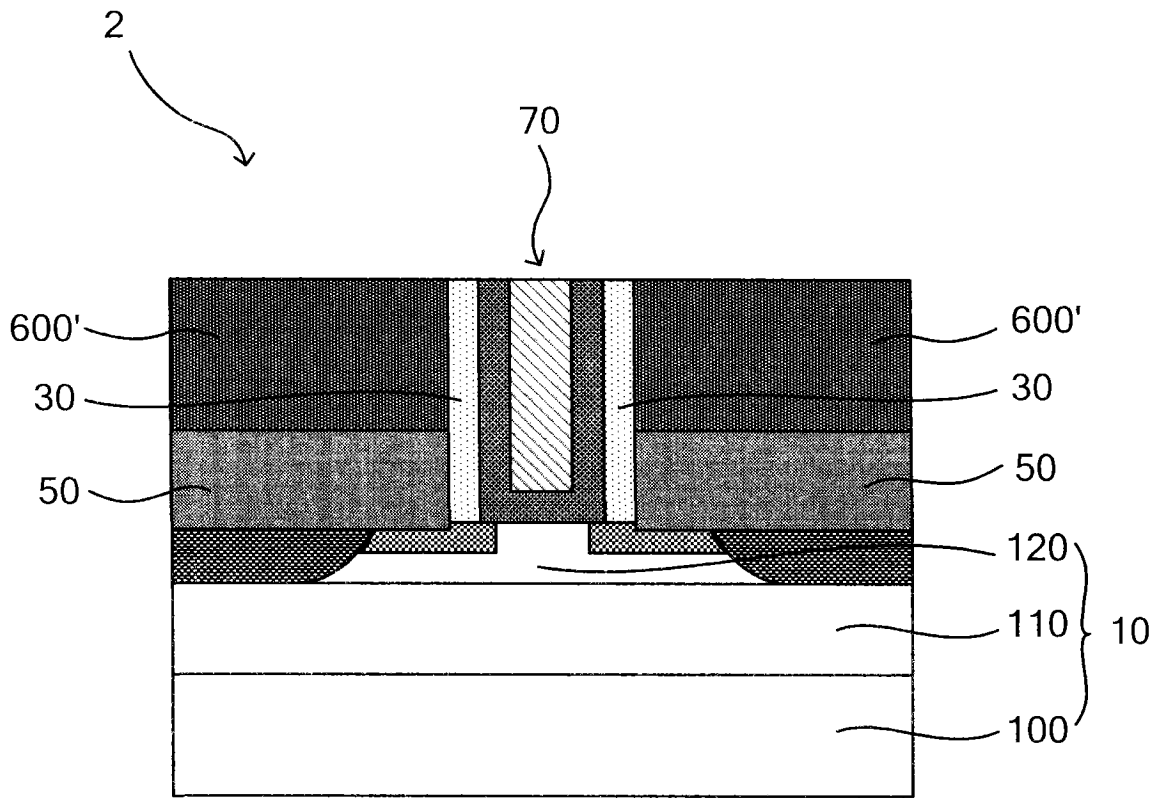


图 2g-3