



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I607516 B

(45) 公告日：中華民國 106 (2017) 年 12 月 01 日

(21) 申請案號：105106193 (22) 申請日：中華民國 105 (2016) 年 03 月 01 日  
 (51) Int. Cl. : H01L21/603 (2006.01) H01L21/67 (2006.01)  
 (30) 優先權：2015/09/08 日本 2015-176690  
 (71) 申請人：東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)  
 日本  
 (72) 發明人：松浦永悟 MATSUURA, EIGO (JP)  
 (74) 代理人：陳長文  
 (56) 參考文獻：  
 US 2006/0139893A1 US 2014/0070428A1  
 審查人員：湯欽全  
 申請專利範圍項數：7 項 圖式數：7 共 23 頁

## (54) 名稱

半導體裝置之製造方法及製造裝置

## (57) 摘要

本發明之實施形態提供一種可抑制半導體晶片彎曲之半導體裝置之製造方法及製造裝置。

於實施形態之半導體裝置之製造方法中，將作為第 1 半導體晶片之控制器晶片 11 載置於基板 10。將貼合有接著層 12 之作為第 2 半導體晶片之 NAND 晶片 21 以將接著層 12 朝向基板 10 側之狀態載置於基板 10。在將第 2 半導體晶片載置於基板 10 時，以接著層 12 中第 1 部分之黏度低於第 2 部分之黏度之狀態，將第 1 半導體晶片埋入接著層 12。第 1 部分係接著層 12 中位於載置於第 1 半導體晶片上之範圍之部分。第 2 部分係接著層 12 中位於第 1 部分之周圍之部分。介隔接著層 12 將第 2 半導體晶片接著於基板 10。

指定代表圖：

符號簡單說明：

- 10 . . . 基板
- 11 . . . 控制器晶片
- 12 . . . 接著層
- 21 . . . NAND 晶片
- 40 . . . 載置台
- 41 . . . 導熱調整構件
- 42 . . . 高導熱構件
- 43 . . . 低導熱構件
- 44 . . . 吸嘴保持治具
- 45 . . . 吸附吸嘴

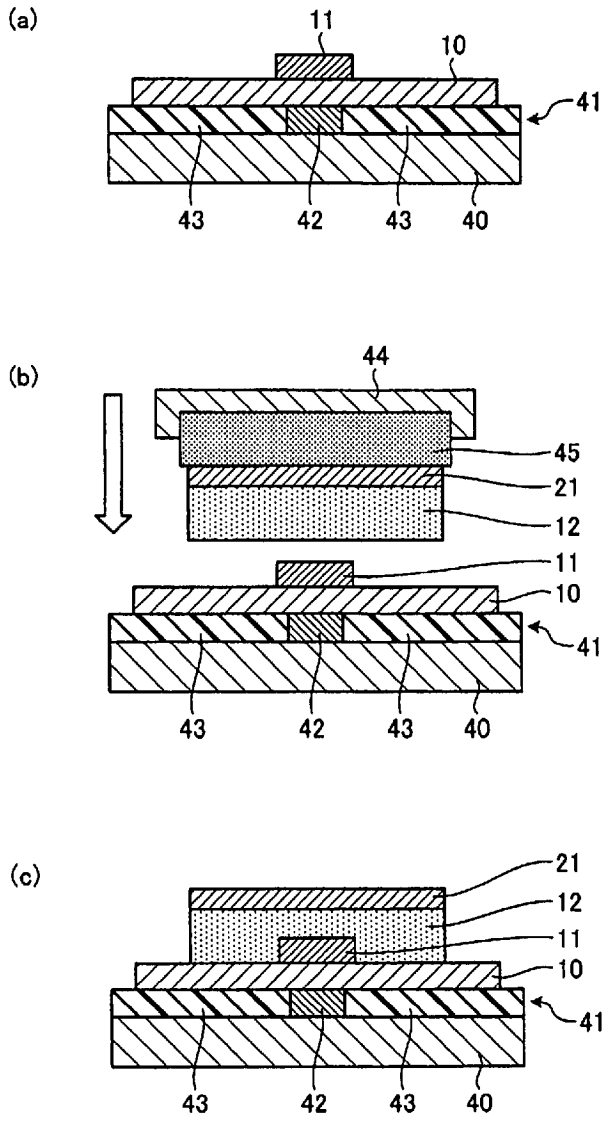


圖4

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

半導體裝置之製造方法及製造裝置

[相關申請案]

本申請案享有以日本專利申請案2015-176690號(申請日：2015年9月8日)為基礎申請案之優先權。本申請係藉由參照該基礎申請案而包含基礎申請案之全部內容。

## 【技術領域】

本發明之實施形態係關於一種半導體裝置之製造方法及製造裝置。

## 【先前技術】

已知有將複數種半導體晶片搭載於封裝內之半導體裝置。作為形成具備複數種半導體晶片之積層構造之方法之一，有一面將載置於基板上之第1半導體晶片埋入接著層，一面在接著層之上積層第2半導體晶片積層之方法。在該方法中，期望可抑制因將第1半導體晶片埋入接著層而可能產生之第2半導體晶片之彎曲。

## 【發明內容】

本發明之實施形態提供一種可抑制半導體晶片彎曲之半導體裝置之製造方法及製造裝置。

根據一實施形態，提供一種半導體裝置之製造方法。於半導體裝置之製造方法中，將第1半導體晶片載置於基板。將貼合有接著層之第2半導體晶片以使接著層朝向基板側之狀態載置於基板。於將第2半導體晶片載置於基板時，以接著層中之第1部分之黏度低於第2部分之黏度之狀態將第1半導體晶片埋入接著層。第1部分係接著層中位於

載置於第1半導體晶片上之範圍之部分。第2部分係接著層中位於第1部分之周圍之部分。介隔接著層將第2半導體晶片接著於基板。

### 【圖式簡單說明】

圖1係模式性表示使用第1實施形態之製造方法而製造之半導體裝置之構成之第1側視圖。

圖2係圖1所示之半導體裝置之第2側視圖。

圖3係圖1所示之半導體裝置之俯視圖。

圖4(a)~(c)係說明第1實施形態之半導體裝置之製造方法之順序之圖。

圖5係圖4所示之導熱調整構件之俯視圖。

圖6係對第1實施形態之製造方法中之接著層熔融時之黏度進行說明之圖。

圖7係說明第2實施形態之半導體裝置之製造方法之順序之圖。

### 【實施方式】

以下，參照隨附圖式對實施形態之半導體裝置之製造方法及製造裝置詳細地進行說明。再者，本發明並不受該等實施形態限定。

#### (第1實施形態)

圖1係模式性表示使用第1實施形態之製造方法製造之半導體裝置之構成之第1側視圖。圖2係圖1所示之半導體裝置之第2側視圖。圖3係圖1所示之半導體裝置之俯視圖。半導體裝置1具備半導體晶片之積層構造。半導體裝置1例如為控制器組入型之NAND(Not AND，反及)快閃記憶體。

圖1所示之第1側視圖係自圖3所示之箭頭A之方向觀察半導體裝置1時之側視圖。圖2所示之第2側視圖係自圖3所示之箭頭B之方向觀察半導體裝置1時之側視圖。

半導體裝置1於基板10上混載有控制器晶片11及8個NAND晶片21

~24、31~34。再者，於圖1、圖2及圖3中，半導體裝置1係以透視密封構件13之狀態表示。

作為第1半導體晶片之控制器晶片11係控制NAND晶片21~24、31~34中之資料之寫入及讀出之控制器。控制器晶片11配置於基板10上。控制器晶片11具備較NAND晶片21~24、31~34小之矩形之平面形狀。控制器晶片11埋入於接著層12中。於圖1及圖2中，以虛線表示位於接著層12之內部之控制器晶片11。

作為第2半導體晶片之NAND晶片21~24、31~34係保持資料之非揮發性之記憶體晶片。NAND晶片21~24、31~34積層於接著層12之上。NAND晶片21~24、31~34中最下層之NAND晶片21介隔接著層12接合於基板10。NAND晶片21~24、31~34相互介隔未圖示之接著層而接合。

NAND晶片21~24、31~34均具備矩形之平面形狀。NAND晶片21~24、31~34中自下往上至第4層為止之4個NAND晶片21~24於上表面之第1邊側之部分設置有電極27。第1邊設為矩形中位於箭頭B之方向上之近前側之邊。於各NAND晶片21~24，沿第1邊設置有複數個電極27。電極27例如為鋁墊。

NAND晶片21~24係以上表面中設置有電極27之第1邊側之部分不被覆蓋之方式相互錯位而積層。NAND晶片21~24係以第1邊側之部分形成階梯之方式積層。於基板10設置有複數個與電極27對應之連接端子26。

導線25將各NAND晶片21~24之電極27與基板10之連接端子26電性連接。導線25例如使用金、銅或者銀。利用導線25而進行之電極27與連接端子26之連接係藉由打線接合而形成。將各NAND晶片21~24以階梯狀積層後實施各NAND晶片21~24向電極27之打線接合。再者，於圖2中省略了導線25、連接端子26及電極27之圖示。於圖3中省

略了導線25之圖示。

NAND晶片21~24、31~34中自下往上為第5層之NAND晶片31係將自下往上為第4層之NAND晶片24中之第1邊側之部分空出而積層於NAND晶片24上。

NAND晶片21~24、31~34中自NAND晶片31起位於上側之4個NAND晶片31~34於上表面之第2邊側之部分設置有電極37。第2邊設為矩形中與第1邊對向之邊、並且係位於箭頭B之方向上之裏側之邊。於各NAND晶片31~34，沿第2邊設置有複數個電極37。電極37例如為鋁墊。

NAND晶片31~34係以上表面中設置有電極37之第2邊側之部分不會被覆蓋之方式相互錯位而積層。NAND晶片31~34係以第2邊側之部分形成階梯之方式積層。於基板10設置有複數個與電極37對應之連接端子36。

導線35將各NAND晶片31~34之電極37與基板10之連接端子36電性連接。導線35例如使用金或者銅。利用導線35而進行之電極37與連接端子36之連接係藉由打線接合而形成。將各NAND晶片31~34以階梯狀積層後實施各NAND晶片31~34對電極37之打線接合。再者，於圖3中省略了導線35之圖示。

於控制器晶片11之上表面設置有複數個電極15。電極15例如為鋁墊。複數個電極15沿控制器晶片11之矩形之各邊排列。於基板10設置有複數個與電極15對應之連接端子14。再者，於圖1及圖2中省略了連接端子14及電極15之圖示。電極15及連接端子14係藉由未圖示之導線而電性連接。導線例如使用金或者銅。

連接端子14、26、36形成於基板10之上表面。連接端子14、26、36例如係將鎳及金於銅上無電鍍敷而成。於基板10之下表面形成有未圖示之外部連接端子。外部連接端子例如使用焊料球或者焊料凸

塊。於基板10形成有將連接端子14、26、36與外部連接端子電性連接之構件、例如配線層及導孔。

密封構件13係將設置於基板10上之NAND晶片21~24、31~34密封之塑模樹脂。

半導體裝置1係於使NAND晶片21~24、31~34積層而成之構造體之下設置有控制器晶片11。控制器晶片11位於使NAND晶片21~24、31~34之構造體所占之範圍投影至基板10之情況下之投影範圍之大致中央。

藉由將控制器晶片11配置於該位置，半導體裝置1可使各NAND晶片21~24、31~34與控制器晶片11之間之配線之長度接近於均等。藉此，半導體裝置1可抑制控制器晶片11與各NAND晶片21~24、31~34之間之信號傳輸速度之不均，從而可使半導體裝置1之動作高速化。半導體裝置1可於NAND晶片21~24、31~34與控制器晶片11之間之各配線中獲得接近於均等之信號質量。又，半導體裝置1與使積層構造及控制器晶片11於基板10上並排之情況相比，可將平面構成小型化。

圖4係說明第1實施形態之半導體裝置之製造方法之順序之圖。於半導體裝置之製造方法中所使用之製造裝置具備載置台40及導熱調整構件41。基板10介隔導熱調整構件41而載置於載置台40。載置台40係具備供給熱之加熱機構之功能之加熱載置台。

導熱調整構件41安裝於載置台40之上。導熱調整構件41係調整自載置台40向接著層12之導熱。導熱調整構件41具備作為第1構件之高導熱構件42及作為第2構件之低導熱構件43。基板10載置於導熱調整構件41之上。

圖5係圖4所示之導熱調整構件之俯視圖。高導熱構件42設置於導熱調整構件41之第1區域。第1區域位於導熱調整構件41上之基板10

中供控制器晶片11載置之區域之正下方。高導熱構件42係形成為略小於控制器晶片11之矩形之板構件。高導熱構件42使用具備高導熱率之構件、例如銅或者鋁。

低導熱構件43設置於導熱調整構件41之第2區域。第2區域係導熱調整構件41中除第1區域以外之區域、並且係整個第1區域之周圍之區域。低導熱構件43係將第1區域作為開口之板構件。高導熱構件42嵌入至該開口。低導熱構件43使用具備低於高導熱構件42之導熱率之構件、例如PTFE(polytetrafluoroethylene, 聚四氟乙烯)等氟樹脂材料。

導熱調整構件41可裝卸地設置於載置台40上。製造裝置藉由將導熱調整構件41組合在半導體裝置之製造中通常使用之載置台40, 可調整與基板10上之控制器晶片11之位置對應之導熱。

亦可於高導熱構件42及低導熱構件43之間設置間隙。藉由設置間隙, 可減少自高導熱構件42向低導熱構件43之導熱。高導熱構件42亦可與使用金屬之載置台40製成一體。關於高導熱構件42及低導熱構件43之材料, 只要高導熱構件42之導熱率高於低導熱構件43之導熱率即可, 可使用任何材料。

圖4(a)至(c)分別表示與圖2所示之平面平行之剖面。於圖4(a)所示之步驟中, 將基板10載置於載置於載置台40之導熱調整構件41之上, 將控制器晶片11載置於基板10之上。控制器晶片11配置於基板10中之導熱調整構件41上之第1區域之正上方之區域。控制器晶片11介隔未圖示之接著層而接著於基板10。

移送半導體晶片之移送機構具備圖4(b)所示之吸嘴保持治具44及吸附吸嘴45。吸嘴保持治具44保持吸附吸嘴45。吸附吸嘴45連接於未圖示之真空泵。吸附吸嘴45利用真空泵所產生之吸引力吸附作為移送對象之半導體晶片之表面。吸嘴保持治具44將吸附在吸附吸嘴45之半



導體晶片抬升，並移送被抬升之半導體晶片。

於圖4(b)所示之步驟中，吸嘴保持治具44將貼合有接著層12之NAND晶片21移送至基板10上。接著層12設置於NAND晶片21之整個下表面。吸附吸嘴45吸附NAND晶片21之上表面。NAND晶片21係於使貼合有接著層12之下表面朝下之狀態下被移送。接著層12例如為使用熱固性樹脂之黏晶膜。

吸嘴保持治具44將接著層12及NAND晶片21載置於載置有控制器晶片11之基板10上。NAND晶片21以使接著層12朝向基板10側之狀態載置於基板10。當接著層12到達至控制器晶片11及基板10時，接著層12藉由吸嘴保持治具44之動作而進一步被壓向控制器晶片11及基板10。

接著層12因受到自載置台40於導熱調整構件41及基板10中傳遞之熱而軟化。接著層12藉由加熱自固體狀態變化成熔融狀態。控制器晶片11被埋入已成為熔融狀態之接著層12。控制器晶片11之電極15、連接端子14、及電極15與連接端子14之間之導線亦與控制器晶片11一併被埋入接著層12。接著層12於控制器晶片11之周圍抵接於基板10之上表面。藉此，如圖4(c)所示，NAND晶片21介隔接著層12而接著於基板10。

圖6係對第1實施形態之製造方法中之接著層熔融時之黏度進行說明之圖。於圖6中示出表示接著層12內之位置與接著層12之溫度 $T$ 之關係之曲線圖、及表示接著層12內之位置與接著層12熔融時之黏度 $\eta$ 之關係之曲線圖。所謂接著層12內之位置，設為沿著包含控制器晶片11及接著層12之剖面且與基板10之上表面平行之方向上之位置。

導熱調整構件41係設置有高導熱構件42之第1區域與設置有低導熱構件43之第2區域相比，來自載置台40之熱之傳導效率高(熱電阻低)。若使接著層12到達至控制器晶片11及基板10，則與接著層12中

載置於控制器晶片 11 上之範圍之部分之加熱相比，其他部分之加熱被進一步抑制。

此處，將接著層 12 中載置於控制器晶片 11 上之範圍之部分設為第 1 部分。將接著層 12 中除第 1 部分以外之部分、並且為整個第 1 部分之周圍之部分設為第 2 部分。

與第 1 部分之加熱相比，第 2 部分之加熱被進一步抑制，藉此接著層 12 之溫度  $T$  於第 1 部分增高，與第 1 部分相比於第 2 部分降低。如此，導熱調整構件 41 係以第 1 部分之溫度  $T$  高於第 2 部分之溫度  $T$  之方式調整自載置台 40 向接著層 12 之導熱。

藉由以如上方式調整導熱，與第 2 部分相比，接著層 12 於第 1 部分熔融被促進。第 1 部分之熔融與第 2 部分之熔融相比得以促進，藉此接著層 12 之黏度  $\eta$  於第 1 部分降低，與第 1 部分相比於第 2 部分增高。於第 1 實施形態之製造方法中，以接著層 12 中第 1 部分之黏度  $\eta$  低於第 2 部分之黏度  $\eta$  之狀態將控制器晶片 11 埋入接著層 12。

將控制器晶片 11 埋入接著層 12 且介隔接著層 12 將 NAND 晶片 21 接著於基板 10 後，接著層 12 硬化。藉由使接著層 12 硬化而於接著層 12 內將控制器晶片 11 接著。將 NAND 晶片 21 介隔接著層 12 而接著於基板 10。接著層 12 藉由利用下述密封構件 13 進行密封時之加熱及加壓而進一步硬化。

於 NAND 晶片 21 之上依序積層有 3 個 NAND 晶片 22 ~ 24。各 NAND 晶片 22 ~ 24 係於貼合有接著層之狀態下重合。將 4 個 NAND 晶片 21 ~ 24 積層後，藉由打線接合將各 NAND 晶片 21 ~ 24 之電極 27 與連接端子 26 依序連接，藉此形成導線 25。藉由將 4 個 NAND 晶片 21 ~ 24 呈階梯狀積層，可節省每次配置各 NAND 晶片 21 ~ 24 時實施打線接合之工夫。

於 NAND 晶片 24 之上依序積層有 4 個 NAND 晶片 31 ~ 34。各 NAND

晶片31~34係於貼合有接著層之狀態下重合。將4個NAND晶片31~34積層後，藉由打線接合將各NAND晶片31~34之電極37與連接端子36依序連接，藉此形成導線35。藉由將4個NAND晶片31~34呈階梯狀積層，可節省每次配置各NAND晶片31~34時實施打線接合之工夫。

再者，NAND晶片22~24、31~34之積層可繼積層有最下層之NAND晶片21之後於具備導熱調整構件41之載置台40上實施。NAND晶片22~24、31~34之積層亦可於將具備導熱調整構件41之載置台40替換成其他載置台之後實施。

藉此，將控制器晶片11及8個NAND晶片21~24、31~34安裝於基板10。該基板10上之構成物由密封構件13密封，其後被單片化。藉由經過以上步驟，可獲得圖1至圖3所示之半導體裝置1。

假設將接著層12整體之黏度 $\eta$ 設為大致固定，將控制器晶片11埋入接著層12。接著層12受到移送機構之加壓，垂直方向上之收縮無關於接著層12內之位置皆大致均等。於此情形時，可能出現接著層12中抵接於控制器晶片11之部分與其周圍之部分相比，隆起相當於控制器晶片11之體積之量的情形。藉由介隔該狀態之接著層12將NAND晶片21接著於基板10，可能會有NAND晶片21成為以控制器晶片11上之部分凸出之方式彎曲之狀態的情形。

因最下層之NAND晶片21彎曲，故積層於較NAND晶片21更靠上之各NAND晶片22~24、31~34亦各自以彎曲之狀態被接著。NAND晶片21~24、31~34容易因此種變形而產生破損或者晶片彼此之接著不良。

又，密封構件13中較最上層之NAND晶片34更靠上側之部分中各NAND晶片21~24、31~34凸出之部分薄於其周圍之部分。於此狀態下，利用雷射照射對密封構件13之表面實施刻印，會因雷射所產生之

熱之影響而可能波及至最上段之NAND晶片34。亦可能存在受到雷射照射之部位由於密封構件13被削去因而NAND晶片34露出之情況。

於第1實施形態中，如上所述，以接著層12之第1部分之黏度低於第2部分之黏度之狀態，將控制器晶片11埋入接著層12。藉由將控制器晶片11埋入相對於第2部分為柔軟之狀態之第1部分，可降低接著層12因控制器晶片11之存在而導致之第1部分之隆起。接著層12於控制器晶片11之周圍，可藉由成為比第1部分堅硬之狀態之第2部分支持NAND晶片21。

藉此，可減少控制器晶片11上之部分凸出般之NAND晶片21之彎曲。NAND晶片21係於維持利用接著層12接著至基板10之前之平坦之狀態之情況而被接著至基板10。藉由減少最下層之NAND晶片21之彎曲，可減少積層於較NAND晶片21更靠上之各NAND晶片22~24、31~34之彎曲。NAND晶片21~24、31~34可減少因變形而導致之破損及晶片彼此之接著不良。

進而，密封構件13中較最上層之NAND晶片34更靠上側之部分之厚度於控制器晶片11之上部與除此以外之部分為固定。因無關密封構件13上之位置皆確保密封構件13之充分之厚度，藉此，於對密封構件13之表面進行雷射照射時，可降低雷射對最上段之NAND晶片34之影響。又，可抑制受到雷射照射之部位之NAND晶片34之露出。半導體裝置1可抑制因製造時之不良而導致可靠性降低。

於半導體裝置1中積層之NAND晶片之數量並不限定於為8個之情形，可進行適當變更。半導體裝置1並不限定於具備控制器晶片11與複數個NAND晶片者。第2半導體晶片亦可為除NAND晶片以外之任何半導體晶片。半導體裝置1亦可具備平面形狀之尺寸互不相同之任何半導體晶片作為第1及第2半導體晶片。半導體裝置1於將大型之半導體晶片設置於埋入有小型之半導體晶片之接著層12之上之構成中，可

減少因小型之半導體晶片之存在而導致大型之半導體晶片彎曲。於設置於接著層12之上之半導體晶片為大型且薄型之情況下，可有效地抑制半導體晶片之彎曲。

根據第1實施形態，藉由利用導熱調整構件41調整自載置台40向接著層12之導熱，而接著層12之第1部分之溫度高於第2部分之溫度。於使因加熱而成為熔融狀態之接著層12中之第1部分之黏度低於第2部分之黏度之狀態下，將第1半導體晶片埋入接著層12。可抑制第2半導體晶片產生第1半導體晶片上之部分凸出般之彎曲。藉此，發揮可抑制半導體晶片之彎曲之效果。

### (第2實施形態)

圖7係說明第2實施形態之半導體裝置之製造方法之順序之圖。對於與上述第1實施形態相同之部分標註相同之符號，並省略重複之說明。

於第2實施形態中，基板10載置於不具備加熱機構之功能之載置台50上。於吸嘴保持治具44上安裝有加熱器51。加熱器51係供給熱之加熱機構。再者，載置台50亦可具備加熱機構之功能。

移送機構於進行了NAND晶片21相對於吸附吸嘴45之定位之狀態下，使NAND晶片21之上表面吸附於吸附吸嘴45。加熱器51局部安裝於移送機構將NAND晶片21抬升之狀態下位於第1部分之上方之部分。

於移送機構將NAND晶片21抬升之期間，來自加熱器51之熱經過吸嘴保持治具44、吸附吸嘴45及NAND晶片21而向接著層12傳遞。藉由將加熱器51安裝於接著層12中之第1部分之上方，而於接著層12中，與第1部分之加熱相比，第2部分之加熱被抑制。

與第1部分之加熱相比第2部分之加熱被抑制，藉此，接著層12之溫度於第1部分增高，與第1部分相比於第2部分降低。與第2部分相

比，接著層12於第1部分熔融被促進。第1部分之熔融與第2部分之熔融相比被促進，藉此，接著層12之黏度於第1部分降低，與第1部分相比於第2部分增高。於第2實施形態之製造方法中，以接著層12中之第1部分之黏度低於第2部分之黏度之狀態，將控制器晶片11埋入接著層12。

於第2實施形態中，與第1實施形態同樣地，可減少控制器晶片11上之部分凸出般之NAND晶片21之彎曲。NAND晶片21～24、31～34可減少因變形而導致之破損及晶片彼此之接著不良。半導體裝置1可抑制因製造時之不良情況而導致可靠性降低。

再者，於第2實施形態之製造方法中，亦可應用第1實施形態中之載置台40及導熱調整構件41來代替載置台50。亦可藉由將第1實施形態中之導熱之調整組合至第2實施形態中，而使接著層12之第1部分之加熱比第2部分之加熱更得以促進。

根據第2實施形態，加熱機構局部安裝於由移送機構將第2半導體晶片抬升之狀態下位於第1部分之上方之部分。接著層12自第1部分之上方之加熱機構被供給熱，藉此第1部分之溫度高於第2部分之溫度。於使因加熱而成為熔融狀態之接著層12中之第1部分之黏度低於第2部分之黏度之狀態下，將第1半導體晶片埋入接著層12。可抑制第2半導體晶片產生第1半導體晶片上之部分凸出般之彎曲。藉此，發揮可抑制半導體晶片之彎曲之效果。

已對本發明之若干實施形態進行了說明，但該等實施形態係作為例子而提出，並非意圖限定發明之範圍。該等新穎之實施形態可以其他各種形態加以實施，且可於不脫離發明主旨之範圍內進行各種省略、替換、變更。該等實施形態或其變化包含於發明之範圍或主旨中，並且包含於申請專利範圍所記載之發明與其均等之範圍內。

### 【符號說明】

1	半導體裝置
10	基板
11	控制器晶片
12	接著層
13	密封構件
14	連接端子
15	電極
21	NAND晶片
22	NAND晶片
23	NAND晶片
24	NAND晶片
25	導線
26	連接端子
27	電極
31	NAND晶片
32	NAND晶片
33	NAND晶片
34	NAND晶片
35	導線
36	連接端子
37	電極
40	載置台
41	導熱調整構件
42	高導熱構件
43	低導熱構件
44	吸嘴保持治具

45	吸附吸嘴
50	載置台
51	加熱器
A	箭頭
B	箭頭
T	溫度
$\eta$	黏度



# 發明摘要

※ 申請案號 : 105106193

※ 申請日 : 105/03/01

※ IPC 分類 : H01L 21/603 (2006.01)  
H01L 21/67 (2006.01)

## 【發明名稱】

半導體裝置之製造方法及製造裝置

## 【中文】

本發明之實施形態提供一種可抑制半導體晶片彎曲之半導體裝置之製造方法及製造裝置。

於實施形態之半導體裝置之製造方法中，將作為第1半導體晶片之控制器晶片11載置於基板10。將貼合有接著層12之作為第2半導體晶片之NAND晶片21以將接著層12朝向基板10側之狀態載置於基板10。在將第2半導體晶片載置於基板10時，以接著層12中第1部分之黏度低於第2部分之黏度之狀態，將第1半導體晶片埋入接著層12。第1部分係接著層12中位於載置於第1半導體晶片上之範圍之部分。第2部分係接著層12中位於第1部分之周圍之部分。介隔接著層12將第2半導體晶片接著於基板10。

## 【英文】

無

圖式

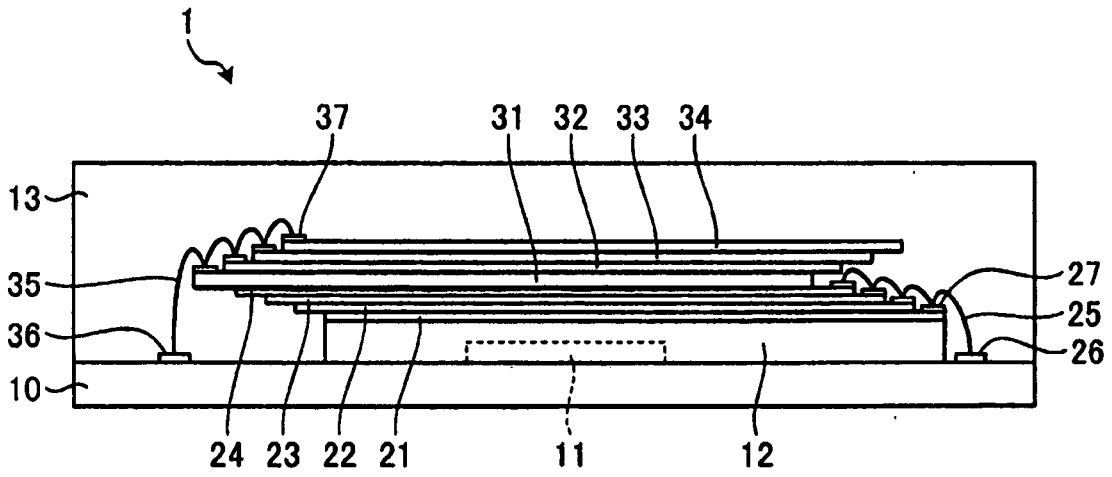


圖1

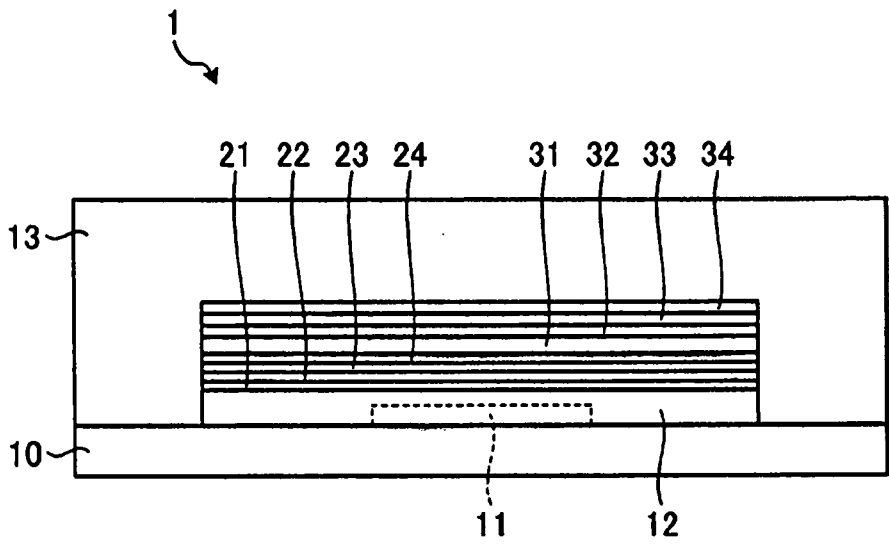


圖2

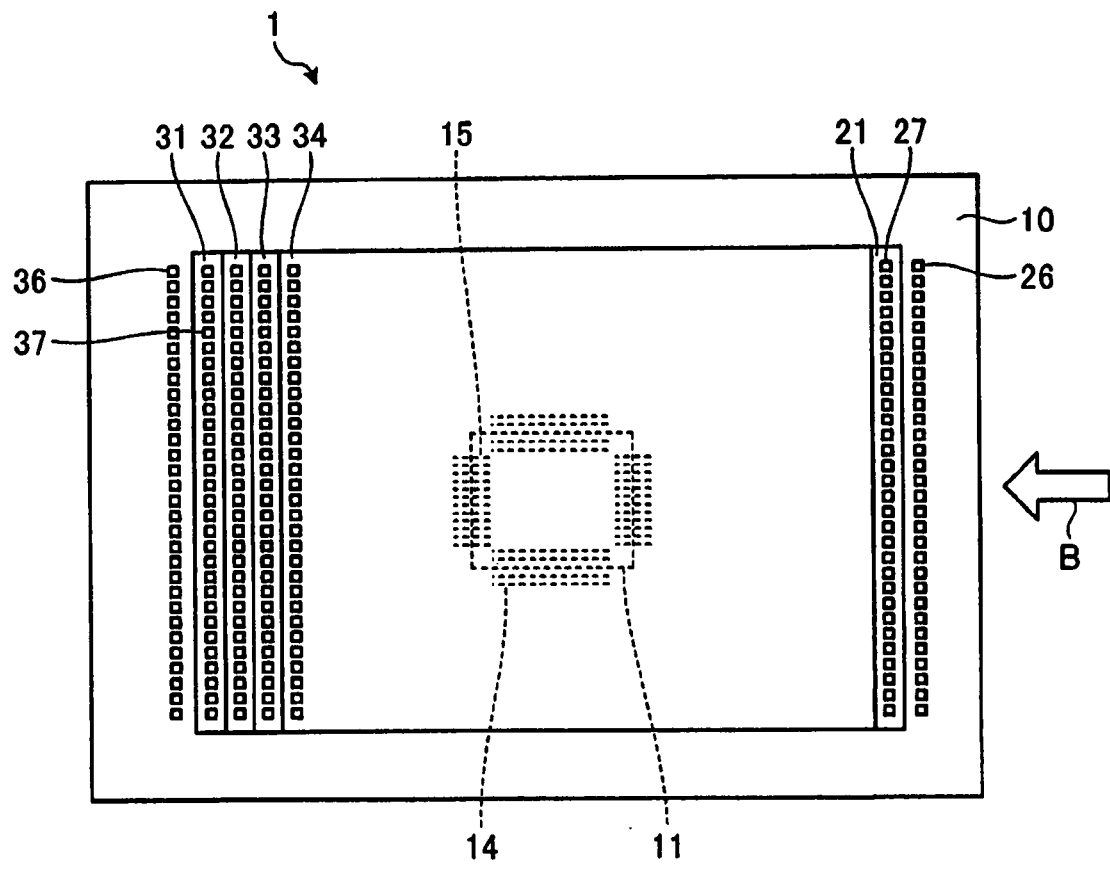


圖3

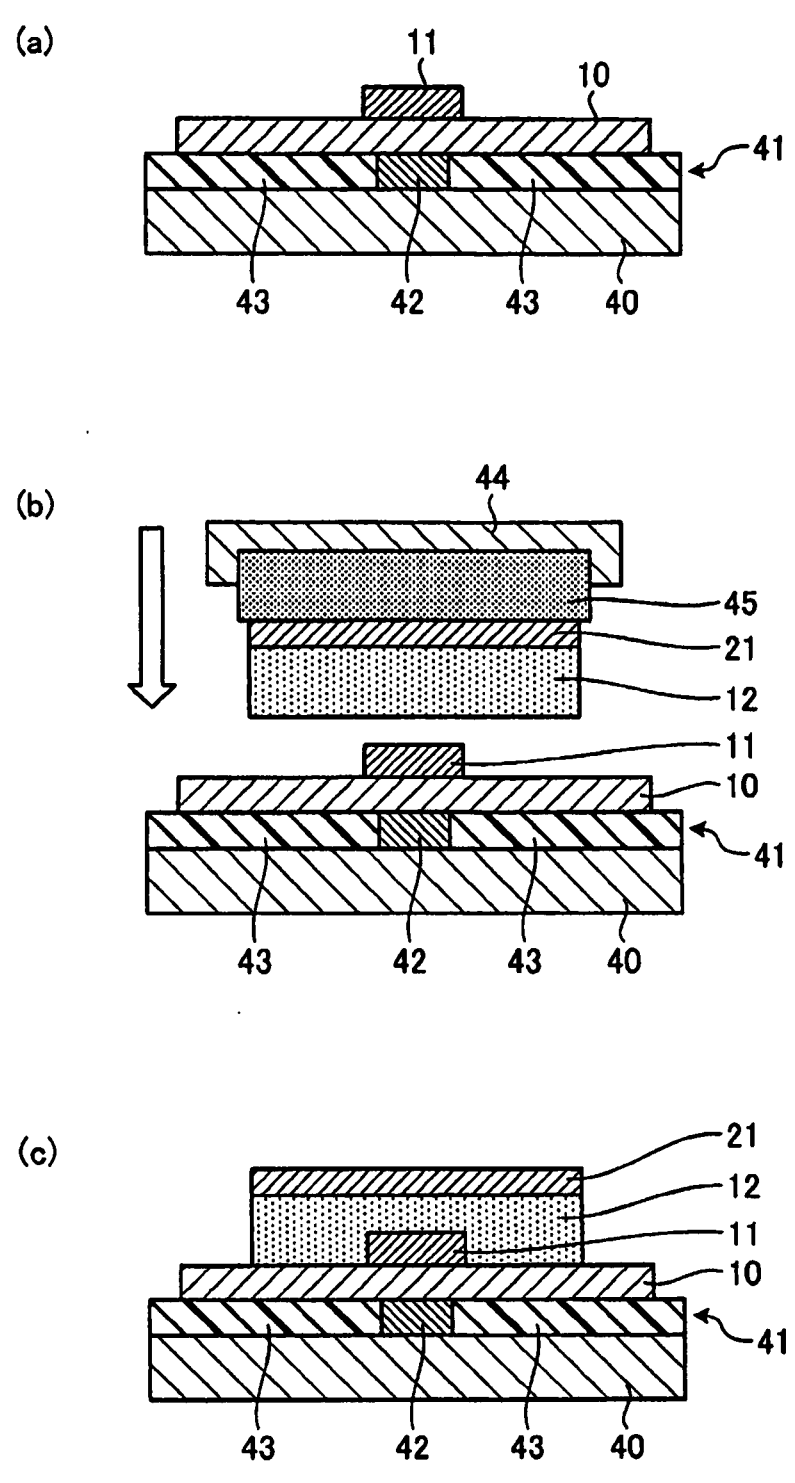


圖4

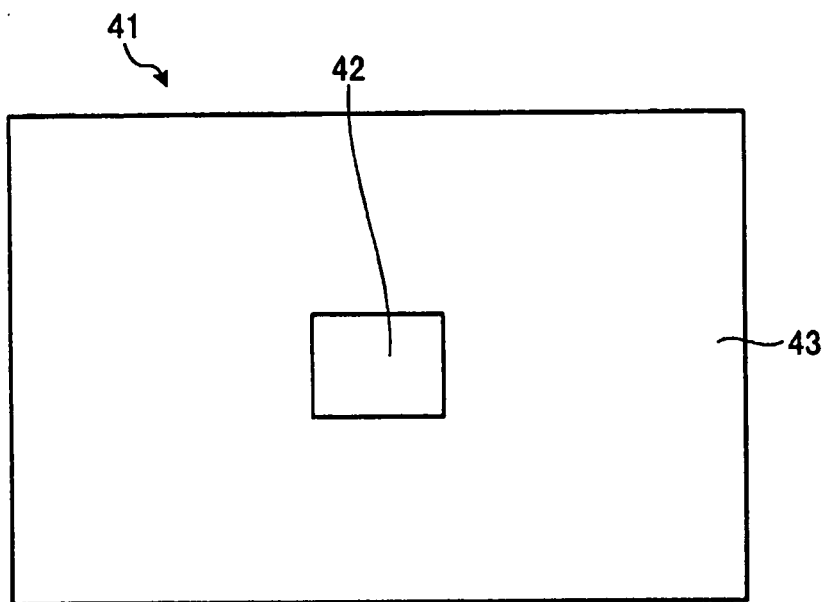


圖5

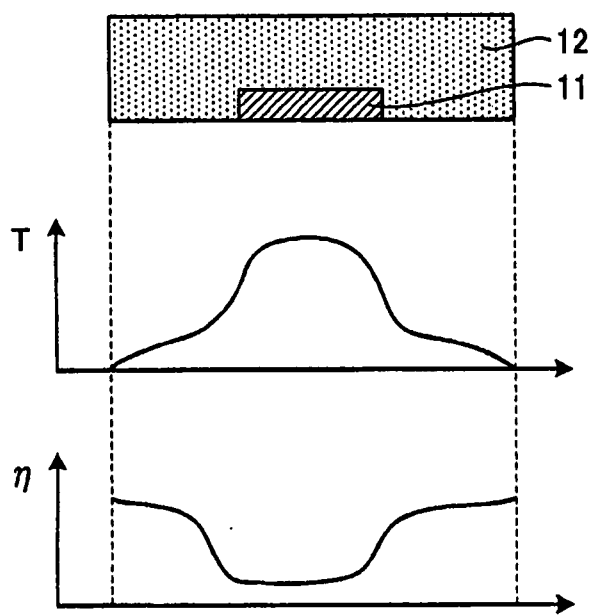


圖6

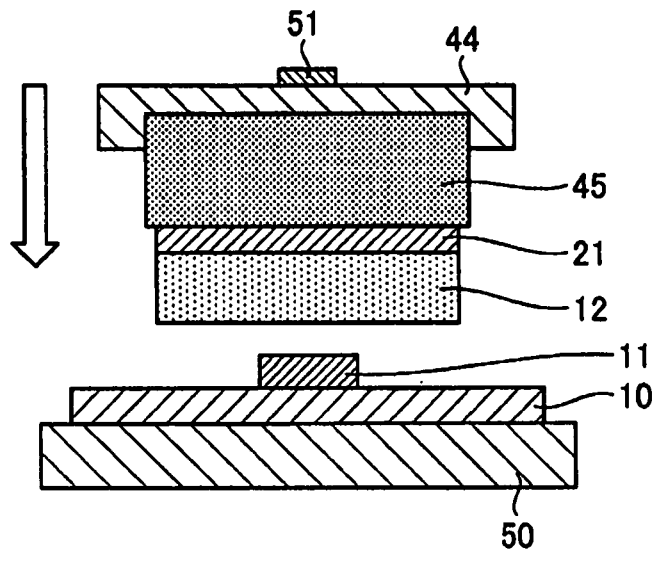


圖7

**【代表圖】**

**【本案指定代表圖】：**第(4)圖。

**【本代表圖之符號簡單說明】：**

- |    |        |
|----|--------|
| 10 | 基板     |
| 11 | 控制器晶片  |
| 12 | 接著層    |
| 21 | NAND晶片 |
| 40 | 載置台    |
| 41 | 導熱調整構件 |
| 42 | 高導熱構件  |
| 43 | 低導熱構件  |
| 44 | 吸嘴保持治具 |
| 45 | 吸附吸嘴   |

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無

## 申請專利範圍

1. 一種半導體裝置之製造方法，其特徵在於：其將第1半導體晶片載置於基板，  
將貼合有接著層之第2半導體晶片以使上述接著層朝向上述基板側之狀態載置於上述基板；  
在將上述第2半導體晶片載置於上述基板時，  
以上述接著層中位於載置於上述第1半導體晶片上之範圍之第1部分之黏度低於上述接著層中位於上述第1部分之周圍之第2部分之黏度之狀態，將上述第1半導體晶片埋入上述接著層，  
介隔上述接著層將上述第2半導體晶片接著於上述基板。
2. 如請求項1之半導體裝置之製造方法，其藉由加熱而使貼合於上述第2半導體晶片之上述接著層熔融，  
於上述加熱中使上述第1部分之溫度高於上述第2部分之溫度，藉此使上述第1部分之黏度低於上述第2部分之黏度。
3. 如請求項2之半導體裝置之製造方法，其中上述基板載置於具備加熱機構之載置台，  
藉由調整自上述載置台向上述接著層之導熱，而使上述第1部分之溫度高於上述第2部分之溫度。
4. 如請求項3之半導體裝置之製造方法，其中上述基板係介隔設置於上述載置台上之導熱調整構件而載置於上述載置台，  
上述導熱調整構件具備：第1構件，其位於上述基板中供載置上述第1半導體晶片之區域之下；及第2構件，其位於上述第1構件之周圍；  
上述第1構件之導熱率高於上述第2構件之導熱率。
5. 如請求項2之半導體裝置之製造方法，其中於移送上述第2半導



體晶片之移送機構設置有加熱機構，

上述加熱機構係局部安裝於由上述移送機構將上述第2半導體晶片抬升之狀態下位於上述第1部分之上方之部分。

6. 一種半導體裝置之製造裝置，其特徵在於具備：

載置台，其供載置基板；

加熱機構，其於將貼合有接著層之第2半導體晶片以將上述接著層朝向上述基板側之狀態載置於載置有第1半導體晶片之上述基板時，將上述接著層加熱；及

導熱調整構件，其具有位於上述基板中供載置上述第1半導體晶片之區域下之第1區域、及位於上述第1區域之周圍之第2區域，且於上述第1區域設置具有第1導熱率之第1導熱構件，於上述第2區域設置具有低於第1導熱率之第2導熱率之第2導熱構件，調整自上述加熱機構向上述接著層之導熱。

7. 如請求項6之半導體裝置之製造裝置，其中上述第1導熱構件小於上述第1區域。