

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5744346号
(P5744346)

(45) 発行日 平成27年7月8日(2015.7.8)

(24) 登録日 平成27年5月15日(2015.5.15)

(51) Int. Cl. F I
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 H
 HO 1 L 29/778 (2006.01)
 HO 1 L 29/812 (2006.01)

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2014-552768 (P2014-552768)	(73) 特許権者	000006013
(86) (22) 出願日	平成24年12月17日 (2012.12.17)		三菱電機株式会社
(86) 国際出願番号	PCT/JP2012/082660		東京都千代田区丸の内二丁目7番3号
(87) 国際公開番号	W02014/097369	(74) 代理人	100123434
(87) 国際公開日	平成26年6月26日 (2014.6.26)		弁理士 田澤 英昭
審査請求日	平成26年10月9日 (2014.10.9)	(74) 代理人	100101133
			弁理士 濱田 初音
		(74) 代理人	100199749
			弁理士 中島 成
		(74) 代理人	100156351
			弁理士 河村 秀央
		(74) 代理人	100188880
			弁理士 坂元 辰哉
		(74) 代理人	100197767
			弁理士 辻岡 将昭

最終頁に続く

(54) 【発明の名称】 窒化物半導体を用いたトランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

電子が走行するチャンネル層と、前記チャンネル層の上方に設けられたインジウム、アルミニウム、ガリウムのうちの1つ以上と窒素とを含むバリア層と、当該バリア層の上部にゲート電極、ソース電極およびドレイン電極を具備する、窒化物半導体を用いたトランジスタにおいて、

前記バリア層と前記チャンネル層との間に挿入され、前記バリア層より分極が大きいスペーサ層をさらに備え、

当該スペーサ層は、前記ゲート電極の直下に存在しない

ことを特徴とする窒化物半導体を用いたトランジスタ。

10

【請求項 2】

前記スペーサ層が窒化アルミニウムであることを特徴とする請求項 1 記載のトランジスタ。

【請求項 3】

前記スペーサ層が存在しない部分の左右方向の長さが、前記ゲート電極の左右方向の長さの2倍であることを特徴とする請求項 1 記載のトランジスタ。

【請求項 4】

前記ゲート電極が2段構造になっていることを特徴とする請求項 1 記載のトランジスタ

【請求項 5】

20

前記ゲート電極の側面が斜めになっていることを特徴とする請求項 1 記載のトランジスタ。

【請求項 6】

電子が走行するチャンネル層と、前記チャンネル層の上方に設けられたインジウム、アルミニウム、ガリウムのうちの 1 つ以上と窒素とを含むバリア層と、当該バリア層の上部にゲート電極、ソース電極およびドレイン電極を具備する、窒化物半導体を用いたトランジスタの製造方法であって、

前記チャンネル層の上に、前記バリア層より分極が大きいスペーサ層を形成するステップと、

前記スペーサ層の上に、当該スペーサ層を除去する部分を除いてレジストをパターンニングするステップと、

前記パターンニングされたレジストをマスクとして用いて前記ゲート電極の直下となる領域の前記スペーサ層をエッチング除去するステップと、

前記パターンニングされたレジストを除去するステップと、

前記チャンネル層および前記スペーサ層の上部に前記バリア層を形成するステップと、

前記バリア層の上に絶縁膜層を形成するステップと、

前記ソース電極および前記ドレイン電極が形成される位置に対応する前記絶縁膜層を除去した後に、前記ソース電極および前記ドレイン電極を形成するステップと、

前記絶縁膜層、前記ソース電極および前記ドレイン電極の上に、前記ゲート電極を形成する部分を除いてレジストを再パターンニングするステップと、

前記再パターンニングされたレジストをマスクとして用いて前記ゲート電極となる領域の前記絶縁膜層をエッチング除去するステップと、

前記再パターンニングされたレジストを除去するステップと、

前記絶縁膜層をエッチング除去した領域より大きい開口を持ったレジストを最終パターンニングするステップと、

前記絶縁膜層をエッチング除去した領域および前記絶縁膜層の上に前記ゲート電極を形成するステップと、

前記最終パターンニングされたレジストを除去するステップと

を備えることを特徴とするトランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、GaN（窒化ガリウム）に代表される窒化物半導体の高電子移動度トランジスタ（High Electron Mobility Transistor：HEMT）およびこのトランジスタの製造方法に関するものである。

【背景技術】

【0002】

AlN（窒化アルミニウム）スペーサを有するGaN HEMTの構造を非特許文献 1 を例に説明する。非特許文献 1 の図 1 にAlNスペーサを有するGaN HEMTの構造断面図が掲載されている。この従来構造ではチャンネル層（GaN buffer）の上にAlNスペーサ層（AlN）が全面に結晶成長され、その上にバリア層（AlGaIn）が結晶成長され、バリア層上に窒化膜（Si₃N₄）、電極（ソース電極（Source）、ゲート電極（Gate）、ドレイン電極（Drain））が形成されている。この従来構造の特徴は単純にAlNスペーサが全面に結晶成長されている点である。

【0003】

GaN HEMTは高出力高周波増幅器やパワースイッチ回路に用いられる。

増幅器やスイッチ回路の効率を上げるためには、ソース電極とドレイン電極の間に直列に存在するアクセス抵抗を低減する必要がある。このアクセス抵抗を低減させる手法のひとつとして、AlGaIn（窒化アルミニウムガリウム）とGaNの間にAlNスペーサを挿入方法がとられてきた。AlNは分極がAlGaInより大きいため、AlNスペーサを

10

20

30

40

50

入れることで2次元電子ガス濃度が増大し、アクセス抵抗を低減することができる。

【0004】

図1は、従来の窒化物半導体を用いた高電子移動度トランジスタ(GaN HEMT)の構造の一例を示す模式断面図である。図1に示すとおり、この従来のGaN HEMTは、AlNスペーサを挿入したものであり、基板1、バッファ層2、チャンネル層3、スペーサ層4、バリア層5、絶縁膜層6、ソース電極7、ドレイン電極8、ゲート電極9を備えている。この従来構造では、AlNスペーサ層4がゲート電極9の直下周辺も含めて全面に存在する構造になっている。

【先行技術文献】

【非特許文献】

10

【0005】

【非特許文献1】Balaji Padmanabhan, Dragica Vasileska and Stephen.M Goodnick, "Modeling Reliability of GaN/AlGaIn/AlN/GaN HEMT", ISDRS 2011, December 7-9, 2011

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、例えば図1や非特許文献1に示すような従来構造のトランジスタでは、AlNスペーサを全面に挿入することによりアクセス抵抗は低減して効率が向上するが、信頼性が劣化するという課題があった。

【0007】

20

この発明は、上記のような課題を解決するためになされたものであり、アクセス抵抗の増大を抑えつつ、信頼性の高い、窒化物半導体を用いたトランジスタおよびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、この発明は、電子が走行するチャンネル層と、前記チャンネル層の上方に設けられたインジウム、アルミニウム、ガリウムのうちの1つ以上と窒素を含むバリア層と、当該バリア層の上部にゲート電極、ソース電極およびドレイン電極を具備する、窒化物半導体を用いたトランジスタにおいて、前記バリア層と前記チャンネル層との間に挿入され、前記バリア層より分極が大きいスペーサ層をさらに備え、当該スペーサ層は、前記ゲート電極の直下に存在しないことを特徴とする。

30

【発明の効果】

【0009】

この発明によれば、ゲート電極の直下にAlNスペーサ層が存在しないため、従来構造のトランジスタに比べて、ゲート電極端電界が小さくなり、ゲートリーク電流が低減されて信頼性が確保される。また、AlNスペーサ層の存在しない部分の長さは、ソース電極とドレイン電極との間の距離に比べて十分小さいため、AlNスペーサ層によるアクセス抵抗の低減は従来構造と同程度に保つことができ、アクセス抵抗の増大を抑えることができる。

【図面の簡単な説明】

40

【0010】

【図1】従来の窒化物半導体を用いた高電子移動度トランジスタ(GaN HEMT)の構造の一例を示す模式断面図である。

【図2】実施の形態1における窒化物半導体を用いた高電子移動度トランジスタ(GaN HEMT)の構造の一例を示す模式断面図である。

【図3】実施の形態1における音声処理部の構成の一例を示すブロック図である。

【図4】従来構造とこの実施の形態1による構造の、アクセス抵抗 R_{on} と逆方向ゲート電流 $-I_{gd}$ の W/Lg 依存性を示す図である。

【図5】基板の上に、バッファ層、チャンネル層、スペーサ層、バリア層、絶縁膜層、ソース電極およびドレイン電極を形成するところまでの製造方法を示す図である。

50

【図6】実施の形態1において、図5に示す製造方法の後に、ゲート電極を形成する製造方法を示す図である。

【図7】実施の形態2における窒化物半導体を用いた高電子移動度トランジスタ(GaN HEMT)の構造の一例を示す模式断面図である。

【図8】実施の形態3における窒化物半導体を用いた高電子移動度トランジスタ(GaN HEMT)の構造の一例を示す模式断面図である。

【図9】実施の形態3において、図5に示す製造方法の後に、ゲート電極を形成する製造方法を示す図である。

【発明を実施するための形態】

【0011】

10

以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。

実施の形態1

図2は、この発明の実施の形態1における窒化物半導体を用いた高電子移動度トランジスタ(GaN HEMT)の構造の一例を示す模式断面図である。なお、従来図(図1)で説明したものと同様の構成には、同一の符号を付して重複した説明を省略する。以下に示す実施の形態1では、従来図(図1)と比べると、AlNスペーサ層4が存在しない部分がある点異なる。

【0012】

図2において、Lg10は、ゲート電極9の左右方向の長さを示し、W11は、スペーサ層4が存在しない部分の左右方向の長さを示す。また、Lsd12は、ソース電極7とドレイン電極8の間の左右方向の長さを示している。なお、実際には、素子分離領域や配線などがあるが、この発明の動作とは関連がないため図示および説明を省略する。

20

【0013】

また、この実施の形態1のGaN HEMTは単体の増幅器として利用するが、MMIC(monolithic microwave integrated circuit:モノリシックマイクロ波集積回路)を構成するトランジスタにも適用可能である。

基板1には、サファイア、SiC(炭化ケイ素)、Si(ケイ素)、GaN基板などが用いられる。特に、熱伝導率の良好な半絶縁性SiC基板が一般的に利用されるが、半導体基板として非常に一般的なSi基板も価格が安いので、よく用いられている。

【0014】

30

バッファ層2は、基板1とチャネル層3の間に挿入される層で、チャネル層3の結晶性を向上させること、電子をチャネルに閉じ込めることを目的に、AlN、AlGaN、GaN/InGaN、AlN/AlGaN、および、これらの超格子などの様々な構造が用いられる。

チャネル層3は、トランジスタ動作に必要な電子(電流)が走行する層である。典型的なチャネル層3はGaNであるが、InGaN(インジウム窒化ガリウム)、AlGaNやこれらの多層構造も使うことができる。

【0015】

スペーサ層4は、チャネル層3とバリア層5の間に挿入されており、従来構造(図1)においては、ソース電極7とドレイン電極8の全面(ゲート電極9直下も含む全面)に存在するが、この実施の形態1における構造では、ゲート電極9直下にのみAlNスペーサ層4が存在しない構造になっている。なお、この発明における直下とは、直下近傍を含むものとする。また、Lg10の midpoint とW11の midpoint の横方向の位置は一致しているとする。このスペーサ層4は、AlNに限られず、InGaNやAlGaNなど、バリア層5より分極が大きいものであればよい。

40

【0016】

バリア層5は、チャネル層3に2次元電子ガスを形成するため、チャネル層3の上方に設けられ、In(インジウム)、Al(アルミニウム)、Ga(ガリウム)のうちの1つ以上とN(窒素)とを含む層である。このバリア層5としては、AlGaN単層がよく用いられるが、これ以外に組成、層厚、不純物濃度の異なる複数のAlGaN、AlGaN

50

とGaNやAlNとの組合せであっても、この発明の効果は得られる。

チャンネル層3とAlNスペーサ層4が接触する界面は、チャンネル層3よりバンドギャップが広いヘテロ接合で形成させる。基板1からチャンネル層3に至る構造のいかなるものでも、この発明に適用できる。

【0017】

バリア層5の上の絶縁膜層6は、バリア層5の表面のトラップ数を抑制するための膜としての役割を果たす。絶縁膜層6が存在する部分には材料としてSiN(窒化ケイ素)やSiO(酸化ケイ素)などドナーの役割を果たすSiを含む絶縁膜であればよい。Siを含んでいればドナーとしてバリア層5に電子を供給して、バリア層5表面上のトラップ数を減らすことができる。

10

【0018】

ソース電極7、ドレイン電極8は、チャンネル層3中の電流(電子)をHEMTの外に出す電極である。このため、電極と2次元電子ガス間の抵抗をできるだけ少なくするように形成される。図2では、ソース電極7、ドレイン電極8がバリア層5に接するように形成された例を示したが、2次元電子ガス(2DEG)に直接、接するように形成しても良い。また、ソース電極7とドレイン電極8の下にn+領域を形成しても良い。

【0019】

ゲート電極9は、バリア層5とショットキー接触する金属を含むように形成され、ゲート電極9下の2DEG濃度を制御することでトランジスタ動作を実現する。ゲート電極9は、その一部が絶縁膜層6上にせり出すようなゲートフィールドプレート構造(GFP構造)をしている。GFP構造はバリア層5表面の電界集中を緩和する役割がある。

20

【0020】

この実施の形態1におけるトランジスタの構造において、従来構造よりゲートリーク電流が低減されて信頼性が確保されるとともに、アクセス抵抗の低減効果が従来構造と同程度に保たれる原理について説明する。

図1に示すように従来構造はソース電極7とドレイン電極8の間にAlNスペーサ層4が全面に挿入されている。AlNスペーサ層4は分極がバリア層5に比べて大きいため、バリア層5しか存在しない場合よりAlNスペーサ層4を挿入することでチャンネル層3に存在する2次元電子ガス濃度を増大させることができる。

【0021】

そのため、ソース電極7とドレイン電極8の間に存在するアクセス抵抗を低減することができる。しかし、その反面分極が大きくなると、特にゲート電極端に集中する電界が大きくなる。ゲート電極端の電界増大は電子がゲート電極9からバリア層5へ向かうトンネル電流を増大させるため、オフ動作時の逆方向ゲートリーク電流が増大する。逆方向ゲートリーク電流の増大はGaNHEMTの信頼性を劣化させる要因となりうる。

30

【0022】

この発明の実施の形態1におけるトランジスタの構造では、図2に示すようにゲート電極端の電界増大の原因となっていたゲート電極9直下のAlNスペーサ層4を削除することでゲート電極端の電界を低減し、逆方向ゲートリーク電流を低減することができる。また、AlNスペーサ層4を削除した部分の長さW11はソース電極7とドレイン電極8の間の長さLsd12に比べて十分に小さいので、AlNスペーサ層4を削除したとしてもアクセス抵抗の低減効果は従来構造とほぼ同等に保たれると考えられる。

40

【0023】

上記で述べた原理をデバイスシミュレーションで検証した。図1に示す従来構造と図2に示すこの発明の実施の形態1における構造のGaNHEMTで、ゲート電圧-5V、ドレイン電圧30Vとしたときのバリア層5の表面から0.5nm下の電界を計算した。チャンネル層3はGaN、スペーサ層4はAlN、バリア層5はAlGaN(Al組成:0.23)とした。また、チャンネル層3の厚みは1.2μm、スペーサ層4の厚みは1nm、バリア層5の厚みは20nmとした。

【0024】

50

また、この発明の実施の形態 1 の構造における A l N スペーサ層 4 を削除した部分の長さ $W 1 1$ のゲート長 $L g 1 0$ に対する比 ($W / L g$) は「2」とした。A l N スペーサ層 4 が存在する部分の分極は A l G a N のバリア層 5 の分極と A l N スペーサ層 4 の分極の平均値で $5.27 E - 12 \text{ cm}^{-3}$ とし、A l N スペーサ層 4 が存在しない部分の分極は A l G a N のバリア層 5 の分極 $8.85 E - 12 \text{ cm}^{-3}$ に設定した。

【0025】

図 3 は、バリア層 5 の表面から 0.5 nm 下の、横方向距離 (横方向の中心からの位置) に対するゲート電極端の電界を示す図である。この図 3 に示すように、この実施の形態 1 における構造では、従来構造に比べて、ゲート電極近傍の電界を低減できていることがわかる。

10

図 4 は、従来構造とこの実施の形態 1 による構造の、アクセス抵抗 R_{on} と逆方向ゲートリーク電流 $-I_{gd}$ の $W / L g$ 依存性を示す図である。従来構造においては $W = 0$ であるので、図 4 における横軸 $W / L g = 0$ のときの値が、従来構造におけるアクセス抵抗 R_{on} と $-V_{gd} = 100 \text{ V}$ であるときの逆方向ゲートリーク電流 $-I_{gd}$ を示している。

【0026】

そして、この発明の実施の形態 1 による構造では、図 4 に示すように、 $W / L g$ が 2 までは逆方向電流 $-I_{gd}$ は大幅に低減されるが、 $W / L g$ が 2 より大きくなると (W が $L g$ の 2 倍になると)、逆方向電流 $-I_{gd}$ は徐々に飽和することがわかる。

また、アクセス抵抗 R_{on} は、 $W / L g$ が増大すると増大する。これは $W / L g$ が増大すると $L_{sd} 1 2$ に対する A l N スペーサ層 4 が存在する長さが減少するため A l N スペーサ層 4 による 2 次元電子ガス増大効果が薄れるためである。 $W / L g$ が 2 のとき、すなわち、スペーサ層 4 が存在しない部分の左右方向の長さ $W 1 1$ が、ゲート電極 9 の左右方向の長さ $L g 1 0$ の 2 倍のときに、A l N スペーサ層 4 が削除されている部分がゲート電極 9 直下であるため、アクセス抵抗 R_{on} の増大を抑えつつ、逆方向ゲートリーク電流 $-I_{gd}$ を大幅に低減できると言える。

20

【0027】

ここまでは、この発明の実施の形態 1 における構造およびその動作について述べ、その有効性を計算にて実証した。次に、この実施の形態 1 における G a N H E M T の製造方法について、図 5 および図 6 を参照しながら具体的に説明する。

図 5 は、基板 1 の上に、パッファ層 2、チャネル層 3、スペーサ層 4、バリア層 5、絶縁膜層 6、ソース電極 7 およびドレイン電極 8 を形成するところまでの製造方法を示す図である。また図 6 は、その後ゲート電極 9 を形成する製造方法を示す図である。

30

【0028】

まず、図 5 (a) に示すように、基板 1 の上にパッファ層 2、チャネル層 3、スペーサ層 4 を形成する。これには M O C V D (Metal Organic Chemical Vapor Deposition: 有機金属気相成長法)、M B E (Molecular Beam Epitaxy: 分子線エピタキシー法) を用いることができる。スペーサ層 4 は A l N だけでなくバリア層 5 より分極が大きい物質であればよい。この、チャネル層 3 の上にスペーサ層 4 を形成するところまでの製造方法は、従来と同じである。

【0029】

次に、図 5 (b) に示すように、写真製版でゲート電極 9 直下の A l N スペーサ層 4 を除去する領域に開口を持ったパターンをレジスト 1 3 で形成する。すなわち、スペーサ層 4 の上に、当該スペーサ層 4 を除去する部分を除いてレジスト 1 3 をパターンニングする。

40

そして、パターンニングされたレジスト 1 3 をマスクとして用いて、ゲート電極 9 の直下となる領域の A l N スペーサ層 4 をエッチングにより除去してから、パターンニングされたレジスト 1 3 を取り除く。

【0030】

次に、図 5 (c) に示すように、チャネル層 3 および A l N スペーサ層 4 の上部にバリア層 5 を再成長させて形成する。これには M O C V D を用いることができる。

さらに、図 5 (d) に示すように、バリア層 5 の上に絶縁膜層 6 を形成する。絶縁膜層

50

6の材料はSiN、SiOが典型的であるがSiを含んだ絶縁膜であれば他の材料であっても良い。

【0031】

そして、図5(e)に示すように、ソース電極7、ドレイン電極8を形成するため、レジストやSiOなどのマスクにソース電極7、ドレイン電極8が形成される位置に対応する部分の絶縁膜層6を除去する。その後、Ti/Al/Ni/Au、Ti/Alなどの金属形成をし、熱処理することでソース電極7、ドレイン電極8を形成することができる。この工程で、Siイオンなどのドーパントを注入し、電氣的に活性化する熱処理を追加することも可能である。

【0032】

次に、図6(a)に示すように、写真製版でゲート電極となる領域に開口を持ったパターンをレジスト13で形成する。すなわち、絶縁膜層6、ソース電極7およびドレイン電極8の上に、ゲート電極9を形成する部分を除いてレジスト13を再パターニングする。

そして、図6(b)に示すように、再パターニングされたレジスト13をマスクとして用いて、ゲート電極9となる領域の絶縁膜層6をエッチングにより除去してから、再パターニングされたレジスト13を取り除く。

【0033】

次に、図6(c)に示すように、写真製版で絶縁膜層6上にもゲート電極9が形成されるように、図6(b)でエッチングした領域より大きい開口を持ったパターンをレジスト13で形成する。すなわち、絶縁膜層6をエッチング除去した領域より大きい開口を持ったレジスト13を最終パターニングする。

【0034】

その後、絶縁膜層6をエッチング除去した領域および絶縁膜層6の上にゲート電極9を形成し、最終パターニングされたレジストを除去する。具体的には、ショットキー特性を持つ金属を蒸着(EB(electron beam:電子ビーム)蒸着やスパッタ法が使用できる)し、レジスト13を除去(リフトオフ)することで、図2に示すような構造を形成できる。最後に、保護膜や配線、ビアホール配線、容量、抵抗等を必要に応じて作製するが、ここでは図示および説明を省略する。

【0035】

以上のように、この実施の形態1によれば、ゲート電極の直下にAlNスペーサ層が存在しないため、従来構造のトランジスタに比べて、ゲート電極端電界が小さくなり、ゲートリーク電流が低減されて信頼性が確保される。また、AlNスペーサ層の存在しない部分の長さは、ソース電極とドレイン電極との間の距離に比べて十分小さいため、AlNスペーサ層によるアクセス抵抗の低減は従来構造と同程度に保つことができ、アクセス抵抗の増大を抑えることができる。

【0036】

実施の形態2.

図7は、この発明の実施の形態2における窒化物半導体を用いた高電子移動度トランジスタ(GaN HEMT)の構造の一例を示す模式断面図である。なお、従来図(図1)および実施の形態1で説明したものと同様の構成には、同一の符号を付して重複した説明を省略する。以下に示す実施の形態2では、実施の形態1と比べると、ゲート電極9の構造が異なっており、絶縁膜層6上のゲート電極9が2段構造になっている。

【0037】

このように、ゲート電極9を2段にすることでエッジが増えるため、ゲート電極端に集中する電界を分散する効果が大きくなる。そのため、実施の形態1の場合より大きな電界低減が可能になり、逆方向ゲートリーク電流が低減し、さらに信頼性が向上する。

【0038】

また、この実施の形態2のGaN HEMTについても、基板1の上に、バッファ層2、チャンネル層3、スペーサ層4、バリア層5、絶縁膜層6、ソース電極7およびドレイン電極8を形成するところまでの製造方法については、実施の形態1において図6を用いて

10

20

30

40

50

説明した方法と同じである。

次に、図6(a)に示すように、写真製版でゲート電極となる領域に開口を持ったパターンをレジスト13で形成するのも実施の形態1と同じである。

【0039】

ここで、図7に示す構造を形成する場合は、絶縁膜層6を形成する際にウエットエッチングのエッチングレートが異なる2種類の絶縁膜を形成する必要がある。そこで、2種類の絶縁膜のうちエッチングレートが遅い絶縁膜を下層にし、エッチングレートが早い絶縁膜を上層にして2層構造にする。この2層構造の形成方法としては、cat-CVD(Catalytic Chemical Vapor Deposition: 触媒化学気相成長法)、プラズマCVD、スパッタなど、様々な方法がある。

10

【0040】

このように絶縁膜層6をエッチングレートが異なる2層構造にするため、図6(b)に示すように、ゲート電極となる領域の絶縁膜層6をエッチングした後、レジスト13をとる前に上層のみウエットエッチングする。絶縁膜層6の2層のうち、上層はエッチングレートが早いのでエッチング部分の側面を2段にすることができ、実施の形態2における2層構造の絶縁膜層6を形成することができる。

【0041】

その後、レジスト13を取り除いた後に、図6(c)に示すように写真製版で絶縁膜6上にもゲート電極9が形成されるように、図6(b)でエッチングした領域より大きい開口を持ったパターンをレジスト13で形成する。

20

そして、ショットキー特性を持つ金属を蒸着(EB(electron beam: 電子ビーム)蒸着やスパッタ法が使用できる)し、レジスト13を除去(リフトオフ)することで、図7に示すような構造を形成できる。最後に、保護膜や配線、ビアホール配線、容量、抵抗等を必要に応じて作製するが、ここでは図示および説明を省略する。

【0042】

以上のように、この実施の形態2によれば、ゲート電極が2段構造になっていることにより、エッジが増え、ゲート電極端に集中する電界を分散する効果が大きくなるため、実施の形態1におけるトランジスタよりも大きな電界低減が可能になり、逆方向ゲートリーク電流が低減し、さらに信頼性が向上する。

【0043】

実施の形態3

30

図8は、この発明の実施の形態3における窒化物半導体を用いた高電子移動度トランジスタ(GaN HEMT)の構造の一例を示す模式断面図である。なお、従来図(図1)および実施の形態1, 2で説明したものと同様の構成には、同一の符号を付して重複した説明を省略する。以下に示す実施の形態3では、実施の形態1と比べると、ゲート電極9の構造が異なっており、絶縁膜層6上のゲート電極9の側面が斜め構造になっている。

【0044】

このように、ゲート電極9を斜めにすることで電界が平均化されるため、ゲート電極端に集中する電界を低減できる。そのため、実施の形態1の場合より大きな電界低減が可能になり、逆方向ゲートリーク電流が低減し、さらに信頼性が向上する。

40

【0045】

また、この実施の形態3のGaN HEMTについても、基板1の上に、バッファ層2、チャンネル層3、スペーサ層4、バリア層5、絶縁膜層6、ソース電極7およびドレイン電極8を形成するところまでの製造方法については、実施の形態1において図5を用いて説明した方法と同じである。

図9は、実施の形態3において、図5に示す製造方法の後に、ゲート電極9を形成する製造方法を示す図である。

【0046】

図9(a)に示すように、写真製版でゲート電極となる領域に開口を持ったパターンをレジスト13で形成する。

50

そして、図9(b)に示すように、この時のエッチングの条件によってエッチング部分の側面を斜めにして、エッチングによってゲート電極となる領域の絶縁膜層6を除去してから、レジスト13を取り除く。

【0047】

その後、図6(c)に示すように写真製版で絶縁膜層6上にもゲート電極9が形成されるように、図9(b)でエッチングした領域より大きい開口を持ったパターンをレジスト13で形成する。

そして、ショットキー特性を持つ金属を蒸着(E B (electron beam: 電子ビーム) 蒸着やスパッタ法が使用できる)し、レジスト13を除去(リフトオフ)することで、図8に示すような構造を形成できる。最後に、保護膜や配線、ビアホール配線、容量、抵抗等を必要に応じて作製するが、ここでは図示および説明を省略する。

10

【0048】

以上のように、この実施の形態3によれば、ゲート電極の側面が斜めになっていることにより、電界が平均化され、ゲート電極端に集中する電界を低減できるため、実施の形態1におけるトランジスタよりも大きな電界低減が可能になり、逆方向ゲートリーク電流が低減し、さらに信頼性が向上する。

【0049】

なお、本願発明はその発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

20

【産業上の利用可能性】

【0050】

この発明の窒化物半導体を用いたトランジスタおよびその製造方法は、増幅器やパワースイッチ回路に適用することができる。

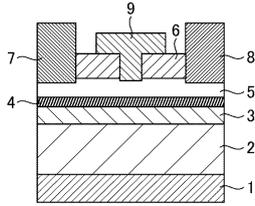
【符号の説明】

【0051】

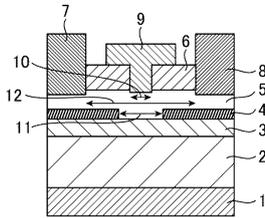
1 基板、2 バッファ層、3 チャネル層、4 スペーサ層、5 バリア層、6 絶縁膜層、7 ソース電極、8 ドレイン電極、9 ゲート電極、10 ゲート電極9の長さ(Lg)、11 スペーサ層4が存在しない部分の長さ(W)、12 ソース電極7とドレイン電極8の間の長さ(Lsd)、13 レジスト。

30

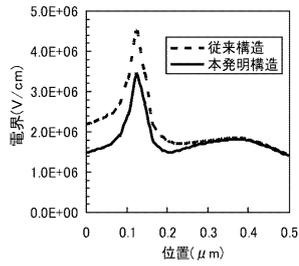
【図1】



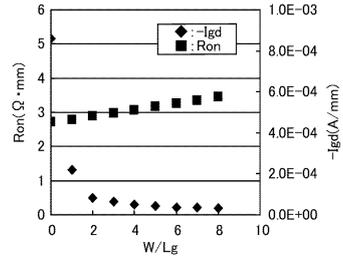
【図2】



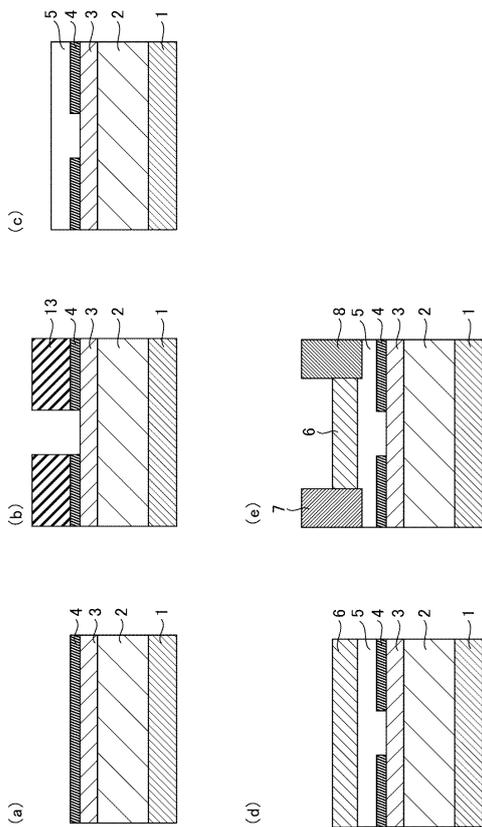
【図3】



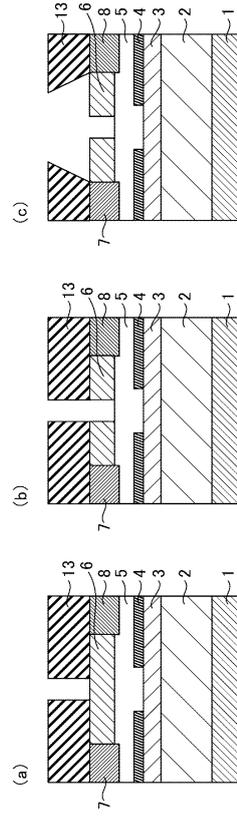
【図4】



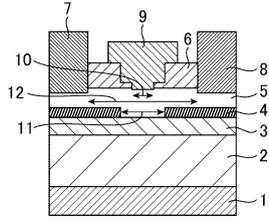
【図5】



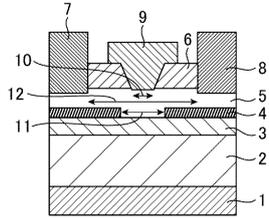
【図6】



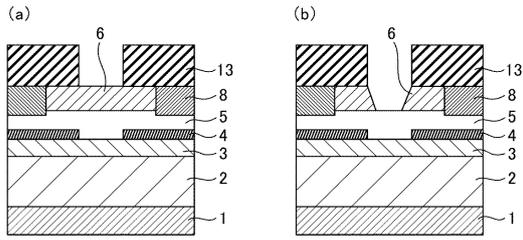
【図7】



【図8】



【図9】



フロントページの続き

- (72)発明者 山口 裕太郎
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 大石 敏之
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 大塚 浩志
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 山中 宏治
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 行武 哲太郎

- (56)参考文献 特開2008-306130(JP,A)
特開2009-99691(JP,A)
特開2009-152349(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/80 - 29/812
H01L 29/778
H01L 21/337 - 21/338