

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4017886号

(P4017886)

(45) 発行日 平成19年12月5日(2007.12.5)

(24) 登録日 平成19年9月28日(2007.9.28)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 F

G O 2 F 1/1368 (2006.01)

H O 1 L 29/78 6 1 8 C

G O 2 F 1/1368

請求項の数 6 (全 27 頁)

(21) 出願番号 特願2002-53881 (P2002-53881)
 (22) 出願日 平成14年2月28日(2002.2.28)
 (65) 公開番号 特開2003-258262 (P2003-258262A)
 (43) 公開日 平成15年9月12日(2003.9.12)
 審査請求日 平成17年1月7日(2005.1.7)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 長廣 紀雄
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に形成され、チャンネル領域にp型不純物が導入された半導体膜を動作層とする薄膜トランジスタとを有する薄膜トランジスタ装置において、

前記半導体膜の縁部には傾斜が設けられ、前記チャンネル領域の前記縁部におけるp型不純物の体積密度が、前記チャンネル領域の中央部におけるp型不純物の体積密度の2乃至5倍であることを特徴とする薄膜トランジスタ装置。

【請求項2】

基板上にp型不純物が導入された半導体膜を形成する工程と、

前記半導体膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、

前記レジスト膜をマスクとして酸素を含むガスを用いて前記半導体膜をドライエッチングすることにより、前記レジスト膜の縁部を後退させるとともに、前記レジスト膜からはみ出した部分の前記半導体膜に傾斜を形成する工程と、

前記レジスト膜をマスクとし、前記半導体膜のうち前記レジスト膜からはみ出した部分にp型不純物を導入して前記マスクからはみ出した部分の半導体膜のp型不純物の体積密度を前記マスクの下の半導体膜のp型不純物の体積密度の2乃至5倍とする工程と、

前記レジスト膜を除去する工程と、

ゲート絶縁膜を形成する工程と、

ゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方

10

20

法。

【請求項 3】

基板上に p 型不純物が導入された半導体膜を形成する工程と、
 前記半導体膜の上にマスク膜を形成する工程と、
 前記マスク膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、
 前記レジスト膜をマスクとし、酸素を含むガスを用いて前記マスク膜及び半導体膜をドライエッチングすることにより、前記レジスト膜の縁部を後退させるとともに、前記レジスト膜及び前記マスク膜からはみ出した部分の前記半導体膜に傾斜を形成する工程と、
 前記レジスト膜を除去する工程と、
 前記マスク膜をマスクとし、前記半導体膜のうち前記マスク膜からはみ出した部分に p 型不純物を導入して前記マスクからはみ出した部分の半導体膜の p 型不純物の体積密度を前記マスクの下の半導体膜の p 型不純物の体積密度の 2 乃至 5 倍とする工程と、
 ゲート絶縁膜を形成する工程と、
 ゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

10

【請求項 4】

基板上に半導体膜を形成する工程と、
 前記半導体膜の上にマスク膜を形成する工程と、
 前記マスク膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、
 前記レジスト膜をマスクとし、酸素を含むガスを用いて前記マスク膜及び半導体膜をドライエッチングすることにより、前記レジスト膜の縁部を後退させるとともに、前記レジスト膜及び前記マスク膜からはみ出した部分の前記半導体膜に傾斜を形成する工程と、
 前記レジスト膜を除去する工程と、
 前記マスク膜を透過する条件で前記半導体膜の全体に p 型不純物を導入する工程と、
 前記マスク膜で遮断される条件で前記半導体膜のうち前記マスク膜からはみ出した部分のみに p 型不純物を導入して前記マスクからはみ出した部分の半導体膜の p 型不純物の体積密度を前記マスクの下の半導体膜の p 型不純物の体積密度の 2 乃至 5 倍とする工程と、
 ゲート絶縁膜を形成する工程と、
 ゲート電極を形成する工程と
 を有することを特徴とする薄膜トランジスタ装置の製造方法。

20

30

【請求項 5】

基板と、
 前記基板上に形成された p 型薄膜トランジスタ及び n 型薄膜トランジスタを有する薄膜トランジスタ装置において、
 前記 p 型薄膜トランジスタ及び前記 n 型薄膜トランジスタはいずれも縁部に傾斜が設けられた半導体膜を動作層とし、
 前記 n 型薄膜トランジスタの前記半導体膜のチャネル領域の中央部に含まれる p 型不純物の体積密度が、前記 p 型薄膜トランジスタの前記半導体膜のチャネル領域の中央部の p 型不純物の体積密度よりも多く、且つ前記 n 型薄膜トランジスタのチャネル領域の傾斜部の p 型不純物の体積密度が、当該チャネル領域の中央部の p 型不純物の体積密度の 2 乃至 5 倍であることを特徴とする薄膜トランジスタ装置。

40

【請求項 6】

基板上に p 型不純物が導入された半導体膜を形成する工程と、
 前記半導体膜上にマスク膜を形成する工程と、
 前記マスク膜の n 型薄膜トランジスタ形成領域及び p 型薄膜トランジスタ形成領域の上に第 1 のレジスト膜を形成する工程と、
 前記第 1 のレジスト膜をマスクとし、酸素を含むガスを用いて前記半導体膜及び前記マスク膜をドライエッチングすることにより、前記レジスト膜の縁部を後退させるとともに、前記第 1 のレジスト膜及び前記マスク膜からはみ出した部分の前記半導体膜に傾斜を形成する工程と、

50

前記第1のレジスト膜を除去する工程と、
 前記基板上的p型薄膜トランジスタ形成領域上を第2のレジスト膜で覆う工程と、
 前記マスク膜を透過する条件で前記n型薄膜トランジスタ形成領域の前記半導体膜の全体にp型不純物を導入し、且つ、前記マスク膜で遮断される条件で前記n型薄膜トランジスタ形成領域の前記半導体膜のうち前記マスク膜からはみ出した部分にp型不純物を導入して前記マスクからはみ出した部分の半導体膜のp型不純物の体積密度を前記マスクの下の半導体膜のp型不純物の体積密度の2乃至5倍とする工程と、
 前記第2のレジスト膜を除去する工程と、
 ゲート絶縁膜を形成する工程と、
 ゲート電極を形成する工程と
 を有することを特徴とする薄膜トランジスタ装置の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アモルファスシリコン、ポリシリコン又はその他の半導体の膜を動作層に用いた薄膜トランジスタを集積してなる薄膜トランジスタ装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、液晶表示パネルを使用したパーソナルコンピュータ用ディスプレイやテレビが一般的に使用されるようになった。液晶表示パネルは、携帯電話やPDA(Personal Digital Assistant)等のディスプレイにも使用されている。また、近年、液晶表示パネルに比べてより一層の省電力化が可能な有機EL表示パネルの開発も進められており、一部の製品では既に実用化されている。

20

【0003】

これらの液晶表示パネルや有機EL表示パネルでは、通常、多数の画素がマトリクス状に配列されており、各画素にはスイッチング素子として薄膜トランジスタ(Thin Film Transistors:以下、TFTともいう)が設けられている。このような構造の表示パネルは、アクティブマトリクス型表示パネルといわれる。

【0004】

一般的なTFTは、絶縁性基板の上に形成された半導体膜と、半導体膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とにより構成される。但し、逆スタガー型TFTの場合は、ゲート電極と半導体膜の位置が逆になる。

30

【0005】

半導体膜としてアモルファスシリコン膜を使用する場合は、アモルファスシリコンのキャリア移動度が小さいため、表示パネルの外側にパネル駆動用IC(Integrated Circuit)を接続し、この駆動用ICで表示パネルを駆動する必要がある。これに対し、半導体膜としてポリシリコン膜を使用する場合は、ポリシリコン膜のキャリア移動度が大きいので、TFTで構成した駆動回路を表示パネルに一体的に形成することが可能になる。これにより、表示パネルを用いた装置の部品数及び製造工程数が削減され、製品コストを低減することができる。

40

【0006】

図1(a)~(c)は従来のTFTの構造を示す図であり、図1(a)は、TFTの平面図、図1(b)は図1(a)のI-I線による断面図、図1(c)は図1(a)のII-II線による断面図である。

【0007】

ガラス基板(絶縁性基板)10の上には、下地絶縁膜11としてシリコン酸化膜が形成されている。この下地絶縁膜11のTFT形成領域上には、半導体膜12として、ポリシリコン膜が形成されている。

【0008】

下地絶縁膜11及び半導体膜12の上には、ゲート絶縁膜13として、シリコン酸化膜が

50

形成されており、このゲート絶縁膜 13 の上には金属からなるゲート電極 14 が形成されている。このゲート電極 14 は、半導体膜 12 の上を横断するように形成されている。

【0009】

半導体膜 12 には、ゲート電極 14 をマスクとして p 型又は n 型不純物を注入することにより形成された一対の高濃度不純物領域（ソース/ドレイン領域）12a, 12b が設けられている。

【0010】

ところで、この例のように半導体膜 12 がポリシリコンからなり、ゲート絶縁膜 13 がシリコン酸化物からなる T F T の場合、半導体膜 12 のチャンネル領域にドーパント（不純物）が全く添加されていないと、しきい値電圧は負（- 数 V）になることが知られている。

10

【0011】

表示パネルの駆動回路には p 型 T F T 及び n 型 T F T を対にした C M O S（Complimentary Metal Oxide Semiconductor）が使用されるので、ゲート電圧が 0 V のときに n 型 T F T 及び p 型 T F T がいずれもオフとなるようにしきい値電圧を調整しないと、リーク電流が発生して消費電力が大きくなる。このため、通常、ゲート電極 14 を形成する前に、ボロン（B）等の p 型不純物を半導体膜 12 の全体に導入して、n 型 T F T 及び p 型 T F T がいずれもゲート電圧が 0 V のときにオフになるように、しきい値電圧を制御している。

【0012】

半導体膜 12 に p 型不純物を導入する方法には、例えば、イオン注入法、イオンドーピング法及び気相ドーピング法がある。なお、本願では、質量分離して目的のイオンのみを半導体膜に注入する方法をイオン注入法と呼び、不純物を質量分離しないで加速し半導体膜に注入する方法をイオンドーピング法と呼ぶ。イオンドーピング法には、例えば、ジボロン（ B_2H_6 ）等の原料ガスを R F（Radio Frequency）電力で励起してボロンイオンを発生させ、このボロンイオンを数 $keV \sim 100 keV$ のエネルギーに加速して半導体膜に注入する方法がある。また、イオンドーピング法には、上記 R F 電力の替りにフィラメントを用いたアーク放電でイオンを発生し、このイオンを加速して半導体膜に注入する方法や、アーク放電で発生したイオンビームを走査しながら半導体膜に注入する方法がある。

20

【0013】

気相ドーピング法により、p 型不純物であるボロン（B）を含有するポリシリコン膜を形成する場合は以下の方法による。

30

【0014】

まず、基板 10 上に下地絶縁膜 11 を形成した後、プラズマ C V D（Chemical Vapor Deposition）法により下地絶縁膜 11 上にアモルファスシリコン膜を形成する。このとき、原料となるシラン（ SiH_4 ）ガスにジボロン（ B_2H_6 ）ガスを混合して、ボロン（B）を含有するアモルファスシリコン膜を形成する。

【0015】

その後、アモルファスシリコン膜にレーザを照射してシリコンを多結晶化する。これにより、ボロンを含有するポリシリコン膜が得られる。その後、ポリシリコン膜を所定の形状にパターンニングする。

40

【0016】

この気相ドーピング法では、半導体膜の膜厚方向における単位体積当りのボロン量（体積密度）は均一になる。

【0017】

イオン注入法又はイオンドーピング法により p 型不純物が導入されたポリシリコン膜を形成する場合は、以下の方法による。

【0018】

まず、基板 10 上に下地絶縁膜 11 を形成した後、プラズマ C V D 法により下地絶縁膜 11 上にアモルファスシリコン膜を形成する。その後、アモルファスシリコン膜にレーザを照射してシリコンを多結晶化し、ポリシリコン膜を得る。

50

【0019】

次いで、フォトリソグラフィ法によりポリシリコン膜を所定の形状にパターンニングする。その後、ポリシリコン膜にp型不純物として、例えばボロン(B)をイオン注入又はイオンドーピングする。

【0020】

【発明が解決しようとする課題】

しかしながら、本願発明者らは、上述した従来のTFETの製造方法には以下に示す問題点があると考ええる。

【0021】

一般的に、液晶表示パネル等に使用するTFETではゲート絶縁膜13の耐圧確保のために、図1(c)に示すように、半導体膜の縁部が傾斜となるように加工される(例えば、特開2000-31493号公報参照)。以下、シリコン膜の傾斜部分を傾斜部という。

10

【0022】

前述したように、気相ドーピング法では、半導体膜の膜厚方向における単位体積当りのボロン量(体積密度)は均一であるので、TFETを上から見たときに、チャンネル領域の傾斜部の単位面積当りのボロン量(面密度)は、チャンネル領域の中央部(以下、平坦部ともいう)に比べて少なくなる。これにより、傾斜部におけるしきい値電圧は、平坦部におけるしきい値電圧よりも-1~-2V程度低い値となる。

【0023】

図2は、従来のTFET(n型TFET及びp型TFET)の電流-電圧特性(I-V特性)を模式的に示す図である。この図2に示すように、n型TFETでは、傾斜部はチャンネル幅が小さくしきい値電圧が低い寄生トランジスタとなり、TFETに実際に流れる電流は、平坦部の特性に傾斜部の特性が足し合わさったものになって、いわゆるハンプをもった特性となる。なお、p型TFETでは、傾斜部の特性は平坦部の特性にマスクされてしまうので、傾斜部の影響によるしきい値電圧の変化は発生しない。

20

【0024】

このような特性をもったn型TFETとp型TFETとでCMOSを構成する場合、n型TFETのしきい値とp型TFETのしきい値とが接近しているため、両方のTFETがいずれもゲート電圧が0Vのときにオフとなるように半導体膜中へのp型不純物のドーピング量を制御することは困難である。

30

【0025】

イオン注入法又はイオンドーピング法によりp型不純物が導入されたポリシリコン膜を形成した場合は、p型不純物の分布が半導体膜の厚さ方向で均一にはならないが、傾斜部のp型不純物の面密度が平坦部に比べて少なくなるのは、気相ドーピング法の場合と同じである。また、逆スタガー型のTFETでも、半導体膜の縁部が傾斜の場合は、上記と同様の問題が発生する。

【0026】

なお、特開2000-77665号公報には、ポリシリコン膜の縁部にArをイオン注入しダメージを与えてアモルファス化し、寄生トランジスタの駆動能力を低下させることが提案されている。しかし、この方法では、Arの濃度によっては後工程のアニールで再結晶化して、縁部の影響が出ることが考えられる。

40

【0027】

以上から、本発明の目的は、n型TFET及びp型TFETが所定のゲート電圧(例えば、0V)でいずれもオフとなり、従来に比べて消費電力を低減できる薄膜トランジスタ装置及びその製造方法を提供することである。

【0028】

【課題を解決するための手段】

本願第1の発明に係る薄膜トランジスタ装置は、基板と、前記基板上に形成され、チャンネル領域にp型不純物が導入された半導体膜を動作層とする薄膜トランジスタとを有する薄膜トランジスタ装置において、前記半導体膜の縁部には傾斜が設けられ、前記チャンネル領

50

域の前記縁部における p 型不純物の体積密度が、前記チャンネル領域の中央部における p 型不純物の体積密度の 2 乃至 5 倍であることを特徴とする。

【 0 0 2 9 】

本発明においては、薄膜トランジスタのチャンネル領域の縁部における p 型不純物の体積密度を、チャンネル領域の中央部における p 型不純物の体積密度の 2 乃至 5 倍と高くしている。これにより、チャンネル領域縁部の p 型不純物の面密度がチャンネル領域中央部の p 型不純物の面密度にほぼ等しくなり、傾斜部に形成される寄生トランジスタのしきい値電圧が上昇する。その結果、n 型薄膜トランジスタの I - V 特性におけるハンブがなくなり、所定のゲート電圧で n 型薄膜トランジスタ及び p 型薄膜トランジスタをいずれもオフにすることができる。

10

【 0 0 3 0 】

本願第 2 発明に係る薄膜トランジスタ装置の製造方法は、基板上に p 型不純物が導入された半導体膜を形成する工程と、前記半導体膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、前記レジスト膜をマスクとして酸素を含むガスを用いて前記半導体膜をドライエッチングすることにより、前記レジスト膜の縁部を後退させるとともに、前記レジスト膜からはみ出した部分の前記半導体膜に傾斜を形成する工程と、前記レジスト膜をマスクとし、前記半導体膜のうち前記レジスト膜からはみ出した部分に p 型不純物を導入して前記マスクからはみ出した部分の半導体膜の p 型不純物の体積密度を前記マスクの下の半導体膜の p 型不純物の体積密度の 2 乃至 5 倍とする工程と、前記レジスト膜を除去する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有すること

20

【 0 0 3 1 】

本発明においては、基板上に半導体膜を形成し、この半導体膜上にレジスト膜を形成した後、レジスト膜をマスクとして半導体膜を、例えば SF₆ 及び酸素を含むガスを用いてドライエッチングする。このとき、例えばポジ型レジストを用いると、レジスト膜の縁部は通常、底部から上部に向かって幅が小さくなるように傾斜ができています。そして、半導体膜のエッチングの進行とともにレジスト膜の縁部が後退し、半導体膜の縁部がレジスト膜からはみ出す。また、半導体膜のうちレジスト膜からはみ出した部分は傾斜となる。

【 0 0 3 2 】

その後、レジスト膜をマスクとして半導体膜の縁部（傾斜部）に p 型不純物を導入する。これにより、縁部の p 型不純物の体積密度が中央部の p 型不純物の体積密度よりも高い半導体膜が得られる。コプラナー型 T F T の場合は、次いで、レジスト膜を除去した後、半導体膜上にゲート絶縁膜及びゲート電極を形成する。このようにして、I - V 特性においてハンブのない薄膜トランジスタを形成することができる。なお、逆スタガー型 T F T の場合は、ゲート電極及びゲート絶縁膜を形成した後に、半導体膜を形成する。

30

【 0 0 3 3 】

本願第 3 発明に係る薄膜トランジスタ装置の製造方法は、基板上に p 型不純物が導入された半導体膜を形成する工程と、前記半導体膜の上にマスク膜を形成する工程と、前記マスク膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、前記レジスト膜をマスクとし、酸素を含むガスを用いて前記マスク膜及び半導体膜をドライエッチングすることにより、前記レジスト膜の縁部を後退させるとともに、前記レジスト膜及び前記マスク膜からはみ出した部分の前記半導体膜に傾斜を形成する工程と、前記レジスト膜を除去する工程と、前記マスク膜をマスクとし、前記半導体膜のうち前記マスク膜からはみ出した部分に p 型不純物を導入して前記マスクからはみ出した部分の半導体膜の p 型不純物の体積密度を前記マスクの下の半導体膜の p 型不純物の体積密度の 2 乃至 5 倍とする工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有することを特徴とする。

40

【 0 0 3 4 】

本発明においては、半導体膜上にマスク膜を形成し、更にその上にレジスト膜を形成する。そして、レジスト膜をマスクとして半導体膜及びマスク膜を例えばドライエッチングす

50

る。この工程では、レジスト膜の縁部が傾斜し、エッチングの進行に伴ってレジスト膜の縁部が後退する。そして、半導体膜の縁部がレジスト膜及びマスク膜からはみ出す。

【0035】

その後、レジスト膜を除去し、マスク膜をマスクとして半導体膜の縁部にp型不純物を導入する。これにより、縁部のp型不純物の体積密度が中央部のp型不純物の体積密度よりも高い半導体膜が得られる。

【0036】

本発明では、レジスト膜に不純物が注入されないので、レジスト膜を剥離液で剥離することができる。従って、レジスト膜をアッシングにより除去する場合に比べて、作業が容易になる。

10

【0037】

本願第4発明に係る薄膜トランジスタ装置の製造方法は、基板上に半導体膜を形成する工程と、前記半導体膜の上にマスク膜を形成する工程と、前記マスク膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、前記レジスト膜をマスクとし、酸素を含むガスを用いて前記マスク膜及び半導体膜をドライエッチングすることにより、前記レジスト膜の縁部を後退させるとともに、前記レジスト膜及び前記マスク膜からはみ出した部分の前記半導体膜に傾斜を形成する工程と、前記レジスト膜を除去する工程と、前記マスク膜を透過する条件で前記半導体膜の全体にp型不純物を導入する工程と、前記マスク膜で遮断される条件で前記半導体膜のうち前記マスク膜からはみ出した部分のみにp型不純物を導入して前記マスクからはみ出した部分の半導体膜のp型不純物の体積密度を前記マスクの下の半導体膜のp型不純物の体積密度の2乃至5倍とする工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有することを特徴とする。

20

【0038】

本発明においては、半導体膜上にマスク膜を形成し、マスク膜の上にレジスト膜を形成する。そして、レジスト膜をマスクとして半導体膜及びマスク膜をエッチングする。これにより、半導体膜がレジスト膜からはみ出す。その後、レジスト膜を除去した後、マスク膜を透過する条件で半導体膜の全体にp型不純物を導入し、更にマスク膜で遮断される条件で半導体膜のうちマスク膜からはみ出した部分のみにp型不純物を導入する。これにより、縁部のp型不純物の体積密度が中央部のp型不純物の体積密度よりも高い半導体膜が得られる。

30

【0044】

本願第5発明に係る薄膜トランジスタ装置は、基板と、前記基板上に形成されたp型薄膜トランジスタ及びn型薄膜トランジスタを有する薄膜トランジスタ装置において、前記p型薄膜トランジスタ及び前記n型薄膜トランジスタはいずれも縁部に傾斜が設けられた半導体膜を動作層とし、前記n型薄膜トランジスタの前記半導体膜のチャンネル領域の中央部に含まれるp型不純物の体積密度が、前記p型薄膜トランジスタの前記半導体膜のチャンネル領域の中央部のp型不純物の体積密度よりも多く、且つ前記n型薄膜トランジスタのチャンネル領域の傾斜部のp型不純物の体積密度が、当該チャンネル領域の中央部のp型不純物の体積密度の2乃至5倍であることを特徴とする。

【0045】

本発明においては、n型薄膜トランジスタのチャンネル領域の傾斜部に、チャンネル領域の中央部の2倍以上の体積密度で不純物が導入されている。また、n型薄膜トランジスタのチャンネル領域には、p型薄膜トランジスタのチャンネル領域よりも多量のp型不純物が導入されている。

40

【0046】

これにより、n型薄膜トランジスタのしきい値が上昇し、p型薄膜トランジスタとn型薄膜トランジスタのしきい値の差が大きくなる。その結果、しきい値制御用不純物の注入量の制御が容易になり、所定のゲート電圧でn型薄膜トランジスタ及びp型薄膜トランジスタをいずれもオフにすることができる。

【0047】

50

本願第6発明に係る薄膜トランジスタ装置の製造方法は、基板上にp型不純物が導入された半導体膜を形成する工程と、前記半導体膜上にマスク膜を形成する工程と、前記マスク膜のn型薄膜トランジスタ形成領域及びp型薄膜トランジスタ形成領域の上に第1のレジスト膜を形成する工程と、前記第1のレジスト膜をマスクとし、酸素を含むガスを用いて前記半導体膜及び前記マスク膜をドライエッチングすることにより、前記レジスト膜の縁部を後退させるとともに、前記第1のレジスト膜及び前記マスク膜からはみ出した部分の前記半導体膜に傾斜を形成する工程と、前記第1のレジスト膜を除去する工程と、前記基板上的p型薄膜トランジスタ形成領域上を第2のレジスト膜で覆う工程と、前記マスク膜を透過する条件で前記n型薄膜トランジスタ形成領域の前記半導体膜の全体にp型不純物を導入し、且つ、前記マスク膜で遮断される条件で前記n型薄膜トランジスタ形成領域の前記半導体膜のうち前記マスク膜からはみ出した部分にp型不純物を導入して前記マスクからはみ出した部分の半導体膜のp型不純物の体積密度を前記マスクの下の半導体膜のp型不純物の体積密度の2乃至5倍とする工程と、前記第2のレジスト膜を除去する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有することを特徴とする。

10

【0048】

本発明においては、基板上に半導体膜及びマスク膜を形成した後、第1のレジスト膜をマスクとして半導体膜及びマスク膜をエッチングする。この工程では半導体膜の縁部が傾斜になり、レジスト膜及びマスク膜からはみ出す。その後、第1のレジスト膜を除去した後、p型薄膜トランジスタ形成領域を覆う第2のレジスト膜を形成する。そして、n型薄膜トランジスタ形成領域の半導体膜に対し、マスク膜を透過する条件で半導体膜の全体にp型不純物を導入する。更に、マスク膜で遮断される条件で半導体膜のうちマスク膜からはみ出した部分にp型不純物を導入する。これにより、n型薄膜トランジスタのI-V特性におけるランプがなくなり、且つ、n型薄膜トランジスタのしきい値とp型薄膜トランジスタのしきい値との差が大きくなる。その結果、所定のゲート電圧でn型薄膜トランジスタ及びp型薄膜トランジスタをいずれもオフにすることができる。

20

【0049】

なお、本発明において、半導体膜の全体にp型不純物を導入する工程とマスク膜からはみ出した部分にp型不純物を導入する工程とを逆の順番で実施してもよい。

【0050】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0051】

(第1の実施の形態)

図3は本発明の第1の実施の形態の薄膜トランジスタ装置(透過型液晶表示パネル)の構成を示すブロック図である。但し、以下の例ではXGA(1024×768ピクセル)モードの液晶表示パネルについて説明する。

【0052】

本実施の形態の液晶表示パネルは、制御回路101、データドライバ102、ゲートドライバ103及び表示部104により構成されている。この液晶表示パネルには、コンピュータ等の外部装置(図示せず)から表示信号RGB(R(赤)信号、G(緑)信号及びB(青)信号)、水平同期信号Hsync及び垂直同期信号Vsync等の信号が供給され、電源(図示せず)から高電圧(例えば、18V)VH、低電圧VL(例えば、3.3V又は5V)及び接地電位Vgndが供給される。

40

【0053】

表示部104には、水平方向に3072(1024×RGB)個、垂直方向に768個の画素(サブピクセル)が配列されている。一つの画素は、n型TFT105と、このn型TFT105のソース電極に接続された表示セル106及び蓄積容量107とにより構成される。表示セル106は、一对の電極と、それらの電極間の液晶と、前記一对の電極の上方及び下方にそれぞれ配置された偏光板及びカラーフィルタ等とにより構成される。

50

【 0 0 5 4 】

また、表示部 1 0 4 には、垂直方向に延びる 3 0 7 2 本のデータバスライン 1 0 8 と、水平方向に延びる 7 6 8 本のゲートバスライン 1 0 9 とが設けられている。水平方向に並ぶ画素の各 T F T 1 0 5 のゲート電極は同一のゲートバスライン 1 0 9 に接続され、垂直方向に並ぶ画素の各 T F T 1 0 5 のドレイン電極は同一のデータバスライン 1 0 8 に接続されている。

【 0 0 5 5 】

制御回路 1 0 1 は、水平同期信号 H sync 及び垂直同期信号 V sync を入力し、1 水平同期期間の開始時にアクティブになるデータスタート信号 DSI と、1 水平同期期間を一定の間隔に分割するデータクロック DCLK と、1 垂直同期期間の開始時にアクティブになるゲートスタート信号 GSI と、1 垂直同期期間を一定の間隔に分割するゲートクロック GCLK とを出力する。

10

【 0 0 5 6 】

データドライバ 1 0 2 は、シフトレジスタ 1 0 2 a、レベルシフタ 1 0 2 b 及びアナログスイッチ 1 0 2 c により構成されている。

【 0 0 5 7 】

シフトレジスタ 1 0 2 a は、3 0 7 2 個の出力端子を有している。このシフトレジスタ 1 0 2 a はデータスタート信号 DSI により初期化され、データクロック DCLK に同期したタイミングで各出力端子から順番に低電圧のアクティブ信号を出力する。

【 0 0 5 8 】

レベルシフタ 1 0 2 b は、3 0 7 2 個の入力端子と 3 0 7 2 個の出力端子とを備えている。そして、シフトレジスタ 1 0 2 a から出力された低電圧のアクティブ信号を、高電圧に変換して出力する。

20

【 0 0 5 9 】

アナログスイッチ 1 0 2 c も、3 0 7 2 個の入力端子と 3 0 7 2 個の出力端子とを有している。アナログスイッチ 1 0 2 c の各出力端子は、それぞれ対応するデータバスライン 1 0 8 に接続されている。アナログスイッチ 1 0 2 c は、レベルシフタ 1 0 2 b からアクティブ信号を入力すると、アクティブ信号を入力した入力端子に対応する出力端子に表示信号 R G B (R 信号、G 信号及び B 信号のいずれか 1 つ) を出力する。

【 0 0 6 0 】

すなわち、データドライバ 1 0 2 は、1 水平同期期間内にデータクロック DCLK に同期したタイミングで、表示部 1 0 4 の 3 0 7 2 本のデータバスライン 1 0 8 に R 信号、G 信号及び B 信号を順番に出力する。

30

【 0 0 6 1 】

ゲートドライバ 1 0 3 は、シフトレジスタ 1 0 3 a、レベルシフタ 1 0 3 b 及び出力バッファ 1 0 3 c により構成されている。

【 0 0 6 2 】

シフトレジスタ 1 0 3 a は、7 6 8 個の出力端子を有している。このシフトレジスタ 1 0 3 a はゲートスタート信号 GSI により初期化され、ゲートクロック GCLK に同期したタイミングで各出力端子から順番に低電圧の走査信号を出力する。

40

【 0 0 6 3 】

レベルシフタ 1 0 3 b は、7 6 8 個の入力端子と 7 6 8 個の出力端子とを備えている。そして、シフトレジスタ 1 0 3 a から入力された低電圧の走査信号を、高電圧に変換して出力する。

【 0 0 6 4 】

出力バッファ 1 0 3 c も、7 6 8 個の入力端子と 7 6 8 個の出力端子とを有している。出力バッファ 1 0 3 c の各出力端子は、それぞれ対応するゲートバスライン 1 0 9 に接続されている。出力バッファ 1 0 3 c は、レベルシフタ 1 0 3 b から入力された走査信号を、入力端子に対応する出力端子を介してゲートバスライン 1 0 9 に供給する。

【 0 0 6 5 】

50

すなわち、ゲートドライバ103からは、1垂直同期期間内にゲートクロックGCLKに同期したタイミングで、表示部104の768本のゲートバスライン109に走査信号を順番に供給する。

【0066】

表示部104のTFT105は、ゲートバスライン109に走査信号が供給されるとオンとなる。このとき、データバスライン108に表示信号RGB（R信号、G信号及びB信号のいずれか1つ）が供給されると、表示セル106及び蓄積容量107に表示信号RGBが書き込まれる。表示セル106では、書き込まれた表示信号RGBにより液晶分子の傾きが変化し、その結果表示セル106の光透過率が変化する。各画素毎に表示セル106の光透過率を制御することによって、所望の画像が表示される。

10

【0067】

本実施の形態では、前述の如く、画素内のTFT105はn型である。また、制御回路101、データドライバ102及びゲートドライバ103はp型TFT及びn型TFTにより構成されている。

【0068】

図4は、本発明の第1の実施の形態の液晶表示パネルの表示部における断面図、図5は表示部におけるTFT基板の平面図である。なお、実際には各画素毎に、図3に示す蓄積容量107が形成されているが、ここではその図示及び説明を省略する。

【0069】

本実施の形態の液晶表示パネルは、図4の断面図に示すように、相互に対向して配置されたTFT基板120及びCF基板150と、これらのTFT基板120及びCF基板150の間に封入された液晶180とにより構成されている。

20

【0070】

TFT基板120は、ガラス基板（透明絶縁性基板）121と、ガラス基板121上に形成されたデータバスライン108、ゲートバスライン109、TFT105及び画素電極129等により構成されている。本実施の形態では、図5に示すように、ゲートバスライン109の一部がTFT105のゲート電極となっており、TFT105のソース電極127aは画素電極129に接続され、ドレイン電極127bはデータバスライン108に接続されている。また、画素電極129の上には配向膜131が形成されている。

【0071】

更に、TFT基板120の表示部よりも外側には、制御回路101、データドライバ102及びゲートドライバ103（駆動回路）を構成するn型TFT、p型TFT及び配線等が形成されている。

30

【0072】

一方、CF基板150は、ガラス基板（透明絶縁性基板）151と、このガラス基板151上に形成されたブラックマトリクス152、カラーフィルタ153及びコモン電極154とにより構成されている。ブラックマトリクス152は画素間の領域及びTFT形成領域を覆うように形成されている。また、各画素毎に、赤色、緑色及び青色のいずれか1色のカラーフィルタ153が形成されている。本実施の形態では、カラーフィルタ153の上にコモン電極154が形成されており、このコモン電極154の表面は配向膜155により覆われている。

40

【0073】

これらのTFT基板120及びCF基板150は、配向膜131、155が形成された面を相互に対向させて配置される。

【0074】

図6はTFT105の形成部における平面図、図7は図6のIII-III線による断面図である。この図6、図7を参照して、TFT基板120の構成を更に詳細に説明する。但し、図6、図7では配向膜131の図示を省略している。

【0075】

ガラス基板121の上には、下地絶縁膜122が形成されている。この下地絶縁膜122

50

の所定の領域上には、TFT105の動作層であるポリシリコン膜123が形成されている。

【0076】

このポリシリコン膜123にはTFT105のソース/ドレインである一対の高濃度不純物領域123a, 123bがチャンネル領域を挟んで形成されている。本実施の形態では、図7に示すように、ポリシリコン膜123の縁部には傾斜が設けられている。そして、ポリシリコン膜123のチャンネル領域には、しきい値制御のためにp型不純物が導入されており、更にポリシリコン膜123の縁部(傾斜部)には、チャンネル領域の中央部(平坦部)の2~5倍の体積密度でp型不純物が導入されている。

【0077】

ポリシリコン膜123のチャンネル領域上にはゲート絶縁膜124が形成されており、このゲート絶縁膜124の上にはゲート電極125(ゲートバスライン109)が形成されている。

【0078】

下地絶縁膜122及びゲート電極125(ゲートバスライン109)の上には第1の層間絶縁膜126が形成されている。この第1の層間絶縁膜126の上にはソース電極127a、ドレイン電極127b及びデータバスライン108が形成されている。ソース電極127aは、第1の層間絶縁膜126に設けられたコンタクトホール126aを介して高濃度不純物領域123aに電氣的に接続され、ドレイン電極127bは、第1の層間絶縁膜126に設けられたコンタクトホール126bを介して高濃度不純物領域123bに電氣的に接続されている。

【0079】

第1の層間絶縁膜126、データバスライン108、ソース電極127a及びドレイン電極127bの上には第2の層間絶縁膜128が形成されており、第2の層間絶縁膜128の上にはITO(Indium-Tin Oxide)等の透明導電体からなる画素電極129が形成されている。画素電極129は、第2の層間絶縁膜128に設けられたコンタクトホール128aを介してソース電極127aに電氣的に接続されている。

【0080】

図8~図11は上述した構造を有するTFT基板の製造方法を工程順に示す断面図である。但し、図8, 図9は図6のIII-III線の位置における断面を示し、図10, 図11は図6のIV-IV線の位置における断面を示している。

【0081】

まず、図8(a), 図10(a)に示すように、絶縁性基板としてガラス基板121を用意し、このガラス基板121の上に、例えばシリコン酸化膜(SiO_2)からなる下地絶縁膜122を約100nmの厚さに形成する。その後、CVD装置を使用し、気相ドーピング法により、下地絶縁膜122の上にp型不純物であるボロン(B)を含んだアモルファスシリコン膜123aを約40nmの厚さに形成する。アモルファスシリコン膜123a中のボロンの体積密度は、例えば $4 \times 10^{17} \text{ cm}^{-3}$ とする。

【0082】

次に、図8(b), 図10(b)に示すように、エキシマレーザをガラス基板121の上側全体に照射してシリコンを結晶化し、アモルファスシリコン膜123aをポリシリコン膜123に変化させる。そして、ポジ型のフォトリソトを使用し、ポリシリコン膜123の所定の領域(TFT形成領域)上にレジスト膜R1を形成する。

【0083】

次に、ガラス基板121をドライエッチング装置(図示せず)内に入れる。そして、エッチング装置内に例えばSF₆及び酸素ガスを導入し、レジスト膜R1をマスクとしてポリシリコン膜123をドライエッチングする。このとき、図12(a)に示すように、レジスト膜R1の縁部には、通常底部から上部に向けて幅が小さくなるような傾斜ができ、酸素を含むプラズマ中では図12(b)に示すように、徐々に傾斜面がエッチングされて後退していく。これに伴い、ポリシリコン膜123の縁部にも、図8(c), 図10(c)

10

20

30

40

50

に示すように傾斜ができる。このようにして、縁部に傾斜を有するポリシリコン膜 1 2 3 が形成される。

【 0 0 8 4 】

次に、イオンドーピング装置を用い、加速電圧が 5 k V、ドーズ量が $2 \times 10^{12} \text{ cm}^{-2}$ の条件で、ボロンをポリシリコン膜 1 2 3 に注入する。これにより、ポリシリコン膜 1 2 3 のうちレジスト膜 R 1 でマスクされている部分にはボロンが導入されず、図 1 2 (c) に示すように、ポリシリコン膜 1 2 3 の縁部 (傾斜部) のみに選択的にボロンが導入される。ポリシリコン膜 1 2 3 の傾斜部のボロンの体積密度は、先の気相ドーピング分と合わせて、およそ $1 \times 10^{18} \text{ cm}^{-3}$ となる。これは、チャンネル平坦部のボロンの体積密度の約 2 . 5 倍に相当する。

10

【 0 0 8 5 】

なお、ドライエッチング後にレジスト膜 R 1 からポリシリコン膜 1 2 3 の縁部が十分に露出していない場合は、例えば酸素プラズマ中でレジスト膜 R 1 を全体的にエッチングし、レジスト膜 R 1 の縁部を後退させてポリシリコン膜 1 2 3 を十分に露出させればよい。

【 0 0 8 6 】

このようにしてポリシリコン膜 1 2 3 の傾斜部のみにボロンを導入した後、レジスト膜 R 1 をプラズマアッシング等により除去する。

【 0 0 8 7 】

次に、ポリシリコン膜 1 2 3 の上に、ゲート絶縁膜 1 2 4 となる SiO_2 膜を約 1 0 0 n m の厚さに形成する。その後、例えばスパッタ法により、 SiO_2 膜の上にアルミニウム膜を約 4 0 0 n m の厚さに形成する。そして、フォトリソグラフィ法によりアルミニウム膜及び SiO_2 膜をパターニングして、図 9 (a) , 図 1 1 (a) に示すように、ゲート電極 1 2 5 (ゲートバスライン 1 0 9) 及びゲート絶縁膜 1 2 4 を形成する。

20

【 0 0 8 8 】

なお、表示部の外側の駆動回路形成領域では、ゲート電極 1 2 5 と同時に所定の配線 (第 1 層配線) を形成する。

【 0 0 8 9 】

次に、ゲート電極 1 2 5 をマスクとして、ポリシリコン膜 1 2 3 中に n 型不純物としてリン (P) をイオン注入し、ソース/ドレインとなる一対の高濃度不純物領域 1 2 3 a , 1 2 3 b を形成する。このとき、高濃度不純物領域 1 2 3 a , 1 2 3 b とチャンネル領域との間に不純物濃度が低い、いわゆる L D D (Lightly Doped Drain) 領域を形成してもよい。

30

【 0 0 9 0 】

このようにして n 型 T F T を形成した後、ガラス基板 1 2 1 の上に、p 型 T F T 形成領域のみが露出するレジスト膜を形成する。そして、p 型 T F T 形成領域のポリシリコン膜 1 2 3 に、p 型不純物として例えばボロンを、先に注入したリン (P) の 2 倍以上の濃度にイオン注入することで、p 型 T F T を形成する。このような方法によれば、比較的少ない工程で n 型 T F T 及び p 型 T F T を形成することができる。

【 0 0 9 1 】

なお、先に n 型 T F T 形成領域及び p 型 T F T 形成領域のポリシリコン膜 1 2 3 に p 型不純物をイオン注入し、その後、p 型 T F T 形成領域をレジスト膜で覆って、n 型 T F T 形成領域に n 型不純物を p 型不純物の 2 倍以上の濃度に注入し、n 型 T F T を形成してもよい。

40

【 0 0 9 2 】

次に、ポリシリコン膜 1 2 3 に注入された不純物を活性化させるために、3 0 0 ~ 6 0 0 で熱処理する。通常の熱処理に替えて、レーザ照射又はランプアニール等の処理で不純物を活性化してもよい。

【 0 0 9 3 】

次に、図 9 (b) , 図 1 1 (b) に示すように、第 1 の層間絶縁膜 1 2 6 として基板 1 2 1 の上側全面に厚さが 4 0 0 n m のシリコン窒化膜 (SiN) を形成し、この第 1 の層間絶縁膜 1 2 6 の表面から高濃度不純物領域 1 2 3 a , 1 2 3 b に到達するコンタクトホー

50

ル126a, 126bを形成する。

【0094】

次に、Ti(30nm)、Al(300nm)及びMo(50nm)をこの順に形成し、3層構造の金属膜を形成する。そして、この金属膜をパターニングして、データバスライン108、ソース電極127a及びドレイン電極127bを形成する。

【0095】

なお、このとき同時に、表示部外側の駆動回路形成領域では所定の配線(第2層配線)を形成する。

【0096】

次いで、図7に示すように、基板121の上側全面に第2の層間絶縁膜128としてシリコン窒化膜又はシリコン酸化膜を200~300nmの厚さに形成し、この第2の層間絶縁膜128の所定の位置にコンタクトホール128aを形成する。なお、第2の層間絶縁膜128の材料として有機樹脂を使用してもよく、シリコン窒化膜、シリコン酸化膜及び有機樹脂膜のうちの2以上の膜を積層して第2の層間絶縁膜128としてもよい。

【0097】

その後、基板121の上側全面にITO膜を形成し、このITO膜をパターニングして、画素電極129を形成する。この画素電極129は、コンタクトホール128aを介してソース電極127aに電氣的に接続される。

【0098】

このようにして製造されたTFT基板と、カラーフィルタ及びコモン電極等が形成されたCF基板とを対向させて配置し、両者の間に液晶を封入することにより、液晶表示パネルが完成する。

【0099】

図13に本実施の形態のp型TFT及びn型TFTの電流-電圧(I-V)特性を示す。この図13に示すように、本実施の形態ではチャネル領域の傾斜部にp型不純物を平坦部よりも多く導入することにより、傾斜部のp型不純物の面密度をチャネル平坦部とほぼ同じにしている。これにより、チャネル領域の傾斜部に形成される寄生トランジスタのしきい値は平坦部のトランジスタのしきい値とほぼ同じとなり、TFTのI-V特性におけるハンプがなくなって、n型TFT及びp型TFTのいずれもゲート電圧が0Vのときにオフとなる。従って、CMOSのリーク電流が減少し、消費電力が著しく削減されるという効果を得ることができる。

【0100】

但し、チャネル領域の傾斜部のp型不純物の体積密度が平坦部のp型不純物の体積密度のおよそ2倍よりも少ないときは、図2のように傾斜部の影響によりn型TFTのしきい値電圧が低下し、ゲート電圧が0Vのときにn型TFTがオフにならなくなってしまう。一方、チャネル領域の傾斜部のp型不純物の体積密度が平坦部のp型不純物の体積密度のおよそ5倍を超えると、図14に示すように傾斜部の影響によりp型TFTのしきい値電圧がプラスに移動し、ゲート電圧が0Vのときにp型TFTがオフにならなくなってしまう。従って、チャネル領域の傾斜部のp型不純物の体積密度は、平坦部のp型不純物の体積密度の2~5倍とすることが必要である。

【0101】

上述の実施の形態では、図8(a)、図10(a)に示す工程で気相ドーピング法によりp型不純物を含むアモルファスシリコン膜を形成したが、ノンドープ(不純物が導入されていない)のアモルファスシリコン膜を形成した後、イオン注入法又はイオンドーピング法によりアモルファスシリコン膜にp型不純物を導入してもよい。例えば、ノンドープのアモルファスシリコン膜をジボランガスのプラズマに晒してアモルファスシリコン膜中にp型不純物を導入してもよい。また、ノンドープのポリシリコン膜を形成した後に、上記の方法によりポリシリコン膜中にp型不純物を導入してもよい。

【0102】

更に、図8(c)、図10(c)に示す工程では、ポリシリコン膜123の傾斜部へのp

10

20

30

40

50

型不純物の導入をイオンドーピングにより行ったが、質量分離機構を備えたイオン注入装置や、ジボランガスのプラズマにより半導体膜中にボロンを導入する装置を用いて行ってよい。

【0103】

更にまた、p型不純物としてはボロン以外の元素（例えばアルミニウム）でもよい。この場合に、図8(a)、図10(a)に示す工程でポリシリコン膜123に導入した元素以外のp型不純物を、図8(c)、図10(c)に示す工程でポリシリコン膜123の傾斜部に導入してもよい。

【0104】

更にまた、ポリシリコン膜123を島状に加工する際、レジスト膜R1を形成する前に、レジスト膜等からの汚染を防止するための保護膜として、例えばシリコン酸化膜をポリシリコン膜123の上に約10nmの厚さで形成してもよい。

【0105】

また、ポリシリコン膜をエッチングするガスとして、SF₆以外に、CF₄等のガスと酸素を含むガスを使用してもよい。

【0106】

(第2の実施の形態)

図15(a)~(c)は本発明の第2の実施の形態の薄膜トランジスタ装置の製造方法を工程順に示す断面図である。

【0107】

まず、図15(a)に示すように、第1の実施の形態と同様にして、ガラス基板201の上に、下地絶縁膜202としてシリコン酸化膜を約100nmの厚さに形成する。

【0108】

次に、気相ドーピング法により、下地絶縁膜202の上に、ボロン(B)を $4 \times 10^{17} \text{ cm}^{-3}$ の体積密度で含むアモルファスシリコン膜を約40nmの厚さに形成する。その後、エキシマレーザを基板201の上面全体に照射し、アモルファスシリコン膜をポリシリコン膜203に変化させる。そして、このポリシリコン膜203の上に、例えばシリコン酸化膜からなるマスク膜204を約25nmの厚さに形成する。なお、本実施の形態ではマスク膜204を絶縁物により形成しているが、導電性材料で形成してもよい。また、マスク膜204には、後述するポリシリコン膜203の傾斜部にp型不純物を導入する工程で、ポリシリコン膜203の平坦部へのp型不純物の注入を防止できる程度の厚さが必要である。

【0109】

次に、ポジ型のフォトリソトを使用して、TF_T形成領域のマスク膜204上にレジスト膜R2を形成する。

【0110】

次に、この基板201をドライエッチング装置に入れ、ドライエッチング装置内に例えばCF₄及び酸素ガスを導入して、図15(b)に示すように、マスク膜204及びポリシリコン膜203を島状にエッチングする。このとき、レジスト膜R2の縁部には底部から上部に向かって幅が小さくなるような傾斜が形成され、酸素を含むプラズマ中では徐々に傾斜部がエッチングされて後退していく。これに伴い、ポリシリコン膜203の縁部にも、図15(b)に示すような傾斜ができる。

【0111】

次に、図15(c)に示すように、レジスト膜R2を剥離液により除去した後、イオンドーピング装置を使用し、加速電圧が5kV、ドーズ量が $2 \times 10^{12} \text{ cm}^{-2}$ の条件でポリシリコン膜203にボロン(B)を注入する。これにより、ポリシリコン膜203の平坦部ではマスク膜204にマスクされてボロンは導入されず、マスク膜204から露出しているポリシリコン膜203の傾斜部にのみボロンが導入される。ポリシリコン膜203の傾斜部のボロンの体積密度は、最初にポリシリコン膜203の導入されていた分と合わせて、約 $1 \times 10^{18} \text{ cm}^{-3}$ となる。これは、ポリシリコン膜203のチャンネル中央(平坦部)

10

20

30

40

50

のボロンの体積密度の約2.5倍に相当する。

【0112】

このようにしてポリシリコン膜203の傾斜部にのみボロンを導入した後、マスク膜204を除去する。その後の工程は第1の実施の形態と同様であるので、ここでは説明を省略する。マスク膜204が本実施の形態のようにシリコン酸化膜からなる場合は、マスク膜204を除去することなく、ゲート絶縁膜の一部として使用してもよい。

【0113】

本実施の形態においては、レジスト膜R2を除去した後にポリシリコン膜203の傾斜部に不純物を注入するので、レジスト膜R2の表面が不純物の注入により変質することがなく、レジスト膜R2を剥離液で剥離することができる。これにより、第1の実施の形態に比べてレジスト膜の除去作業が容易になる。但し、本実施の形態においても、プラズマアッシングによりレジスト膜R2を除去してもよい。

10

【0114】

また、本実施の形態では、不純物が導入されたアモルファスシリコン膜を形成し、このアモルファスシリコン膜にレーザを照射することにより、しきい値制御用の不純物が導入されたポリシリコン膜を形成している。しかし、図16に示すように、ノンドープのポリシリコン膜203を形成し、イオンドーピング法等によりポリシリコン膜203の全体にしきい値制御用のp不純物を導入してもよい。例えば、ポリシリコン膜203の全体にボロンを導入するときは、加速電圧を25kV、ドーズ量を $3 \times 10^{12} \text{ cm}^{-2}$ とする。この条件では、ボロンイオンはマスク膜204を透過して、ポリシリコン膜203に注入される。また、ポリシリコン膜203の傾斜部(マスク膜204からはみ出た部分)のみにボロンを注入するときは、加速電圧を5kV、ドーズ量を $2 \times 10^{12} \text{ cm}^{-2}$ とする。

20

【0115】

これにより、ポリシリコン膜203の中央(平坦部)に含有されるボロンの体積密度は約 $4 \times 10^{17} \text{ cm}^{-3}$ となり、傾斜部のボロンの体積密度は約 $1 \times 10^{18} \text{ cm}^{-3}$ となる。

【0116】

一般的に、しきい値を制御する場合のようにシリコン膜中に微量の不純物を添加する場合は、ジボランガスを使用する気相ドーピング法よりも、イオンドーピング法又はイオン注入法のほうが不純物導入量の制御性に優れ、TFEのしきい値を精度よく制御することができる。

30

【0117】

また、本実施の形態では、マスク膜204をマスクとしてイオンドーピングでボロン(B)をポリシリコン膜203の傾斜部に注入している。このイオンドーピングでは、殆どのイオンが $B_2H_x^+$ (但し、xは整数)の状態では注入されるため、質量分離して B^+ イオンで注入する場合に比べて浅い注入が可能となり、マスク膜204をマスクとして使用することができる。

【0118】

但し、マスク膜204の膜厚及び加速電圧を適切に設定することで、質量分離機構を備えたイオン注入法を採用することも可能である。また、ポリシリコン膜203の傾斜部へのボロンの導入はジボランガスを用いたプラズマ処理で行うことも可能である。

40

【0119】

(第3の実施の形態)

図17(a)~(c)は、本発明の第3の実施の形態の薄膜トランジスタ装置の製造方法を工程順に示す断面図である。

【0120】

まず、図17(a)に示すように、第1の実施の形態と同様にして、ガラス基板221の上に、下地絶縁膜222としてシリコン酸化膜を約100nmの厚さに形成する。

【0121】

次に、下地絶縁膜222の上に、ノンドープのアモルファスシリコン膜を約40nmの厚さに形成する。その後、エキシマレーザをガラス基板221の上面全体に照射し、アモル

50

ファスシリコン膜をポリシリコン膜 2 2 3 に変化させる。そして、ポジ型フォトレジストを使用し、T F T 形成領域のポリシリコン膜 2 2 3 の上に、レジスト膜 R 3 を形成する。

【 0 1 2 2 】

次に、この基板 2 2 1 をドライエッチング装置に入れ、ドライエッチング装置内に例えば S F₆ 及び酸素ガスを導入して、図 1 7 (b) に示すように、ポリシリコン膜 2 2 3 を島状にエッチングする。このとき、レジスト膜 R 3 の縁部には底部から上部に向かって幅が小さくなるような傾斜が形成されており、酸素を含むプラズマ中では徐々に傾斜部がエッチングされて後退していく。これに伴い、ポリシリコン膜 2 2 3 の縁部にも、図 1 7 (b) に示すような傾斜ができる。

【 0 1 2 3 】

次に、図 1 7 (c) に示すように、レジスト膜 R 3 を剥離液又はプラズマアッシング等により除去した後、イオンドーピング装置を使用し、加速電圧が 5 k V、ボロンのドーズ量が $1.5 \times 10^{12} \text{ cm}^{-2}$ の条件でポリシリコン膜 2 2 3 のチャンネル平坦部及び傾斜部の表面に近い部分にボロンを導入する。

【 0 1 2 4 】

このようにしてポリシリコン膜の平坦部及び傾斜部にボロンを導入した後の工程は第 1 の実施の形態と同様であるので、ここでは説明を省略する。

【 0 1 2 5 】

本実施の形態では、ポリシリコン膜 2 2 3 のチャンネル領域の平坦部及び傾斜部の表面に近い部分に濃度分布のピークをもつようにボロンを導入している。これにより、チャンネル領域の平坦部及び傾斜部のボロンの面密度がほぼ同じになり、電流 - 電圧 (I - V) 特性におけるハンプの発生を抑制できる。しかも、しきい値制御のための平坦部への p 型不純物導入と、ハンプ抑制のための傾斜部への p 型不純物導入とを同一工程で行うので、工程数の増加が回避される。

【 0 1 2 6 】

なお、本実施の形態ではイオンドーピング装置を使用してポリシリコン膜 2 2 3 の表面近傍へのボロンの導入を行ったが、イオン注入法やジボランガスを使用するプラズマ処理によってポリシリコン膜 2 2 3 の表面への不純物の導入を行ってもよい。

【 0 1 2 7 】

ところで、しきい値制御をより容易にするため、n 型 T F T にしきい値制御用の p 型不純物を p 型 T F T に比べて多く導入し、n 型 T F T のしきい値と p 型 T F T のしきい値の差を大きくすることがある。

【 0 1 2 8 】

第 1 ~ 第 3 の実施の形態のいずれにおいてもこの手法を併用することができる。第 3 の実施の形態に適用した例を以下に示す。

【 0 1 2 9 】

図 1 7 (c) に示す工程で、ポリシリコン膜 2 2 3 の平坦部及び傾斜部の表面近傍へのボロンの導入時の条件は、加速電圧が 5 k V、ドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ とする。

【 0 1 3 0 】

次に、基板 2 2 1 の上側に、p 型 T F T 形成領域を覆い、n 型 T F T 形成領域が露出するレジストマスクを形成する。そして、n 型 T F T 形成領域のポリシリコン膜に、加速電圧が 5 k V、ドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ の条件でボロンを注入する。

【 0 1 3 1 】

その結果、p 型 T F T のポリシリコン膜 2 2 3 のボロンの面密度は $1 \times 10^{12} \text{ cm}^{-2}$ となるため、前述の場合よりも 0.5 V ~ 1 V 程度しきい値がマイナスになる。一方、n 型 T F T のポリシリコン膜 2 2 3 には 2 回の注入で $2 \times 10^{12} \text{ cm}^{-2}$ のボロンが導入されるため、前述の場合より 0.5 V ~ 1 V 程度しきい値が上昇し、n 型 T F T と p 型 T F T とのしきい値の差が 1 ~ 2 V 大きくなる。但し、このような手法をとる場合、レジストマスク工程が増加する。

【 0 1 3 2 】

10

20

30

40

50

図18は、n型TFTのチャネル領域のp型不純物量をp型TFTのチャネル領域のp型不純物量よりも多くしたときの電流 - 電圧 (I - V) 特性を示す図である。この図18に示すように、n型TFTのチャネル領域のp型不純物量をp型TFTのチャネル領域のp型不純物量よりも多くすることにより、n型TFTのしきい値電圧が上昇する。従って、ゲート電圧が0Vのときにn型TFT及びp型TFTがいずれもオフとなるように、チャネル部の不純物量を制御することが容易になる。

【0133】

(第4の実施の形態)

図19, 図20は、本発明の第4の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図である。

10

【0134】

まず、図19(a)に示すように、第1の実施の形態と同様にして、ガラス基板241の上に下地絶縁膜242としてシリコン酸化膜を約100nmの厚さに形成する。

【0135】

次に、気相ドーピング法により、下地絶縁膜242の上に、ボロンを $3 \times 10^{17} \text{ cm}^{-3}$ の密度で含むアモルファスシリコン膜を約40nmの厚さに形成する。本実施の形態では、第1の実施の形態に比べてアモルファスシリコン膜中のボロン密度を小さくしている。

【0136】

その後、エキシマレーザを基板241の上面全体に照射し、アモルファスシリコン膜をポリシリコン膜243に変化させる。そして、このポリシリコン膜243の上に、例えばシリコン酸化膜からなるマスク膜244を約25nmの厚さに形成する。

20

【0137】

次に、ポジ型のフォトリソグを使用し、TFT形成領域のマスク膜244の上にレジスト膜R3を形成する。

【0138】

次に、この基板241をドライエッチング装置に入れて、ドライエッチング装置内に例えば CF_4 及び酸素ガスを導入して、図19(b)に示すように、マスク膜244及びポリシリコン膜243を島状にエッチングする。このとき、レジスト膜R3の縁部には底部から上部に向かって幅が小さくなるような傾斜が形成されており、酸素を含むプラズマ中では徐々に傾斜部がエッチングされて後退していく。これに伴い、ポリシリコン膜243の縁部にも、図19(b)に示すような傾斜ができる。

30

【0139】

次に、レジスト膜R3を剥離液又はプラズマアッシングにより除去する。そして、図20に示すように、p型TFT形成領域を覆い、n型TFT形成領域が露出するレジスト膜R4を形成する。

【0140】

その後、イオンドーピング装置を使用し、加速電圧が25kV、ドーズ量が $1.6 \times 10^{12} \text{ cm}^{-2}$ の条件で、n型TFT形成領域のポリシリコン膜243の全体にボロンを注入する。続けて、加速電圧が5kV、ドーズ量が $3 \times 10^{12} \text{ cm}^{-2}$ の条件でn型TFT形成領域のポリシリコン膜243の傾斜部のみにボロンを注入する。

40

【0141】

これにより、p型TFTのチャネル領域には $3 \times 10^{17} \text{ cm}^{-3}$ の密度でボロンが導入され、n型TFTのチャネル平坦部には約 $5 \times 10^{17} \text{ cm}^{-3}$ 、n型TFTのチャネル傾斜部には約 $1.6 \times 10^{18} \text{ cm}^{-3}$ のボロンが導入される。その結果、n型TFTとp型TFTのしきい値の差は、第1の実施の形態と比較して約1~1.5V大きくなる。

【0142】

次に、レジスト膜R4及びマスク膜244を除去する。その後の工程は第1の実施の形態と同様であるので、ここでは説明を省略する。

【0143】

本実施の形態においてもマスク膜244を除去した後にポリシリコン膜243の上にゲー

50

ト絶縁膜を形成するものとした。しかし、マスク膜 244 は、第 2 の実施の形態と同様に、シリコン酸化膜等の絶縁膜からなる場合はゲート絶縁膜の一部として残しておいてもよい。

【0144】

本実施の形態では n 型 T F T 形成領域のポリシリコン膜の傾斜部のみにハンプ抑制用の p 型不純物を選択的に導入するので、p 型 T F T ではハンプの発生がなく、p 型不純物の導入量のマージンが大きくなり、しきい値の制御が容易になる。しかも、n 型 T F T のチャネル平坦部に p 型 T F T チャネル平坦部よりも多く p 型不純物を導入することで、n 型 T F T と p 型 T F T のしきい値の差を大きくできる。これにより、しきい値制御が更に容易になる。

10

【0145】

この場合も、ポリシリコン膜への不純物の導入は、イオン注入法によってもよく、ポリシリコン膜の傾斜部への不純物の導入は、ジボランガスのプラズマ処理によってもよい。

【0146】

また、本実施の形態では、気相ドーピング法により p 型不純物を含むアモルファスシリコン膜を形成したが、ノンドープのアモルファスシリコン膜を形成した後、イオン注入法又はイオンドーピング法によりアモルファスシリコン膜に不純物を導入してもよい。更に、ノンドープのポリシリコン膜を形成した後に、イオン注入法又はイオンドーピング法によりポリシリコン膜中に不純物を導入してもよい。

【0147】

上述の第 1 ~ 第 4 の実施の形態は、いずれも逆スタガー型 T F T を有する薄膜トランジスタに適用することが可能である。この場合は、ゲート電極及びゲート絶縁膜を形成した後に半導体膜を形成する。また、第 1 ~ 第 4 の実施の形態ではいずれも、動作層がポリシリコン膜からなる T F T について説明したが、本発明は、動作層がアモルファスシリコン膜又はその他の半導体膜からなる T F T にも適用することができる。

20

【0148】

更に、上述の第 1 ~ 第 4 の実施の形態は、いずれも本発明を液晶表示パネルに適用した場合について説明したが、本発明は有機 E L 表示パネル又はその他の T F T を使用した装置に適用することができる。

【0149】

(付記 1) 基板と、前記基板上に形成され、チャネル領域に p 型不純物が導入された半導体膜を動作層とする薄膜トランジスタとを有する薄膜トランジスタ装置において、前記半導体膜の縁部には傾斜が設けられ、前記チャネル領域の前記縁部における p 型不純物の体積密度が、前記チャネル領域の中央部における p 型不純物の体積密度の 2 乃至 5 倍であることを特徴とする薄膜トランジスタ装置。

30

【0150】

(付記 2) 前記基板上には n 型薄膜トランジスタ及び p 型薄膜トランジスタが形成され、前記 n 型薄膜トランジスタ及び前記 p 型薄膜トランジスタのチャネル領域にはいずれも p 型不純物が導入されていることを特徴とする付記 1 に記載の薄膜トランジスタ装置。

【0151】

(付記 3) 前記 n 型薄膜トランジスタのチャネル領域における p 型不純物の体積密度が、前記 p 型薄膜トランジスタのチャネル領域における p 型不純物の体積密度よりも多いことを特徴とする付記 2 に記載の薄膜トランジスタ装置。

40

【0152】

(付記 4) 基板上に p 型不純物が導入された半導体膜を形成する工程と、前記半導体膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記半導体膜をエッチングするエッチング工程と、前記レジスト膜をマスクとし、前記半導体膜のうち前記レジスト膜からはみ出した部分に p 型不純物を導入する工程と、前記レジスト膜を除去する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

50

【 0 1 5 3 】

(付記 5) 前記エッチング工程は、 SF_6 及び酸素を含むガス、又は CF_4 及び酸素を含むガスを用いたドライエッチングにより行うことを特徴とする付記 4 に記載の薄膜トランジスタ装置の製造方法。

【 0 1 5 4 】

(付記 6) 前記エッチング工程の後に、前記レジスト膜をエッチングして、前記レジスト膜の縁部を後退させる工程を有することを特徴とする付記 4 に記載の薄膜トランジスタ装置の製造方法。

【 0 1 5 5 】

(付記 7) 基板上に p 型不純物が導入された半導体膜を形成する工程と、前記半導体膜の上にマスク膜を形成する工程と、前記マスク膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記マスク膜及び半導体膜をエッチングするエッチング工程と、前記レジスト膜を除去する工程と、前記マスク膜をマスクとし、前記半導体膜のうち前記マスク膜からはみ出した部分に p 型不純物を導入する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

10

【 0 1 5 6 】

(付記 8) 前記ゲート絶縁膜は、前記マスク膜を除去した後に前記半導体膜上に形成することを特徴とする付記 7 に記載の薄膜トランジスタ装置の製造方法。

【 0 1 5 7 】

(付記 9) 前記ゲート絶縁膜は、前記マスク膜をその一部として前記半導体膜上に形成することを特徴とする付記 7 に記載の薄膜トランジスタ装置の製造方法。

20

【 0 1 5 8 】

(付記 10) 前記エッチング工程は、 CF_4 及び酸素を含むガスを用いたドライエッチングにより行うことを特徴とする付記 7 に記載の薄膜トランジスタ装置の製造方法。

【 0 1 5 9 】

(付記 11) 基板上に半導体膜を形成する工程と、前記半導体膜の上にマスク膜を形成する工程と、前記マスク膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記マスク膜及び半導体膜をエッチングする工程と、前記レジスト膜を除去する工程と、前記マスク膜を透過する条件で前記半導体膜の全体に p 型不純物を導入し、前記マスク膜で遮断される条件で前記半導体膜のうち前記マスク膜からはみ出した部分のみに p 型不純物を導入する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

30

【 0 1 6 0 】

(付記 12) 前記半導体膜への p 型不純物の導入は、イオン注入法又はイオンドーピング法により行うことを特徴とする付記 11 に記載の薄膜トランジスタ装置の製造方法。

【 0 1 6 1 】

(付記 13) 基板と、前記基板上に形成され、少なくともチャネル領域に p 型不純物が導入された半導体膜を動作層とする薄膜トランジスタとを有する薄膜トランジスタ装置において、前記半導体膜の縁部に傾斜が設けられ、前記半導体膜のチャネル領域では表面近傍に分布のピークを持つように p 型不純物が導入されていることを特徴とする薄膜トランジスタ装置。

40

【 0 1 6 2 】

(付記 14) 基板上に半導体膜を形成する工程と、前記半導体膜の薄膜トランジスタ形成領域上にレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記半導体膜をエッチングする工程と、前記レジスト膜を除去する工程と、前記半導体膜の表面近傍に分布のピークをもつ条件で前記半導体膜に p 型不純物を導入する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 6 3 】

50

(付記15) 基板と、前記基板上に形成されたp型薄膜トランジスタ及びn型薄膜トランジスタとを有する薄膜トランジスタ装置において、前記p型薄膜トランジスタ及び前記n型薄膜トランジスタはいずれも縁部に傾斜が設けられた半導体膜を動作層とし、前記n型薄膜トランジスタの前記半導体膜のチャンネル領域に含まれるp型不純物の体積密度が、前記p型薄膜トランジスタの前記半導体膜のチャンネル領域のp型不純物の体積密度よりも多く、且つ前記n型薄膜トランジスタのチャンネル領域の傾斜部のp型不純物の体積密度が、前記チャンネル領域の中央部のp型不純物の体積密度の2倍以上であることを特徴とする薄膜トランジスタ装置。

【0164】

(付記16) 基板上にp型不純物が導入された半導体膜を形成する工程と、前記半導体膜上にマスク膜を形成する工程と、前記マスク膜のn型薄膜トランジスタ形成領域及びp型薄膜トランジスタ形成領域の上に第1のレジスト膜を形成する工程と、前記第1のレジスト膜をマスクとして前記半導体膜及び前記マスク膜をエッチングする工程と、前記第1のレジスト膜を除去する工程と、前記基板上のp型薄膜トランジスタ形成領域上を第2のレジスト膜で覆う工程と、前記マスク膜を透過する条件で前記n型薄膜トランジスタ形成領域の前記半導体膜の全体にp型不純物を導入し、且つ、前記マスク膜で遮断される条件で前記n型薄膜トランジスタ形成領域の前記半導体膜のうち前記マスク膜からはみ出した部分にp型不純物を導入する工程と、前記第2のレジスト膜を除去する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【0165】

【発明の効果】

以上説明したように、本発明によれば、半導体膜のチャンネル領域の縁部におけるp型不純物の体積密度を、チャンネル領域の中央部におけるp型不純物の体積密度の2乃至5倍と高くし、又は半導体膜の表面近傍に濃度のピークをもつようにp型不純物を導入しているので、n型薄膜トランジスタのI-V特性におけるハンブがなく、しきい値の制御が容易になる。その結果、CMOSで構成される回路のリーク電流が低下し、消費電力が小さい薄膜トランジスタ装置が実現できる。

【図面の簡単な説明】

【図1】図1(a)は、TFTの平面図、図1(b)は図1(a)のI-I線による断面図、図1(c)は図1(a)のII-II線による断面図である。

【図2】図2は、従来のTFT(n型TFT及びp型TFT)のI-V特性を模式的に示す図である。

【図3】図3は本発明の第1の実施の形態の薄膜トランジスタ装置(透過型液晶表示パネル)の構成を示すブロック図である。

【図4】図4は、本発明の第1の実施の形態の液晶表示パネルの表示部における断面図である。

【図5】図5は表示部におけるTFT基板の平面図である。

【図6】図6はTFTの形成部における平面図である。

【図7】図7は図6のIII-III線による断面図である。

【図8】図8は第1の実施の形態に係るTFT基板の製造方法を示す断面図(その1)であり、図6のIII-III線の位置における断面図である。

【図9】図9は第1の実施の形態に係るTFT基板の製造方法を示す断面図(その2)であり、図6のIII-III線の位置における断面図である。

【図10】図10は第1の実施の形態に係るTFT基板の製造方法を示す断面図(その3)であり図6のIV-IV線の位置における断面図である。

【図11】図11は第1の実施の形態に係るTFT基板の製造方法を示す断面図(その4)であり図6のIV-IV線の位置における断面図である。

【図12】図12(a)~(c)は、第1の実施の形態において、半導体膜の傾斜部への不純物導入方法を示す拡大断面図である。

10

20

30

40

50

【図13】図13は、第1の実施の形態に係るp型TFT及びn型TFTのI-V特性を示す図である。

【図14】図14は、チャンネル領域の傾斜部の単位体積当りの不純物濃度が平坦部の不純物濃度の5倍を超えたときのp型TFT及びn型TFTのI-V特性を示す図である。

【図15】図15(a)~(c)は本発明の第2の実施の形態の薄膜トランジスタ装置の製造方法を工程順に示す断面図である。

【図16】図16は第2の実施の形態の変形例を示す断面図である。

【図17】図17(a)~(c)は、本発明の第3の実施の形態のTFTの製造方法を工程順に示す断面図である。

【図18】図18は、n型TFTのチャンネル領域のp型不純物量をn型TFTのチャンネル領域のp型不純物量よりも多くしたときのI-V特性を示す図である。 10

【図19】図19は、本発明の第4の実施の形態の薄膜トランジスタの製造方法を示す断面図(その1)である。

【図20】図20は、本発明の第4の実施の形態の薄膜トランジスタの製造方法を示す断面図(その2)である。

【符号の説明】

10, 121, 151, 201, 221, 241...ガラス基板、

11, 122, 202, 222, 242...下地絶縁膜、

12...半導体膜、

13, 124...ゲート絶縁膜、 20

14, 125...ゲート電極、

101...制御回路、

102...データドライバ、

103...ゲートドライバ、

104...表示部、

105...TFT、

108...データバスライン、

109...ゲートバスライン、

120...TFT基板、

123, 203, 223, 243...ポリシリコン膜、 30

126, 128...層間絶縁膜、

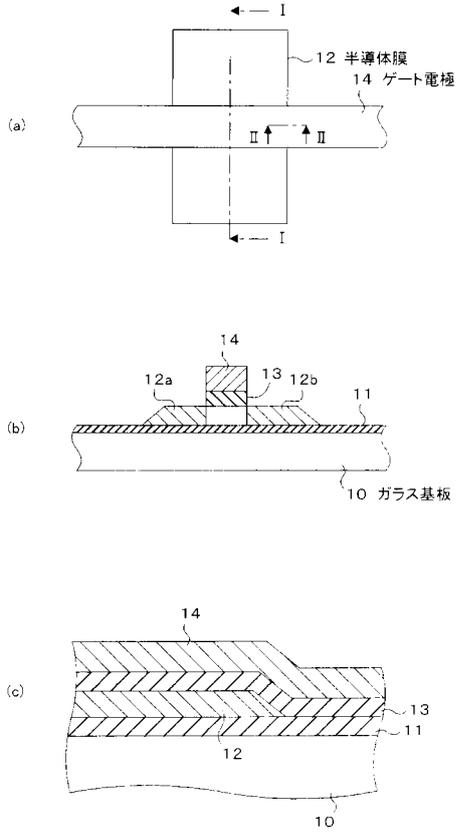
129...画素電極、

150...CF基板、

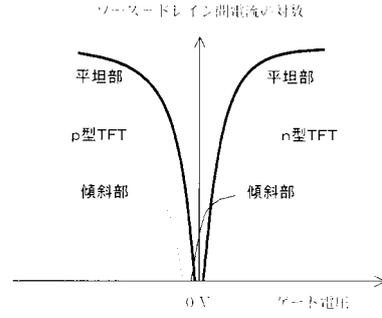
180...液晶、

204, 244...マスク膜。

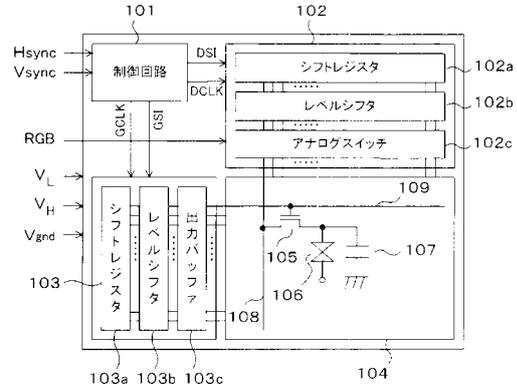
【図1】



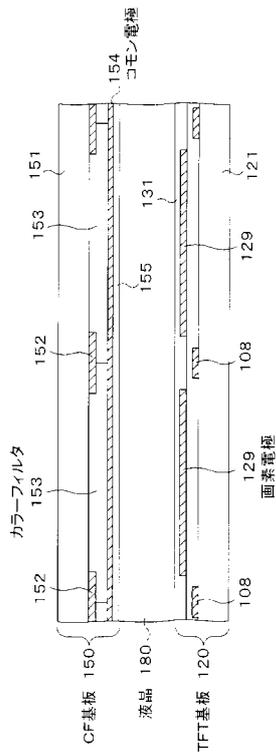
【図2】



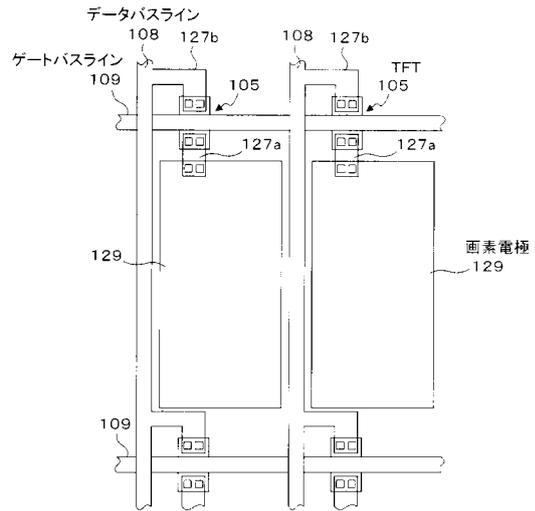
【図3】



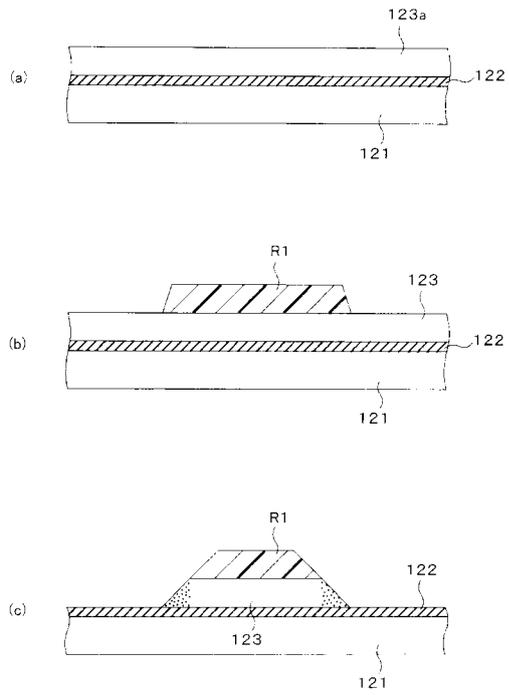
【図4】



【図5】

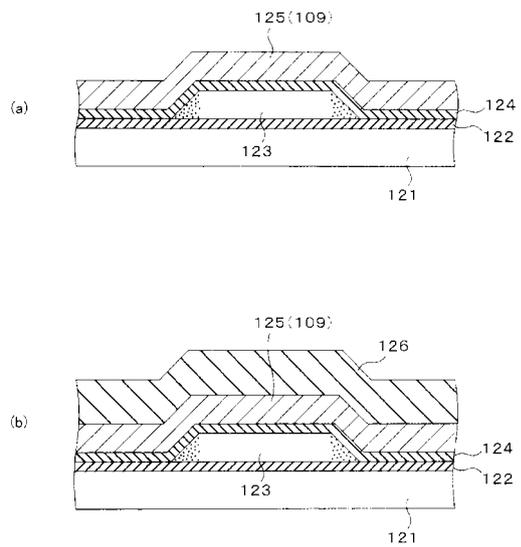


【図10】



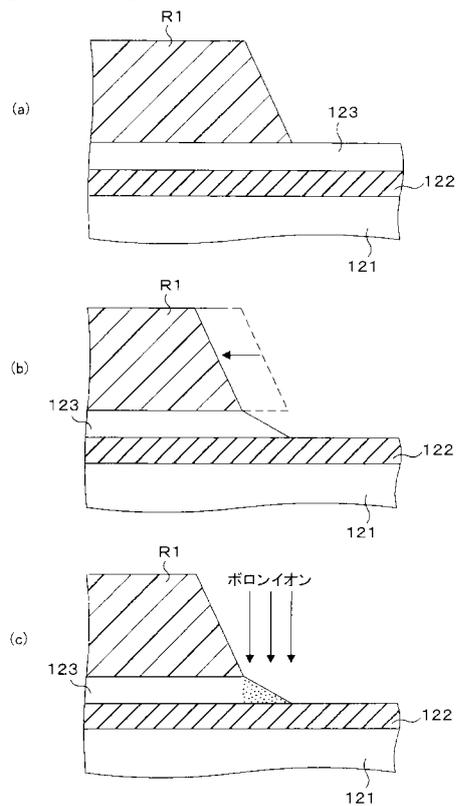
123a: アモルファスシリコン膜
 123: ホリシリコン膜
 R1: レジスト膜

【図11】



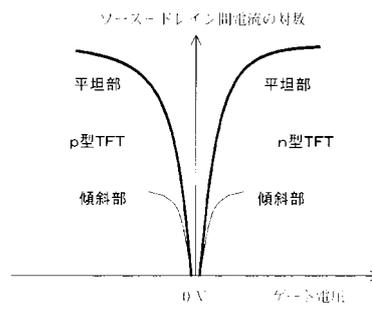
109: ゲートバスライン
 125: ゲート電極
 126: 層間絶縁膜

【図12】

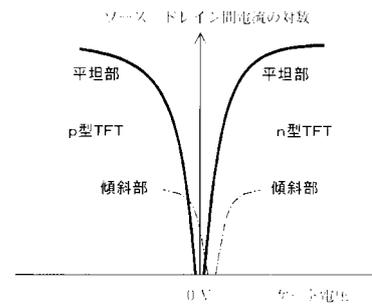


121: ガラス基板
 123: ホリシリコン膜
 R1: レジスト膜

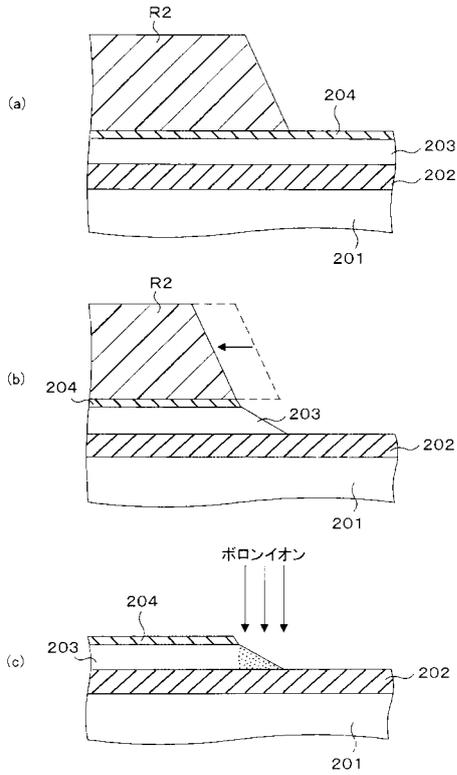
【図13】



【図14】

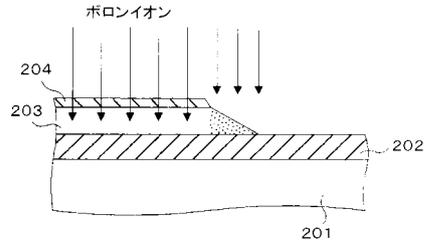


【図15】

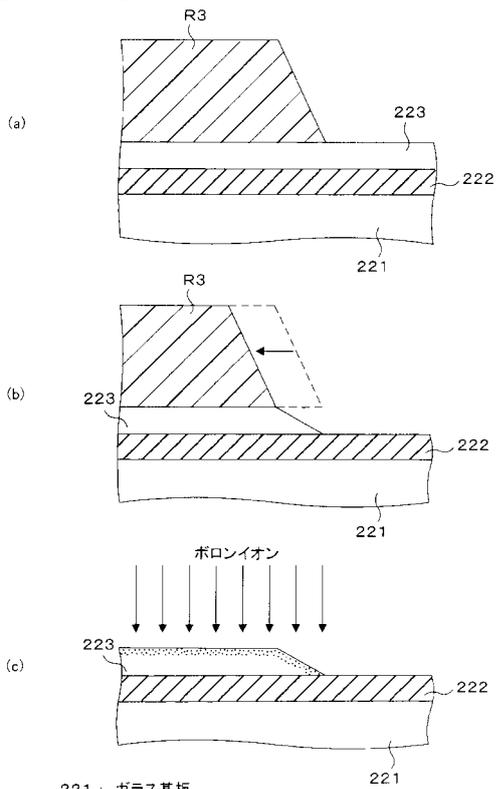


201 : ガラス基板
 203 : ポリシリコン膜
 R2 : レジスト膜
 204 : マスク膜

【図16】

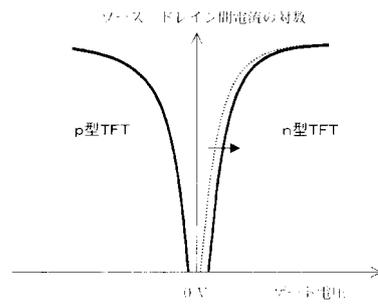


【図17】

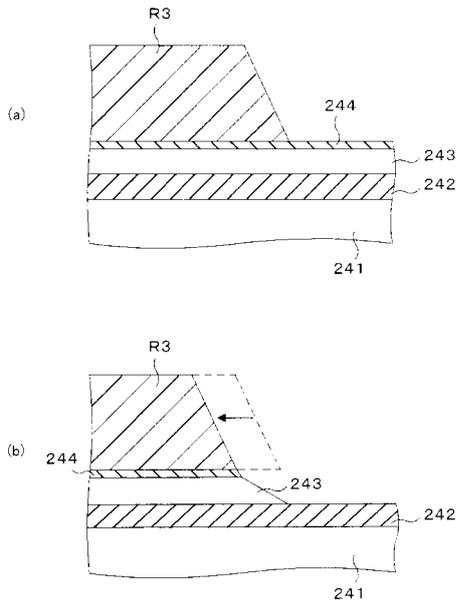


221 : ガラス基板
 223 : ポリシリコン膜
 R3 : レジスト膜

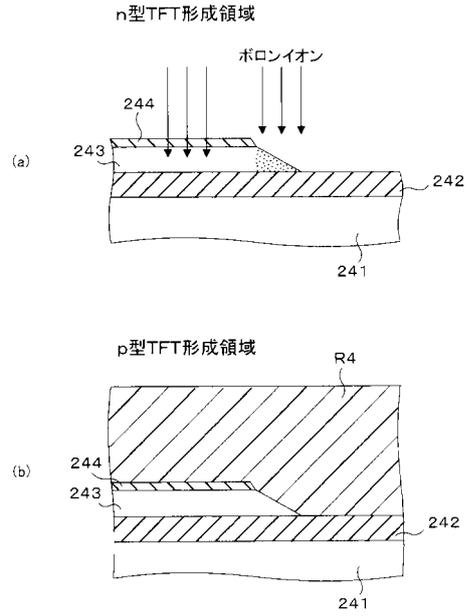
【図18】



【図19】



【図20】



- 241 : ガラス基板
- 243 : ポリシリコン膜
- 244 : マスク膜
- R4 : レジスト膜

フロントページの続き

- (56)参考文献 特開2000-196096(JP,A)
特開平08-032078(JP,A)
特開平09-191111(JP,A)
特開平09-107100(JP,A)
特開昭63-012160(JP,A)
特開2001-274403(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786

H01L 21/336