



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I685970 B

(45) 公告日：中華民國 109 (2020) 年 02 月 21 日

(21) 申請案號：107134507

(22) 申請日：中華民國 107 (2018) 年 03 月 21 日

(51) Int. Cl. : **H01L29/43 (2006.01)****H01L29/778 (2006.01)****H01L21/283 (2006.01)**

(71) 申請人：漢民科技股份有限公司 (中華民國) HERMES EPITEK CORP. (TW)

臺北市大安區敦化南路 2 段 38 號 14 樓

(72) 發明人：張翼 CHANG, EDWARD YI (TW)；林岳欽 LIN, YUEHCHIN (TW)；許嘉傑 HSU, CHIACHIEH (TW)；李景華 LEE, JINHWA (TW)；江繼群 CHIANG, CHICHUN (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 485539A

TW 201423989A

TW 201707071A

TW 201725278A

審查人員：張錦昇

申請專利範圍項數：8 項 圖式數：6 共 32 頁

(54) 名稱

半導體結構

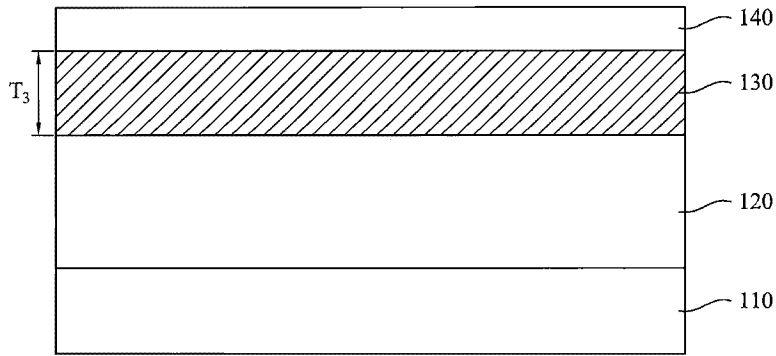
(57) 摘要

一種半導體結構，包含基板、半導體層、矽酸鋇層及閘極電極層。半導體層設置於基板上。矽酸鋇層設置於半導體層上，且矽酸鋇層包含氧化鋇/二氧化矽(La₂O₃/SiO₂)複合氧化物。閘極電極層設置於矽酸鋇層上。

A semiconductor structure includes a substrate, a semiconductor layer, a lanthanum silicate layer and a gate electrode layer. The semiconductor layer is disposed on the substrate. The lanthanum silicate layer is disposed on the semiconductor layer, and the lanthanum silicate layer includes La₂O₃/SiO₂ composite oxide. The gate electrode layer is disposed on the lanthanum silicate layer.

指定代表圖：

100



符號簡單說明：

100 . . . 半導體結構

110 . . . 基板

120 . . . 半導體層

130 . . . 矽酸鍍層

140 . . . 閘極電極層

T_3 . . . 厚度

第 2D 圖

【發明說明書】

【中文發明名稱】 半導體結構

【英文發明名稱】 SEMICONDUCTOR STRUCTURE

【技術領域】

【0001】 本發明是有關於一種半導體結構及其製造方法，以及一種半導體裝置。

【先前技術】

【0002】 在半導體技術中，III-V族半導體化合物可用於形成各種積體電路裝置，例如高功率場效電晶體、高頻電晶體或高電子遷移率電晶體(High electron mobility transistor, HEMT)，此III-V族半導體化合物電晶體具有取代傳統矽電晶體之潛力。

【0003】 傳統矽電晶體是利用二氧化矽作為閘極介電層。二氧化矽之於矽具有晶格匹配及介面品質優良的優點，能使矽電晶體獲得較大的電容值。然而，III-V族半導體電晶體缺乏如同二氧化矽之於矽的原生氧化物作為閘極介電層。因此隨著積體電路裝置對於單位電容量的需求提升，需要研發具有更高介電系數的介電材料作為III-V族半導體電晶體的閘極介電層。

【發明內容】

【0004】 根據本發明之各種實施方式，提供一種半導體結構，包含基板、設置於基板上的半導體層、設置於半導體

層上的矽酸鏽層，以及設置於矽酸鏽層上的閘極電極層。矽酸鏽層包含氧化鏽/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$) 複合氧化物。

【0005】 根據本發明之某些實施方式，矽酸鏽層是由二氧化矽及氧化鏽經固態反應所形成。

【0006】 根據本發明之某些實施方式，氧化鏽/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$) 複合氧化物包含化學式為 LaSiO_x 之複合氧化物，其中 x 為介於3至4之間的數值。

【0007】 根據本發明之某些實施方式，矽酸鏽層具有厚度為約2奈米至約50奈米。

【0008】 根據本發明之某些實施方式，矽酸鏽層具有介電常數為約12至約22。

【0009】 根據本發明之某些實施方式，半導體層包含III-V族半導體。

【0010】 根據本發明之某些實施方式，半導體層包含砷化銦鎵(InGaAs)、砷化銦(InAs)、砷化銦鋁(InAlAs)、磷化銦(InP)、砷化鎵(GaAs)、銻化銦(InSb)、銻化銦鎵(InGaSb)、氮化鎵(GaN)或砷化鋁鎵(AlGaAs)。

【0011】 根據本發明之各種實施方式，提供一種半導體結構的製造方法，包含形成半導體層於基板上；交錯地形成複數個二氧化矽層及複數個氧化鏽層於半導體層上；快速退火二氧化矽層及氧化鏽層，以形成矽酸鏽層；以及形成閘極電極層於矽酸鏽層上。

【0012】 根據本發明之某些實施方式，氧化鏽層具有厚度為約0.3奈米至約2奈米。

【0013】 根據本發明之某些實施方式，二氧化矽層具有厚度為約0.3奈米至約2奈米。

【0014】 根據本發明之某些實施方式，快速退火步驟是在約400°C至約800°C下執行。

【0015】 根據本發明之某些實施方式，形成氧化矽層及二氧化矽層包含原子層沉積或分子束沉積。

【0016】 根據本發明之各種實施方式，提供一種半導體裝置，包含基板；通道層設置於基板上；阻障層設置於通道層上，阻障層具有凹槽，且凹槽具有第一側壁及與第一側壁相對的第二側壁；源極及汲極設置於阻障層上，且源極位於接近凹槽之第一側壁的一端，汲極位於接近凹槽之第二側壁的一端；閘極介電層設置於阻障層上並覆蓋凹槽，其中閘極介電層包含矽酸矽；以及閘極設置於閘極介電層上，且閘極填入凹槽中，其中閘極具有第一表面、與第一表面相對的第二表面及位於第一表面與第二表面之間的底面。

【0017】 根據本發明之某些實施方式，閘極介電層具有厚度為約2奈米至約50奈米。

【0018】 根據本發明之某些實施方式，閘極的底表面具有寬度為約80奈米至約3微米。

【0019】 根據本發明之某些實施方式，閘極的第一表面與源極之間具有間距為約1微米至約5微米。

【0020】 根據本發明之某些實施方式，閘極的第二表面與汲極之間具有間距為約2微米至約50微米。

【0021】 根據本發明之某些實施方式，還包括保護層設

置在閘極介電層上。

【0022】 根據本發明之某些實施方式，通道層與阻障層包含III-V族半導體。

【圖式簡單說明】

【0023】

第1圖為根據本發明之某些實施方式繪示的半導體結構的製造方法流程圖。

第2A-2D圖為根據本發明之某些實施方式繪示的半導體結構的製程各步驟剖面圖。

第3A-3E圖為根據本發明之某些實施方式繪示的半導體裝置的製程各步驟剖面圖。

第4圖為根據本發明之某些實施方式製造的半導體結構之矽酸鋁層的電子顯微鏡相片。

第5圖為根據本發明之某些實施方式之半導體裝置的 I_D-V_{GS} 特性曲線。

第6圖為根據本發明之某些實施方式之閘極介電層之閘極電壓對電容值之折線圖。

【實施方式】

【0024】 以下將以圖式揭露本發明之複數個實施方式，為明確說明起見，許多實務上的細節將在以下敘述中一併說明。然而，應瞭解到，這些實務上的細節不應用以限制本發明。也就是說，在本發明部分實施方式中，這些實務上的細

節是非必要的。此外，為簡化圖示起見，一些習知慣用的結構與元件在圖示中將以簡單示意的方式繪示之。

【0025】 在本文中使用的空間相對用語，例如「下方」、「之下」、「上方」、「之上」等，這是為了便於敘述一元件或特徵與另一元件或特徵之間的相對關係，如圖中所繪示。這些空間上的相對用語的真實意義包含其他的方位。例如，當圖示上下翻轉180度時，一元件與另一元件之間的關係，可能從「下方」、「之下」變成「上方」、「之上」。此外，本文中所使用的空間上的相對敘述也應作同樣的解釋。

【0026】 第1圖繪示本發明各種實施方式之半導體結構的製造方法10的流程圖。如第1圖所示，方法10包含操作12、操作14、操作16及操作18。第2A-2D圖繪示根據第1圖所示之方法10製造之半導體結構100在各製程階段的剖面圖。

【0027】 請參照第1圖及第2A圖，在方法10的操作12中，形成半導體層120於基板110上。根據本發明某些實施方式，半導體層120包含III-V族半導體。在某些實施方式中，半導體層120包含砷化銦鎵(InGaAs)、砷化銦(InAs)、砷化銦鋁(InAlAs)、磷化銦(InP)、砷化鎵(GaAs)、銻化銦(InSb)、銻化銦鎵(InGaSb)、氮化鎵(GaN)或砷化鋁鎵(AlGaAs)，但不限於此。在某些實施方式中，基板110可以為矽基板、碳化矽(SiC)基板、藍寶石(sapphire)基板、氮化鎵(GaN)基板、氮化鋁鎵(AlGaN)基板、氮化鋁(AlN)

基板、磷化鎵(GaP)基板、砷化鎵(GaAs)基板或砷化鋁鎵(AlGaAs)基板，但不限於此。

【0028】 參照第1圖及第2B圖，方法10繼續進行至操作14，交錯地形成複數個二氧化矽(SiO_2)層132及複數個氧化釧(La_2O_3)層134於半導體層120上。根據本發明某些實施方式，形成二氧化矽層132及氧化釧層134的方法包含原子層沉積(Atomic layer deposition; ALD)或分子束沉積(Molecular beam deposition; MBD)，但不限於此。可以用任何合適的沉積方法在半導體層120上形成二氧化矽層132及氧化釧層134。在某些實施方式中，如第2B圖所示，可以先形成一層二氧化矽層132a於半導體層120上，再形成一層氧化釧層134a於二氧化矽層132a上。之後，繼續交錯地形成二氧化矽層132b及氧化釧層134b於氧化釧層134a之上。在其他實施方式中，也可以先形成一層氧化釧層134a於半導體層120上，再形成一層二氧化矽層132a於上述氧化釧層134a上。之後，繼續交錯地形成氧化釧層134b及二氧化矽層132b於二氧化矽層132a上。在某些實施方式中，可以在半導體層120上形成相同數量的氧化釧層134及二氧化矽層132。例如，在第2B圖中，在半導體層120上交錯地形成三層二氧化矽層132a、132b、132c及三層氧化釧層134a、134b、134c。應了解到，第2B圖所示的半導體結構100僅為本發明的其中一示例，實際上可以於半導體層120上交錯地形成任意數量的二氧化矽層132及任意數量的氧化釧層134。例如，可以於半導體層120上交錯地十

層二氧化矽層及十層氧化鑷層。

【0029】 根據本發明某些實施方式，上述二氧化矽層132中的每一層(例如132a、132b、132c)的厚度為約0.3奈米至約2奈米，例如為約0.4、0.5、0.7、1、1.5或1.7奈米。根據本發明某些實施方式，上述氧化鑷層134中的每一層(例如134a、134b、134c)的厚度為約0.3奈米至約2奈米，例如為約0.4、0.5、0.7、1、1.5或1.7奈米。在某些實施方式中，二氧化矽層132中任一層的厚度與氧化鑷層134中任一層的厚度相同。例如，二氧化矽層132a的厚度 T_1 及氧化鑷層134a的厚度 T_2 皆為0.5奈米。在某些實施方式中，二氧化矽層132中的每一層具有相同的厚度，並且氧化鑷層134中的每一層具有相同的厚度。例如，二氧化矽層132a、132b及132c的厚度相同，氧化鑷層134a、134b及134c的厚度相同。

【0030】 參照第1圖及第2C圖，方法10繼續進行至操作16，快速退火二氧化矽層132及氧化鑷層134，以形成矽酸鑷(Lanthanum silicate)層130。根據本發明某些實施方式，可以在約400°C至約800°C下執行快速退火。例如，在約450、500、550、600、650、700或750°C下執行快速退火。快速退火溫度將會影響後續形成之矽酸鑷層130的介電常數。可以依據二氧化矽層132及氧化鑷層134的厚度以及矽酸鑷層130所需之介電常數選擇適當的退火溫度。根據本發明某些實施方式，矽酸鑷層包含氧化鑷/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$)複合氧化物。在某些實施方式中，氧化鑷/

二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$) 複合氧化物包含化學式為 LaSiO_x 之複合氧化物，其中 x 為介於3至4之間的數值。例如， x 可以為約3.3、3.4、3.5、3.6或3.7。在某些實施方式中，矽酸鋇層130的厚度 T_3 為約2奈米至約50奈米。例如為約3、5、6、8、10、12、15、20、25、30、35、40或45奈米。此厚度範圍內的矽酸鋇層130可以維持低漏電流以及較薄的等效氧化物厚度(EOT)。在某些實施方式中，矽酸鋇層130的介電常數為約12至約22。第4圖為本發明之一實施例之根據第1圖所示方法10製造之矽酸鋇層130的電子顯微鏡相片。由第4圖可知，二氧化矽層132及氧化鋇層134在快速退火後形成之矽酸鋇層130為一層均勻混合的非結晶態矽酸鋇層。

【0031】 參照第1圖及第2D圖，方法10繼續進行至操作18，形成閘極電極層140於矽酸鋇層130上。根據本發明某些實施方式，閘極電極層140包含鎳(Ni)、金(Au)、鈦(Ti)、鉑(Pt)、銅(Cu)、鋁(Al)、氧化鉭(TaN)或其組合，但不限於此。如第2D圖所示，半導體結構100包含基板110、半導體層120、矽酸鋇層130以及閘極電極層140。半導體層120設置於基板110上。矽酸鋇層130設置於半導體層120上，矽酸鋇層130設置於半導體層120上，且矽酸鋇層包含氧化鋇/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$)複合氧化物，其中 x 為介於3至4之間的數值。閘極電極層140設置於矽酸鋇層130上。

【0032】 第3A-3E圖為根據本發明之某些實施方式繪示的製造半導體裝置的製程各步驟剖面圖。

【0033】 首先請參考第3A圖，通道層220及阻障層230依序形成於基板210上。根據本發明某些實施方式，通道層220及阻障層230包含III-V族半導體。在某些實施方式中，通道層220可以包含氮化鎵(GaN)、氮化鋁鎵(AlGaN)、氮化銦鎵(InGaN)、氮化鋁銦鎵(AlInGaN)或其他合適的III-V族半導體，但不限於此。在某些實施方式中，阻障層230可以包含氮化鋁鎵(AlGaN)、氮化鋁(AlN)、氮化鋁銦(AlInN)、氮化鎵(GaN)、氮化銦鎵(InGaN)、氮化鋁銦鎵(AlInGaN)或其他合適的III-V族半導體，但不限於此。在某些實施方式中，通道層220的材料可以與阻障層230不同。例如，阻障層230可以為氮化鋁鎵(AlGaN)，通道層220可以為氮化鎵(GaN)。在某些實施方式中，基板210可以為矽基板、碳化矽(SiC)基板、藍寶石(sapphire)基板、氮化鎵(GaN)基板、氮化鋁鎵(AlGaN)基板、氮化鋁(AlN)基板、磷化鎵(GaP)基板、砷化鎵(GaAs)基板或砷化鋁鎵(AlGaAs)基板，但不限於此。通道層220的能隙小於阻障層230的能隙，且通道層220和阻障層230的組合和厚度必須能夠產生二維電子氣。

【0034】 接著請參照第3B圖，形成源極240與汲極250於阻障層230上。源極240與汲極250包含鎳(Ni)、銀(Ag)、鈦(Ti)、鋁(Al)、銅(Cu)、鎢(W)、鉭(Ta)、鈳(Ru)、鈀(Pd)、鉑(Pt)、錳(Mn)、氮化鎢(WN)、氮化鈦(TiN)、氮化鉭(TaN)、氮化鋁(AlN)、矽化鎢(WSi)、氮化鉬(MoN)、鋁化鈦(TiAl)、氮化鋯(ZrN)、碳化鉭(TaC)、碳氮化鉭

(TaCN)、氮化鉭矽(TaSiN)、氮化鈦鋁(TiAlN)、矽化物或其任意之組合，但不限於此。形成源極240和汲極250的方法可包含濺鍍或任何習知之製程。

【0035】 接著請參照第3C圖，進行平台隔離(mesa isolation)，之後在阻障層230中形成凹槽234。在某些實施方式中，平台隔離包含形成遮罩層(未示出)於阻障層230上，再利用蝕刻製程移除半導體裝置200兩側的一部分通道層220及一部分阻障層230以形成缺口232，定義出半導體裝置200的主動區。上述蝕刻製程包含乾式蝕刻，例如可以為感應耦合電漿(Inductively Coupled Plasma；ICP)蝕刻，但不限於此。在某些實施方式中，可藉由圖案化製程在阻障層230中形成凹槽234。圖案化製程包含在阻障層230上形成遮罩層(未示出)，並在遮罩層上形成圖案，再利用蝕刻製程將圖案轉移至阻障層230而形成凹槽234。在某些實施方式中，蝕刻製程可為反應式離子蝕刻、電漿乾式蝕刻或其他非等向性蝕刻方式，蝕刻氣體可以使用六氟化硫、四氯化矽、八氟環丁烷、甲烷、氫氣、氫或其他已知蝕刻氣體或其組合。如第3C圖所示，凹槽234位於源極240和汲極250之間，並且未貫穿阻障層230。凹槽234未貫穿阻障層230目的在於削弱阻障層230之極化現象並消除二維電子氣通道之載子，使其臨界電壓大於0V。因較薄的阻障層230會提升導帶能階，故減少閘極270區域底下之阻障層230厚度可驅趕(deplete)二維電子氣。

【0036】 在某些實施方式中，源極240至凹槽234之側面

236的距離 D_1 與汲極250至凹槽234之側面237的距離 D_2 不相等，也就是說，凹槽234並不是位於源極240與汲極250的正中央。在某些實施方式中，凹槽234側面237與汲極250的距離 D_2 大於凹槽234側面236與源極240的距離 D_1 。在某些實施方式中，在阻障層230中形成凹槽234之後，可以對阻障層230的上表面進行表面處理，以利後續閘極介電層260的沉積。例如，可以利用包含 NH_4OH 的溶液清洗阻障層230的上表面。

【0037】 請參照第3D圖，形成閘極介電層260於阻障層230上並覆蓋凹槽234，且閘極介電層260包含矽酸鍶。在某些實施方式中，閘極介電層260包含氧化鍶/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$)複合氧化物。在某些實施方式中，氧化鍶/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$)複合氧化物包含化學式為 LaSiO_x 之矽酸鍶，其中， x 為介於3至4之間的數值。包含矽酸鍶之閘極介電層260的形成方法與前述半導體結構100中的矽酸鍶層130的形成方法相同，故不再重複敘述。如第3D圖所示，閘極介電層260共形地覆蓋在阻障層230上，並覆蓋凹槽234的側面236、237及下表面238。在某些實施方式中，閘極介電層260的厚度 T_4 為約2奈米至約50奈米。例如為約5、9、10、12、15、20、25、30、35、40或45奈米。閘極介電層260的厚度 T_4 越小則半導體裝置的電流越大且穩定性較差。反之，當閘極介電層260的厚度 T_4 越大則半導體裝置的電流越小且穩定性較佳。可以根據所需的半導體裝置性質選擇適當厚度的閘極介電層260。

【0038】請參照第3E圖，形成閘極270於閘極介電層260上，且閘極270填滿凹槽234。如第3E圖所示，半導體裝置200包含基板210、通道層220、阻障層230、源極240、汲極250、閘極介電層260及閘極270。通道層220設置於基板210上。阻障層230設置於通道層220上且具有凹槽234。源極240與汲極250設置於阻障層230上，分別位於凹槽234的兩端。閘極介電層260設置於阻障層230上並覆蓋凹槽234。閘極270設置於閘極介電層260上，且閘極270的一部分填入凹槽234中，未填入凹槽234的另一部分閘極270突出於阻障層230的上表面。閘極270具有第一表面262、與第一表面262相對的第二表面264，以及位於第一表面262及第二表面264之間的底面266。根據本發明某些實施方式，閘極270底面266的寬度 W_1 為約80奈米至3微米。例如可以為約100、180、200、230、250、270、300、350、400、450、500、600、700、800、900奈米、1微米或2微米奈米。根據本發明某些實施方式，閘極270的第一表面262與源極240之間間距 S_1 為約1微米至5微米。例如為約2、3、3.5或4微米。根據本發明某些實施方式，閘極270的第二表面264與汲極250之間間距 S_2 為約2微米至約50微米。例如為約5、6、8、10、12、15、18、20、25、30、35、40或45微米。閘極270的第二表面264與汲極250之間間距 S_2 將影響半導體裝置之電流與崩潰電壓。在某些實施方式中，間距 S_2 大於間距 S_1 。間距 S_2 大於間距 S_1 的目的在於，汲極250的偏壓較大，當閘極270與汲極250之間距 S_2

較大時，可以承受較大的電壓。在某些實施方式中，還可以在閘極介電層260上形成保護層(未示出)覆蓋部分閘極介電層260。在某些實施方式中，保護層包含 Si_3N_4 。

【0039】 第5圖為根據本發明之某些實施方式之半導體裝置的 I_D-V_{GS} 特性曲線。由第5圖可以看出，本發明包含矽酸鏽的閘極介電層可以減少因閘極介電層與其下的通道層介面不佳所造成之遲滯效應(Hysteresis)。

【0040】 第6圖為根據本發明之某些實施方式之閘極介電層之閘極電壓對電容值之折線圖。由第6圖可知，根據本發明某些實施方式之包含矽酸鏽的閘極介電層具有較高的電容值，表示其介電係數較高，並且在製作半導體元件時，元件可以具有較多的載子。

【0041】 如上所述，根據本發明的實施方式，藉由快速退火交錯堆疊於半導體層上的複數個二氧化矽層及複數個氧化鏽層，形成矽酸鏽層。本發明之矽酸鏽層包含均勻混合的非結晶態矽酸鏽，其厚度可以藉由交錯堆疊的二氧化矽層及氧化鏽層的數量控制，並且具有高介電係數與較高之能間隙。因此和僅使用具有較低能間隙的單一氧化鏽(La_2O_3)層相比，可避免氧化鏽擴散至半導體層。此外，本發明的矽酸鏽層可以降低半導體元件的漏電流，亦可以與III-V族半導體形成良好的介面，具有較低的介面缺陷密度(Interface trap density ; D_{it})。

【0042】 以下結合各種實施例對本發明做更詳細的說明，但本發明並不限於以下實施例。

【0043】 實施例1：形成矽酸鏷(Lanthanum silicate)層

【0044】 依照二氧化矽層、氧化鏷層、二氧化矽層的順序交錯地形成10層二氧化矽層及10層氧化鏷層於氮化鎵(GaN)半導體層上，每一層二氧化矽層及每一層氧化鏷層的厚度皆為約0.5奈米。之後，在約600°C下快速退火上述二氧化矽層及氧化鏷層的疊層，以形成矽酸鏷層。上述矽酸鏷層具有介電係數為約17.6及介面缺陷密度(Dit)小於約 $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 。

【0045】 雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0046】

10 方法

12、14、16、18 操作

100 半導體結構

110 基板

120 半導體層

130 矽酸鏷層

132、132a、132b、132c 二氧化矽層

134、134a、134b、134c 氧化鏷層

- 140 閘極電極層
- 200 半導體裝置
- 210 基板
- 220 通道層
- 230 阻障層
- 232 凹槽
- 234 缺口
- 236、237 側面
- 238 下表面
- 240 源極
- 250 汲極
- 260 閘極介電層
- 262 第一表面
- 264 第二表面
- 266 底面
- 270 閘極
- T_1 、 T_2 、 T_3 、 T_4 厚度
- D_1 、 D_2 距離
- S_1 、 S_2 間距
- W_1 寬度

I685970

【發明摘要】

【中文發明名稱】 半導體結構

【英文發明名稱】 SEMICONDUCTOR STRUCTURE

【中文】

一種半導體結構，包含基板、半導體層、矽酸鐳層及閘極電極層。半導體層設置於基板上。矽酸鐳層設置於半導體層上，且矽酸鐳層包含氧化鐳/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$) 複合氧化物。閘極電極層設置於矽酸鐳層上。

【英文】

A semiconductor structure includes a substrate, a semiconductor layer, a lanthanum silicate layer and a gate electrode layer. The semiconductor layer is disposed on the substrate. The lanthanum silicate layer is disposed on the semiconductor layer, and the lanthanum silicate layer includes $\text{La}_2\text{O}_3/\text{SiO}_2$ composite oxide. The gate electrode layer is disposed on the lanthanum silicate layer.

【指定代表圖】 第2D圖

【代表圖之符號簡單說明】

100 半導體結構

110 基板

120 半導體層

130 矽酸鍍層

140 閘極電極層

T₃ 厚度

【特徵化學式】

無

【發明申請專利範圍】

【第 1 項】一種半導體結構，包含：

一基板；

一 III-V 族半導體層，設置於該基板上；

一矽酸鍺層，設置於該 III-V 族半導體層上，該矽酸鍺層具有一介面層接觸該 III-V 族半導體層，且該矽酸鍺層包含一氧化鍺/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$) 複合氧化物，其中該氧化鍺/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$) 複合氧化物是由交錯堆疊的複數個二氧化矽層及複數個氧化鍺層經快速退火而形成；以及

一閘極電極層，設置於該矽酸鍺層上。

【第 2 項】如請求項 1 所述之半導體結構，其中該氧化鍺/二氧化矽($\text{La}_2\text{O}_3/\text{SiO}_2$) 複合氧化物包含化學式為 LaSiO_x 之複合氧化物，其中 x 為介於 3 至 4 之間的數值。

【第 3 項】如請求項 1 所述之半導體結構，其中該矽酸鍺層具有一厚度為約 2 奈米至約 50 奈米。

【第 4 項】如請求項 1 所述之半導體結構，其中該矽酸鍺層具有一介電常數為約 12 至約 22。

【第 5 項】如請求項 1 所述之半導體結構，其中該半導體層包含砷化銦鎵(InGaAs)、砷化銦(InAs)、砷化銦鋁(InAlAs)、磷化銦(InP)、砷化鎵(GaAs)、銻化銦(InSb)、

銻化銦鎵(InGaSb)、氮化鎵(GaN)或砷化鋁鎵(AlGaAs)。

【第 6 項】如請求項 1 所述之半導體結構，其中各該二氧化矽層及各該氧化鋁層具有相同的厚度。

【第 7 項】如請求項 6 所述之半導體結構，其中各該二氧化矽層及各該氧化鋁分層別具有一厚度為約 0.3 奈米至約 2 奈米。

【第 8 項】如請求項 1 所述之半導體結構，其中該快速退火溫度為約 400°C 至約 800°C。