

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5476190号
(P5476190)

(45) 発行日 平成26年4月23日(2014.4.23)

(24) 登録日 平成26年2月14日(2014.2.14)

(51) Int.Cl.

F I

H04N 5/341 (2011.01)

H04N 5/335 410

請求項の数 12 (全 38 頁)

(21) 出願番号	特願2010-84600 (P2010-84600)	(73) 特許権者	000005326
(22) 出願日	平成22年3月31日(2010.3.31)		本田技研工業株式会社
(65) 公開番号	特開2011-217206 (P2011-217206A)		東京都港区南青山二丁目1番1号
(43) 公開日	平成23年10月27日(2011.10.27)	(74) 代理人	100077665
審査請求日	平成24年11月27日(2012.11.27)		弁理士 千葉 剛宏
		(74) 代理人	100116676
			弁理士 宮寺 利幸
		(74) 代理人	100149261
			弁理士 大内 秀治
		(72) 発明者	是角 圭祐
			埼玉県和光市中央1丁目4番1号 株式会
			社本田技術研究所内
		(72) 発明者	神山 智幸
			埼玉県和光市中央1丁目4番1号 株式会
			社本田技術研究所内

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

測距のための照射光を照射する照射部が光を照射しない状態で、且つ、環境光のみを一定時間受光する第1露光期間の光電変換で得られた電荷を蓄積する第1電荷蓄積部と、

前記照射光の反射光及び前記環境光を受光することができる期間を含む前記一定時間の第2露光期間の光電変換で得られた電荷を蓄積する第2電荷蓄積部と、

アナログ信号をデジタル信号にAD変換するAD変換器と、

を備え、

前記AD変換器は、

レベルが漸次変化する参照電圧を生成する参照電圧生成部から供給される前記参照電圧と前記第1電荷蓄積部の第1のアナログ信号とを比較することで、該第1のアナログ信号に応じた信号を出力する第1比較器と、

前記参照電圧生成部から供給される前記参照電圧と前記第2電荷蓄積部の第2のアナログ信号を比較することで、該第2のアナログ信号に応じた信号を出力する第2比較器と、

前記第1のアナログ信号に応じた信号と、前記第2のアナログ信号に応じた信号とを差分して差分信号を出力する差分回路と、

前記差分信号に応じたパルス列のパルス数をカウントして、前記差分信号をデジタル信号に変換する第1のカウンタ回路と、

を有することを特徴とする固体撮像装置。

【請求項2】

請求項 1 に記載の固体撮像装置であって、
前記差分回路は、排他的論理和回路であることを特徴とする固体撮像装置。

【請求項 3】

請求項 1 に記載の固体撮像装置であって、
前記差分回路は、位相差検出器であることを特徴とする固体撮像装置。

【請求項 4】

請求項 1 ~ 3 の何れかに記載の固体撮像装置であって、
前記第 1 のアナログ信号及び前記第 2 のアナログ信号は、黒レベルのアナログ信号及び
信号レベルのアナログ信号からなり、

前記第 1 のカウンタ回路は、

前記差分回路が出力する信号に応じたパルス列のパルス数をカウントする複数のフリッ
プフロップ回路と、

前記複数のフリップフロップ回路の前段にそれぞれ接続され、自身に入力される入力信
号、ロー信号、及びハイ信号のうち、何れか 1 つを選択して出力信号として後段のフリッ
プフロップ回路のクロック端子にそれぞれ出力する複数のスイッチ回路と、

前記入力信号、前記ロー信号、及び前記ハイ信号のうち、何れか 1 つを選択するよう
に前記スイッチ回路を制御するスイッチ回路制御信号を生成する制御信号生成回路と、

カウンタ値を 2 の補数に変換するための 1 パルスを生成するパルス生成回路と、
を有し、

前記複数のスイッチ回路のうち、初段のスイッチ回路には、前記差分回路が出力する信
号に応じたパルス列が前記入力信号として入力され、前記初段のスイッチ回路以外の他の
スイッチ回路には、前段のフリップフロップ回路の反転出力信号が前記入力信号として入
力され、

前記制御信号生成回路は、

前記黒レベルの前記差分信号をデジタル信号に変換する第 1 A D 変換期間及び前記信号
レベルの前記差分信号をデジタル信号に変換する第 2 A D 変換期間中は、前記入力信号を
出力するように前記複数のスイッチ回路を制御して、前記複数のフリップフロップ回路に
、前記差分信号に応じたパルス列のパルス数をアップカウントさせ、

前記第 1 A D 変換期間から前記第 2 A D 変換期間に切り替わる期間は、前記複数のスイ
ッチ回路を制御することで、前記ロー信号及び前記ハイ信号を出力させて前記第 1 A D 変
換期間にカウントされたカウンタ値を 1 の補数に変換し、

前記パルス生成回路は、

前記 1 の補数の変換後、前記第 2 A D 変換期間に入る前に、生成した前記 1 パルスを前
記初段のスイッチ回路に入力させることで、前記第 1 A D 変換期間中にカウントされたカ
ウンタ値を前記 2 の補数に変換させることを特徴とする固体撮像装置。

【請求項 5】

請求項 1 ~ 4 の何れか 1 項に記載の固体撮像装置であって、

前記第 1 比較器は、前記参照電圧と前記第 1 電荷蓄積部の第 1 のアナログ信号とを比較
し、比較結果に基づいて出力する信号を反転し、

前記第 2 比較器は、前記参照電圧と前記第 2 電荷蓄積部の第 2 のアナログ信号とを比較
し、比較結果に基づいて出力する信号を反転し、

前記第 2 比較器は、前記第 1 比較器が出力する信号を反転するタイミングより、遅いタ
イミングで出力する信号を反転することを特徴とする固体撮像装置。

【請求項 6】

請求項 5 に記載の固体撮像装置であって、

前記参照電圧は、前記第 1 比較器をオートゼロにするための第 1 参照レベルと、前記第
2 比較器をオートゼロにするための前記第 1 参照レベルとは異なる第 2 参照レベルとを有
し、

前記第 1 比較器は、前記第 1 参照レベルから第 1 オフセット電圧を減算したレベルと、
前記第 1 のアナログ信号の黒レベルのアナログ信号から第 2 オフセット電圧を減算したレ

10

20

30

40

50

ベルとが同電位となるようにオートゼロさせており、

前記第 2 比較器は、前記第 2 参照レベルから第 3 オフセット電圧を減算したレベルと、前記第 2 のアナログ信号の黒レベルのアナログ信号から第 4 オフセット電圧を減算したレベルが同電位となるようにオートゼロさせていることを特徴とする固体撮像装置。

【請求項 7】

請求項 1 ~ 3 の何れかに記載の固体撮像装置であって、

前記第 1 のアナログ信号及び前記第 2 のアナログ信号は、黒レベルのアナログ信号及び信号レベルのアナログ信号からなり、

前記第 1 のカウンタ回路は、

前記差分回路が出力する信号に応じたパルス列のパルス数をカウントする複数のフリップフロップ回路と、

前記複数のフリップフロップ回路の前段にそれぞれ接続され、自身に入力される入力信号、ロー信号、及びハイ信号のうち、何れか 1 つを選択して出力信号として後段のフリップフロップ回路のクロック端子にそれぞれ出力する複数のスイッチ回路と、

前記入力信号、前記ロー信号、及び前記ハイ信号のうち、何れか 1 つを選択するように前記スイッチ回路を制御するスイッチ回路制御信号を生成する制御信号生成回路と、

カウンタ値を 2 の補数に変換するための 1 パルスを生成するパルス生成回路と、

を有し、

前記複数のスイッチ回路のうち、初段のスイッチ回路には、前記差分回路が出力する信号に応じたパルス列が前記入力信号として入力され、前記初段のスイッチ回路以外の他のスイッチ回路には、前段のフリップフロップ回路の反転出力信号が前記入力信号として入力され、

前記 A D 変換器は、

前記第 1 のアナログ信号と前記第 2 のアナログ信号とを比較する第 3 比較器と、

前記第 3 比較器の比較結果に基づいて、前記黒レベルの前記差分信号をデジタル信号に変換する第 1 A D 変換期間から前記信号レベルの前記差分信号をデジタル信号に変換する第 2 A D 変換期間に切り替わる第 1 の補数変換期間及び前記第 2 A D 変換期間終了後の第 2 の補数変換期間にカウンタ値を前記 2 の補数に変換するか否かを判定する判定回路と、

前記判定回路の判定結果に基づいて、前記制御信号生成回路及び前記パルス生成回路を制御して、カウンタ値の前記 2 の補数変換の実行、非実行を制御する補数制御回路と、

を有し、

前記補数制御回路は、

前記制御信号生成回路に、前記複数のスイッチ回路が前記入力信号を出力するように制御させて、前記複数のフリップフロップ回路に前記差分信号に応じたパルス列のパルス数をアップカウントさせ、

カウンタ値を前記 2 の補数に変換させると判定した前記補数変換期間には、前記制御信号生成回路に、前記複数のスイッチ回路が前記ロー信号及び前記ハイ信号を出力するように制御させて、カウントされたカウンタ値を 1 の補数に変換し、1 の補数の変換後、前記入力信号を出力するように前記複数のスイッチ回路を制御させるとともに、前記 1 パルスを生成して初段のスイッチ回路に入力するように前記パルス生成回路を制御することを特徴とする固体撮像装置。

【請求項 8】

請求項 7 に記載の固体撮像装置であって、

前記判定回路は、

黒レベルの第 1 のアナログ信号が、黒レベルの第 2 のアナログ信号より大きい場合であって、信号レベルの第 1 のアナログ信号が、信号レベルの第 2 のアナログ信号より大きい場合は、カウンタ値を、前記第 1 の補数変換期間に前記 2 の補数に変換し、前記第 2 の補数変換期間に前記 2 の補数に変換しないと判定し、

黒レベルの第 1 のアナログ信号が、黒レベルの第 2 のアナログ信号より小さい場合であって、信号レベルの第 1 のアナログ信号が、信号レベルの第 2 のアナログ信号より大きい

10

20

30

40

50

場合は、第 1 及び第 2 の補数変換期間にカウンタ値を前記 2 の補数に変換しないと判定し、

黒レベルの第 1 のアナログ信号が、黒レベルの第 2 のアナログ信号より大きい場合であって、信号レベルの第 1 のアナログ信号が、信号レベルの第 2 のアナログ信号より小さい場合は、カウンタ値を、前記第 2 の補数変換期間に前記 2 の補数に変換し、前記第 1 の補数変換期間に前記 2 の補数に変換しないと判定し、

黒レベルの第 1 のアナログ信号が、黒レベルの第 2 のアナログ信号より小さい場合であって、信号レベルの第 1 のアナログ信号が、信号レベルの第 2 のアナログ信号より小さい場合は、前記第 1 の補数変換期間及び第 2 の補数変換期間に、カウンタ値を前記 2 の補数に変換すると判定することを特徴とする固体撮像装置。

10

【請求項 9】

請求項 4 又は 7 に記載の固体撮像装置であって、

前記スイッチ回路は、第 1 トランスファークラックと、第 2 トランスファークラックとを有し、

前記スイッチ回路制御信号は、前記第 1 トランスファークラックに入力される、カウンタ値を前記 1 の補数に変換させる第 1 制御信号と、前記第 1 トランスファークラック及び前記第 2 トランスファークラックのオンオフを制御する第 2 制御信号とを有し、

前記第 2 トランスファークラックには、前記入力信号が入力されることを特徴とする固体撮像装置。

【請求項 10】

20

請求項 1 ~ 9 の何れか 1 項に記載の固体撮像装置であって、

前記第 1 電荷蓄積部と第 2 電荷蓄積部は、異なる単位画素内に設けられていることを特徴とする固体撮像装置。

【請求項 11】

請求項 1 ~ 9 の何れか 1 項に記載の固体撮像装置であって、

前記第 1 電荷蓄積部と第 2 電荷蓄積部は、同一の単位画素内に設けられていることを特徴とする固体撮像装置。

【請求項 12】

請求項 1 ~ 11 の何れか 1 項に記載の固体撮像装置であって、

前記 A/D 変換器は、前記第 1 比較器から出力される信号に応じたパルス列のパルス数をカウントして、デジタル信号に変換する第 2 のカウンタ回路を更に備えることを特徴とする固体撮像装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、測距センサとして機能する固体撮像装置に関する。

【背景技術】

【0002】

従来から、CMOS イメージセンサの分野において、外来ノイズに強い A/D 変換結果を得るカラム ADC 技術が知られている。

40

【0003】

下記に示す特許文献 1 には、増幅型固体撮像素子内に、雑音低減機能付きのアナログデジタル変換器（積分型アナログデジタルコンバータ）を複数個内蔵し、A/D 変換後のデジタル信号をラッチした後で順次選択して出力することが記載されている。

【0004】

また、従来から、被写体に対して光を照射する照射部が照射した光の反射光を受光することで、被写体までの距離を測定する TOF (Time Of Flight) 手法が知られている。このとき、照射した光の反射光を受光する画素には、反射光の他に太陽光などの環境光も一緒に入射するため、受光した反射光及び環境光の電荷量から環境光の電荷量を減算する必要がある。

50

【 0 0 0 5 】

下記に示す特許文献2には、蓄積された複数の電荷同士を差分する固体撮像素子が記載されている。具体的には、画素に受光された電荷を蓄積する複数の電荷蓄積部と、複数のコンデンサとを設け、該複数の電荷蓄積部と該コンデンサとを選択的に導通させることで、コンデンサに複数の電荷蓄積部に蓄積された電荷の差分の電荷を蓄積させる。これにより、コンデンサから複数の電荷蓄積部に蓄積された電荷の差分成分を抽出することができる。

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献1】特開平9 - 238286号公報

【特許文献2】特開2008 - 89346号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、従来のカラムADCの方式では、画素領域で得られるすべての電荷量を全てAD変換し出力していたが、環境光を除去する必要がある測距センサの場合、後段で減算処理工程を行うためには全ての電荷量をAD変換しなければならず、効率的ではなかった。

【 0 0 0 8 】

また、上記特許文献2に記載の技術では、画素に複数のスイッチと差分用のコンデンサを設けるので、画素の高集積化すなわち高解像度化が難しくなる。またスイッチングによる熱雑音(kTCノイズ)の悪影響を受ける可能性がある。

【 0 0 0 9 】

そこで本発明は、係る従来の問題点に鑑みてなされたものであり、光電変換により得られた電荷量の差分演算ができ、かつ高集積化が可能な固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

上記目的を達成するために、本発明は、固体撮像装置であって、測距のための照射光を照射する照射部が光を照射しない状態で、且つ、環境光のみを一定時間受光する第1露光期間の光電変換で得られた電荷を蓄積する第1電荷蓄積部と、前記照射光の反射光及び前記環境光を受光することができる期間を含む前記一定時間の第2露光期間の光電変換で得られた電荷を蓄積する第2電荷蓄積部と、アナログ信号をデジタル信号にAD変換するAD変換器と、を備え、前記AD変換器は、レベルが漸次変化する参照電圧を生成する参照電圧生成部から供給される前記参照電圧と前記第1電荷蓄積部の第1のアナログ信号とを比較することで、該第1のアナログ信号に応じた信号を出力する第1比較器と、前記参照電圧生成部から供給される前記参照電圧と前記第2電荷蓄積部の第2のアナログ信号を比較することで、該第2のアナログ信号に応じた信号を出力する第2比較器と、前記第1のアナログ信号に応じた信号と、前記第2のアナログ信号に応じた信号とを差分して差分信号を出力する差分回路と、前記差分信号に応じたパルス列のパルス数をカウントして、前記差分信号をデジタル信号に変換する第1のカウント回路と、を有することを特徴とする。

【 0 0 1 1 】

前記差分回路は、排他的論理和回路又は位相差検出器であってもよい。

【 0 0 1 2 】

前記第1のアナログ信号及び前記第2のアナログ信号は、黒レベルのアナログ信号及び信号レベルのアナログ信号からなり、前記第1のカウント回路は、前記差分回路が出力する信号に応じたパルス列のパルス数をカウントする複数のフリップフロップ回路と、前記複数のフリップフロップ回路の前段にそれぞれ接続され、自身に輸入される入力信号、口

10

20

30

40

50

ー信号、及びハイ信号のうち、何れか1つを選択して出力信号として後段のフリップフロップ回路のクロック端子にそれぞれ出力する複数のスイッチ回路と、前記入力信号、前記ロー信号、及び前記ハイ信号のうち、何れか1つを選択するように前記スイッチ回路を制御するスイッチ回路制御信号を生成する制御信号生成回路と、カウンタ値を2の補数に変換するための1パルス生成するパルス生成回路と、を有し、前記複数のスイッチ回路のうち、初段のスイッチ回路には、前記差分回路が出力する信号に応じたパルス列が前記入力信号として入力され、前記初段のスイッチ回路以外の他のスイッチ回路には、前段のフリップフロップ回路の反転出力信号が前記入力信号として入力され、前記制御信号生成回路は、前記黒レベルの前記差分信号をデジタル信号に変換する第1AD変換期間及び前記信号レベルの前記差分信号をデジタル信号に変換する第2AD変換期間中は、前記入力信号を出力するように前記複数のスイッチ回路を制御して、前記複数のフリップフロップ回路に、前記差分信号に応じたパルス列のパルス数をアップカウントさせ、前記第1AD変換期間から前記第2AD変換期間に切り替わる期間は、前記複数のスイッチ回路を制御することで、前記ロー信号及び前記ハイ信号を出力させて前記第1AD変換期間にカウントされたカウンタ値を1の補数に変換し、前記パルス生成回路は、前記1の補数の変換後、前記第2AD変換期間に入る前に、生成した前記1パルスを前記初段のスイッチ回路に入力させることで、前記第1AD変換期間中にカウントされたカウンタ値を前記2の補数に変換させてもよい。

10

【0013】

前記第1比較器は、前記参照電圧と前記第1電荷蓄積部の第1のアナログ信号とを比較し、比較結果に基づいて出力する信号を反転し、前記第2比較器は、前記参照電圧と前記第2電荷蓄積部の第2のアナログ信号とを比較し、比較結果に基づいて出力する信号を反転し、前記第2比較器は、前記第1比較器が出力する信号を反転するタイミングより、遅いタイミングで出力する信号を反転してもよい。

20

【0014】

前記参照電圧は、前記第1比較器をオートゼロにするための第1参照レベルと、前記第2比較器をオートゼロにするための前記第1参照レベルとは異なる第2参照レベルとを有し、前記第1比較器は、前記第1参照レベルから第1オフセット電圧を減算したレベルと、前記第1のアナログ信号の黒レベルのアナログ信号から第2オフセット電圧を減算したレベルとが同電位となるようにオートゼロさせており、前記第2比較器は、前記第2参照レベルから第3オフセット電圧を減算したレベルと、前記第2のアナログ信号の黒レベルのアナログ信号から第4オフセット電圧を減算したレベルが同電位となるようにオートゼロさせてもよい。

30

【0015】

前記第1のアナログ信号及び前記第2のアナログ信号は、黒レベルのアナログ信号及び信号レベルのアナログ信号からなり、前記第1のカウンタ回路は、前記差分回路が出力する信号に応じたパルス列のパルス数をカウントする複数のフリップフロップ回路と、前記複数のフリップフロップ回路の前段にそれぞれ接続され、自身に入力される入力信号、ロー信号、及びハイ信号のうち、何れか1つを選択して出力信号として後段のフリップフロップ回路のクロック端子にそれぞれ出力する複数のスイッチ回路と、前記入力信号、前記ロー信号、及び前記ハイ信号のうち、何れか1つを選択するように前記スイッチ回路を制御するスイッチ回路制御信号を生成する制御信号生成回路と、カウンタ値を2の補数に変換するための1パルス生成するパルス生成回路と、を有し、前記複数のスイッチ回路のうち、初段のスイッチ回路には、前記差分回路が出力する信号に応じたパルス列が前記入力信号として入力され、前記初段のスイッチ回路以外の他のスイッチ回路には、前段のフリップフロップ回路の反転出力信号が前記入力信号として入力され、前記AD変換器は、前記第1のアナログ信号と前記第2のアナログ信号とを比較する第3比較器と、前記第3比較器の比較結果に基づいて、前記黒レベルの前記差分信号をデジタル信号に変換する第1AD変換期間から前記信号レベルの前記差分信号をデジタル信号に変換する第2AD変換期間に切り替わる第1の補数変換期間及び前記第2AD変換期間終了後の第2の補数変

40

50

換期間にカウンタ値を前記2の補数に変換するか否かを判定する判定回路と、前記判定回路の判定結果に基づいて、前記制御信号生成回路及び前記パルス生成回路を制御して、カウンタ値の前記2の補数変換の実行、非実行を制御する補数制御回路と、を有し、前記補数制御回路は、前記制御信号生成回路に、前記複数のスイッチ回路が前記入力信号を出力するように制御させて、前記複数のフリップフロップ回路に前記差分信号に応じたパルス列のパルス数をアップカウントさせ、カウンタ値を前記2の補数に変換させると判定した前記補数変換期間には、前記制御信号生成回路に、前記複数のスイッチ回路が前記ロー信号及び前記ハイ信号を出力するように制御させて、カウントされたカウンタ値を1の補数に変換し、1の補数の変換後、前記入力信号を出力するように前記複数のスイッチ回路を制御させるとともに、前記1パルスを生成して初段のスイッチ回路に入力するように前記パルス生成回路を制御してもよい。

10

【0016】

前記判定回路は、黒レベルの第1のアナログ信号が、黒レベルの第2のアナログ信号より大きい場合であって、信号レベルの第1のアナログ信号が、信号レベルの第2のアナログ信号より大きい場合は、カウンタ値を、前記第1の補数変換期間に前記2の補数に変換し、前記第2の補数変換期間に前記2の補数に変換しないと判定し、黒レベルの第1のアナログ信号が、黒レベルの第2のアナログ信号より小さい場合であって、信号レベルの第1のアナログ信号が、信号レベルの第2のアナログ信号より大きい場合は、第1及び第2の補数変換期間にカウンタ値を前記2の補数に変換しないと判定し、黒レベルの第1のアナログ信号が、黒レベルの第2のアナログ信号より大きい場合であって、信号レベルの第1のアナログ信号が、信号レベルの第2のアナログ信号より小さい場合は、カウンタ値を、前記第2の補数変換期間に前記2の補数に変換し、前記第1の補数変換期間に前記2の補数に変換しないと判定し、黒レベルの第1のアナログ信号が、黒レベルの第2のアナログ信号より小さい場合であって、信号レベルの第1のアナログ信号が、信号レベルの第2のアナログ信号より小さい場合は、前記第1の補数変換期間及び第2の補数変換期間に、カウンタ値を前記2の補数に変換すると判定してもよい。

20

【0017】

前記スイッチ回路は、第1トランスファークラックと、第2トランスファークラックとを有し、前記スイッチ回路制御信号は、前記第1トランスファークラックに入力される、カウンタ値を前記1の補数に変換させる第1制御信号と、前記第1トランスファークラック及び前記第2トランスファークラックのオンオフを制御する第2制御信号とを有し、前記第2トランスファークラックには、前記入力信号が入力されてもよい。

30

【0018】

前記第1電荷蓄積部と第2電荷蓄積部は、異なる単位画素内に設けられていてもよい。

【0019】

前記第1電荷蓄積部と第2電荷蓄積部は、同一の単位画素内に設けられていてもよい。

【0020】

前記AD変換器は、前記第1比較器から出力される信号に応じたパルス列のパルス数をカウントして、デジタル信号に変換する第2のカウンタ回路を更に備えてもよい。

【発明の効果】

40

【0021】

本願発明によれば、AD変換器で、第2露光期間に画素に入射した光量を示すアナログ信号から、第1露光期間に画素に入射した光量を示すアナログ信号を減算するので、第2露光期間に画素に入射した光量を示すアナログ信号 - 第1露光期間に画素に入射した光量を示すアナログ信号を示すデジタル値を得ることができる。すなわち、異なる電荷蓄積部に蓄積された電荷量同士の差分演算を、AD変換の際に行うことができるので、カウンタの削減、消費電力の削減、および、ノイズの削減ができる。

【0022】

第2比較器は、第1比較器が出力する信号を反転させるタイミングより遅いタイミングで信号を反転させるので、第2露光期間に画素に入射した光量を示すアナログ信号 - 第1

50

露光期間に画素に入射した光量を示すアナログ信号の差分信号を確実に算出することができ、差分信号を示すデジタル値を得ることができる。

【0023】

また、複数のフリップフロップ回路でカウントされたカウンタ値を1の補数、2の補数に変換することで、アップカウントのみを行うカウンタ回路を、アップダウンカウントするカウンタ回路として機能させることができる。また、カウンタ回路をアップカウントのみとしたので、回路動作が簡易になり、スイッチ回路の構成を簡易化することができ、カウンタ回路の実装面積を小さくすることができる。また、カウンタ値を2の補数で表現するので、デジタル論理回路で扱い易くなり、複数の画素値をカウンタ加算する場合でも、対応することができる。

10

【0024】

また、第1のアナログ信号と第2のアナログ信号とを比較し、該比較結果に基づいて第1の補数変換期間、第2の補数変換期間でカウンタ値を2の補数に変換するか否かを判定し、該判定結果に基づいて2の補数変換の実行、非実行を制御するので、黒レベルの第2のアナログ信号が、黒レベルの第1のアナログ信号よりレベルが高い場合でも、信号レベルの第2のアナログ信号が、黒レベルの第1のアナログ信号よりレベルが高い場合でも、第2露光期間に画素に入射した光量を示すアナログ信号 - 第1露光期間に画素に入射した光量を示すアナログ信号の差分信号を確実に算出することができ、該差分信号のデジタル値を得ることができる。

【図面の簡単な説明】

20

【0025】

【図1】TOFの原理を説明するための図である。

【図2】画素のスイッチング素子に送られる信号にタイミングチャートを示す図である。

【図3】図2に示す画素リセットのタイミングt1における画素の回路状態図及びポテンシャル図である。

【図4】図2に示す露光のタイミングt2における画素の回路状態図及びポテンシャル図である。

【図5】図2に示すFDリセットのタイミングt3における画素の回路状態図及びポテンシャル図である。

【図6】図2に示す黒レベル読み出し期間のタイミングt4における画素の回路状態図及びポテンシャル図である。

30

【図7】図2に示す画素読み出し期間のタイミングt5における画素の回路状態図及びポテンシャル図である。

【図8】本実施の形態の固体撮像装置の構成を示す図である。

【図9】図8に示すカウンタ装置の構成を示すブロック図である。

【図10】図9で示したスイッチ回路の回路構成の一例を示す図である。

【図11】スイッチ回路制御信号BRによってスイッチ回路から出力される信号Outの波形を示す図である。

【図12】図9で示したカウンタ回路の動作を説明するためのタイミングチャート図である。

40

【図13】複数のカウンタ回路が並列に配置された様子の一例を示す図である。

【図14】図8に示す固体撮像装置の動作の一例を示すタイムチャートである。

【図15】図8に示す固体撮像装置の動作の他の例を示すタイムチャートである。

【図16】図8に示す第1比較器の構成を示す図である。

【図17】第1比較器及び第2比較器の動作を示すタイムチャートである。

【図18】異なるレベルでオートゼロにされる第1比較器及び第2比較器の動作を示すタイムチャートである。

【図19】変形例1のAD変換器の構成を示す図である。

【図20】図19に示す判定回路の構成を示す図である。

【図21】比較結果信号と判定信号の真理値表を示す図である。

50

【図 2 2】変形例 1 における固体撮像装置の動作の一例を示すタイムチャートである。

【図 2 3】変形例 1 における固体撮像装置の動作の一例を示すタイムチャートである。

【図 2 4】変形例 1 における固体撮像装置の動作の一例を示すタイムチャートである。

【図 2 5】変形例 1 における固体撮像装置の動作の一例を示すタイムチャートである。

【図 2 6】変形例 2 の画素の構成を示す図である。

【図 2 7】変形例 2 の固体撮像装置の構成を示す図である。

【図 2 8】変形例 3 の固体撮像装置の構成を示す図である。

【図 2 9】変形例 3 の固体撮像装置の他の構成を示す図である。

【図 3 0】変形例 4 の固体撮像装置の構成を示す図である。

【図 3 1】変形例 4 の固体撮像装置の他の構成を示す図である。

10

【図 3 2】図 9 の制御信号生成回路を示す回路図である。

【図 3 3】図 3 2 の制御信号生成回路から出力される第 1 制御信号 B R 0 及び第 2 制御信号 B R 1 の波形を示す図である。

【発明を実施するための形態】

【0026】

本発明に係る固体撮像装置について、好適な実施の形態を掲げ、添付の図面を参照しながら以下、詳細に説明する。

【0027】

まず、実施の形態の固体撮像装置を説明する前に、図 1 を用いて T O F の原理を簡単に説明する。光（例えば、レーザー光）を被写体に照射する図示しない照射部が光を照射しない状態で、且つ、環境光のみを一定時間（ T_{sense} ）受光する第 1 露光期間のときに、図示しない画素が有する受光部は、入射光に応じて光電変換を行い、電子（電荷）を生成し、画素が有する電荷蓄積部は、第 1 露光期間に発生した電子を取り込む。ここでは、第 1 露光期間は 2 回あり、それぞれの第 1 露光期間で画素は光電変換し、発生した電子を電荷蓄積部に取り込む。1 回目の第 1 露光期間に前記画素に入射する光量を Q_{CB} とし、2 回目の第 1 露光期間に前記画素に入射する光量を Q_{CA} とする。

20

【0028】

また、前記照射部から照射された光の前記反射光を受光する期間を有する第 2 露光期間のときに、前記した受光部は、入射光に応じて光電変換を行い、電子（電荷）を生成し、前記した電荷蓄積部は、第 2 露光期間に発生した電子を取り込む。ここでは、前記画素は、照射部が光を照射している状態で、且つ、前記照射部から照射された光の反射光及び環境光を一定時間（ T_{sense} ）受光する 1 回目の第 2 露光期間と、前記照射部が光の照射を終了してから一定時間（ T_{sense} ）光を受光する 2 回目の第 2 露光期間とで光電変換を行う。1 回目の第 2 露光期間に前記画素に入射した光量を Q_B とし、2 回目の第 2 露光期間に前記画素に入射した光量を Q_A とする。なお、 I_{laser} は、前記照射された光の反射光の強度を示し、 I_{back} は、環境光の強度を示す。

30

【0029】

したがって、 $Q_A - Q_{CA} = I_{laser} \times T_{delay}$ 、 $Q_B - Q_{CB} = I_{laser} \times T_{sense}$ の関係式が成り立つ。 T_{delay} は、照射した光が被写体に反射して戻ってくるまでの時間である。

【0030】

上述した式から、 $T_{delay} = T_{sense} \times (Q_A - Q_{CA}) / (Q_B - Q_{CB})$ の関係式が導き出せ、被写体までの距離 Z は、 $Z = c \times T_{delay} / 2 = c \times T_{sense} \times (Q_A - Q_{CA}) / 2 (Q_B - Q_{CB})$ となる。ここで c は光速である。したがって、被写体までの距離を求めるためには、環境光を除去しなければならず、 $Q_A - Q_{CA}$ 、 $Q_B - Q_{CB}$ を示す情報が必要となる。

40

【0031】

次に、一般的な画素の基本的な動作について簡単に説明する。図 2 は、画素のスイッチング素子に送られる信号のタイミングチャートを示す図であり、図 3 ~ 図 7 は、図 2 のタイミングチャートに示すタイミング t_1 ~ タイミング t_5 における画素の回路状態図及びポテンシャル図である。

50

【 0 0 3 2 】

画素10は、光電変換素子12、第1スイッチング素子SW1、FD（フローティングディフュージョン）14、第2スイッチング素子SW2、電荷排出部16、画素アンプ18とを有する。

【 0 0 3 3 】

光を電荷（電子）に変換する光電変換素子12とFD（電荷保持部）14とは、第1スイッチング素子SW1を介して接続されている。第1スイッチング素子SW1は、例えば、nチャネル型MOSトランジスタで構成されている。第1スイッチング素子SW1に画素電荷転送信号を供給することで、第1スイッチング素子SW1のオン・オフを選択的に制御することができる。第1スイッチング素子SW1をオンにすることで、光電変換素子12に蓄積された電荷をFD14に転送することができる。

10

【 0 0 3 4 】

FD14と電荷排出部16とは、第2スイッチング素子SW2を介して接続され、電荷排出部16には、図示しない電源から正の電源電圧VDDが供給されている。第2スイッチング素子SW2は、例えば、nチャネル型MOSトランジスタで構成されており、第2スイッチング素子SW2に画素リセット信号を供給することで、第2スイッチング素子SW2のオン・オフを選択的に制御することができる。第2スイッチング素子SW2をオンにすることで、FD14に存在する電荷を、電荷排出部16を通じて排出することができる。

【 0 0 3 5 】

また、第1スイッチング素子SW1及び第2スイッチング素子SW2をオンにすることで、光電変換素子12及びFD14に存在する電荷を排出する（吐き捨てる）ことができる。これにより、画素10をリセットすることができる。第1スイッチング素子SW1、第2スイッチング素子SW2、及び電荷排出部16は、リセット部として機能する。

20

【 0 0 3 6 】

画素アンプ18は、垂直信号線に接続されており、画素アンプ18によりFD14の電圧を表す信号（アナログ信号）が垂直信号線20から読み出される。

【 0 0 3 7 】

図3は、図2に示す画素リセットのタイミングA時における画素10の回路状態図及びポテンシャル図である。タイミングA時には、High(1)の画素リセット信号が第2スイッチング素子SW2に、High(1)の画素電荷転送信号が第1スイッチング素子SW1に供給されるので、第1スイッチング素子SW1及び第2スイッチング素子SW2はオン状態となる。したがって、回路状態図の下に示されたポテンシャル図を見るとわかるように、光電変換素子12に蓄積されている電荷と、FD14に存在する電荷は、電荷排出部16から排出され、画素10がリセットされる。

30

【 0 0 3 8 】

図4は、図2のタイミングB時における画素10の回路状態図及びポテンシャル図である。タイミングB時には、第1スイッチング素子SW1及び第2スイッチング素子SW2には、Highの信号が供給されていないで(Low(0)の信号が供給されているので)、第1スイッチング素子SW1及び第2スイッチング素子SW2は共にオフとなる。回路状態図の下に示されたポテンシャル図を見るとわかるように、光電変換素子12とFD14との間、及び、FD14と電荷排出部16との間に電位障壁ができていのがわかる。光電変換素子12とFD14との間の電位障壁により、光電変換素子12に光電変換した電荷が蓄積される。

40

【 0 0 3 9 】

図5は、図2に示すFDリセットのタイミングC時における画素10の回路状態図及びポテンシャル図である。タイミングC時には、第1スイッチング素子SW1にはLowの画素電荷転送信号が供給され、第2スイッチング素子SW2にHighの画素リセット信号が供給されているので、第1スイッチング素子SW1はオフ、第2スイッチング素子SW2はオンとなる。これにより、ポテンシャル図を見るとわかるように、FD14に存在

50

する電荷が電荷排出部 16 から排出される。ここで、FD 14 の電荷を排出する理由は、光電変換素子 12 に蓄積された電荷を FD 14 に転送するので、その転送前に FD 14 に存在する電荷をリセットするためである。黒レベルの電圧信号とは、リセットされた画素の電圧信号のことをいい、詳しくは、リセットされた FD 14 の電圧を示す信号のことをいう。

【0040】

図 6 は、図 2 に示す黒レベル読み出し期間のタイミング D 時における画素 10 の回路状態図及びポテンシャル図である。タイミング D 時には、第 1 スイッチング素子 SW 1 及び第 2 スイッチング素子 SW 2 には、Low の信号が供給されているので、第 1 スイッチング素子 SW 1 及び第 2 スイッチング素子 SW 2 はオフとなる。ポテンシャル図を見るとわかるように、光電変換素子 12 と FD 14 との間、及び、FD 14 と電荷排出部 16 との間に電位障壁ができる。このタイミング D において、FD 14 のアナログ信号（例えば、電圧信号）、つまり、黒レベルのアナログ信号が垂直信号線 20 から読み出される。

10

【0041】

図 7 は、図 2 に示すタイミング E 時における画素 10 の回路状態図及びポテンシャル図である。タイミング E 時には、第 1 スイッチング素子 SW 1 に High の画素電荷転送信号が供給され、第 2 スイッチング素子 SW 2 には Low の画素リセット信号が供給されているので、第 1 スイッチング素子 SW 1 はオンになり、第 2 スイッチング素子 SW 2 はオフになる。ポテンシャル図を見るとわかるように、光電変換素子 12 に蓄積された電荷は FD 14 に転送される。

20

【0042】

その後、第 1 スイッチング素子 SW 1 はオフになり、FD 14 のアナログ信号（例えば、電圧信号）、つまり、光電変換により得られた画素のアナログ信号（信号レベルのアナログ信号）が垂直信号線 20 から読み出される。

【0043】

以上が一般的な画素の動作の説明であるが、本実施の形態での画素は、電荷蓄積部を備えてもよい。この場合は、光電変換素子 12 が光電変換した電荷は電荷蓄積部に蓄積され、その後 FD 14 に転送されて蓄積された電荷量を示すアナログ信号が垂直信号線 20 を介して読み出される。

30

【0044】

次に、図 8 を用いて本実施の形態の固体撮像装置 30 の構成を説明する。固体撮像装置 30 は、マトリクス状に配列された複数の単位画素 10 を有する画素アレイ 32 と、画素アレイ 32 の画素 10 を駆動させる V ドライバ 34 と、前記画素 10 の電荷蓄積部（FD 14）のアナログ信号 VQ_A 、 VQ_{CA} 、 VQ_B 、 VQ_{CB} を複数の AD 変換器 36 に出力する垂直信号線 38、40、42、44 と、スイッチ 46 を介して複数の AD 変換器 36 に接続される水平転送線 48 と、水平転送線 48 の一端に接続された出力回路 50 とを備える。

【0045】

AD 変換器 36 は、第 1 比較器 60、第 2 比較器 62、差分回路 64、アンド回路 66、及びカウンタ回路 68 を有する。固体撮像装置 30 は、レベルが漸次変化する参照電圧（ V_{ref} ）を生成する参照電圧生成部 52 を有し、参照電圧生成部 52 は、生成した参照電圧を第 1 比較器 60 及び第 2 比較器 62 の + 端子に出力する。参照電圧は、初期レベルから鋸歯（ランプ：RAMP）状となるように段階的に時間変化させた電圧である。

40

【0046】

測距のための照射光を照射する前記照射部が光を照射しない状態で、且つ、環境光のみを一定時間受光する前記第 1 露光期間に得られた第 1 画素 10 a、10 b のアナログ信号（第 1 のアナログ信号） VQ_{CA} 、 VQ_{CB} は、垂直信号線 40、44 を介して AD 変換器 36 の第 1 比較器 60 の - 端子に入力される。第 1 画素 10 a、10 b は、第 1 露光期間の光電変換電子を出力する。

【0047】

50

前記照射部が照射した光の反射光及び環境光を受光することができる期間を含む一定時間受光する前記第2露光期間に得られた第2画素10c、dのアナログ信号(第2のアナログ信号) VQ_A 、 VQ_B は、垂直信号線38、42を介して、AD変換器36の第2比較器62の-端子に入力される。第1画素10c、10dは、第1露光期間の光電変換電子を出力する。

【0048】

垂直信号線38に接続される第2画素10cは、前記照射部が光照射直後の第2露光期間の光電変換電子を出力する。該第2露光期間に得られた第2画素10cの第2のアナログ信号 VQ_A は、垂直信号線38を介して、第1のアナログ信号 VQ_{CA} が入力されるAD変換器36の第2比較器62の-端子に入力される。

10

【0049】

また、垂直信号線42に接続される第2画素10dは、前記照射部が光を照射している状態の第2露光期間の光電変換電子を出力する。該第2露光期間に得られた第2画素10dの第2のアナログ信号 VQ_B は、垂直信号線42を介して、第1のアナログ信号 VQ_{CB} が入力されるAD変換器36の第2比較器62の-端子に入力される。

【0050】

第1比較器60は、参照電圧と第1画素10aの第1のアナログ信号 VQ_{CA} 、又は、第1画素10bの第2のアナログ信号 VQ_{CB} とを比較することで、第1のアナログ信号 VQ_{CA} 、又は第1のアナログ信号 VQ_{CB} に応じて、1/0が反転する信号を出力する。

【0051】

第2比較器62は、参照電圧と、第2画素10cの第2のアナログ信号 VQ_A 又は第2画素10dの第2のアナログ信号 VQ_B とを比較することで、第2のアナログ信号 VQ_A 、又は第2のアナログ信号 VQ_B に応じて、1/0が反転する信号を出力する。

20

【0052】

差分回路64は、排他的論理和回路(EXOR回路)であり、第1比較器60から出力された第1のアナログ信号 VQ_{CA} 、又は、第1のアナログ信号 VQ_{CB} に応じた信号と、第2比較器62から出力された第2のアナログ信号 VQ_A 、又は第2のアナログ信号 VQ_B に応じた信号とを差分して差分信号を出力する。差分回路64により、第1のアナログ信号 VQ_{CA} と、第2のアナログ信号 VQ_A との差分信号、又は、第1のアナログ信号 VQ_{CB} と、第2のアナログ信号 VQ_B との差分信号が出力されることになる。なお、差分回路64は、位相差検出器であってもよい。

30

【0053】

差分回路64から出力される差分信号は、アンド回路66に入力される。また、アンド回路66には、クロック信号(パルス列)が入力される。クロック信号は、基準クロック信号であってもよく、基準クロック信号から生成されたクロック信号であってもよい。アンド回路66は、差分回路64から出力される差分信号がHighの期間だけ、入力されたクロック信号をカウンタ回路68に出力する。これにより、差分信号に応じたパルス列がカウンタ回路68に出力される。

【0054】

カウンタ回路68は、アンド回路66から出力されたパルス列のパルス数をカウントする。第1のアナログ信号 VQ_{CA} 、 VQ_{CB} 及び第2のアナログ信号 VQ_A 、 VQ_B は、黒レベルのアナログ信号と、信号レベルのアナログ信号を有するので、差分信号も黒レベルの差分信号と、信号レベルの差分信号とを有する。画素本来の信号は、「黒レベル+信号レベル」なので、カウンタ回路68は、黒レベルの差分信号に応じたパルス列のパルス数のカウンタ値と、信号レベルの差分信号に応じたパルス列のパルス数のカウンタ値とを減算処理することで、第2画素10c又は10d本来の信号から、第1画素10a又は10b本来の信号を減算した差分信号を得ることができる。

40

【0055】

本実施の形態のカウンタ回路68は、アップカウントのみを行うことで、アップダウンカウントが可能なカウンタ回路である。カウンタ回路68がカウントしたカウンタ値(デ

50

ジタル値)は、スイッチ46を介して水平転送線48に転送され、水平転送線48は、カウンタ回路68から送られてきたデジタル値は、出力回路50から出力される。

【0056】

次に、図9を用いて、図8に示すカウンタ回路68の構成を説明する。カウンタ回路68は、ビット反転機能付き非同期カウンタ回路である。カウンタ回路68は、複数のフリップフロップ回路(ポジティブエッジ型)70と、複数のスイッチ回路72、制御信号生成回路74、及びパルス生成回路76を備える。

【0057】

複数のフリップフロップ回路70は、カウンタ回路68に入力されたパルス列のパルス数をアップカウントする。複数のスイッチ回路72と複数のフリップフロップ回路70とは交互に接続される。複数のフリップフロップ回路70は、D型フリップフロップ回路であってよい。複数のフリップフロップ回路70は、スイッチ回路72を介してカスケード接続されている。フリップフロップ回路70は、反転出力端子Qバーの出力が自身の入力端子Dに入力されるように接続されている。フリップフロップ回路70の反転出力端子Qバーからの出力信号は、後続のスイッチ回路72に入力される。

【0058】

それぞれのフリップフロップ回路70の出力端子Qからの出力信号は、カウンタ値の1ビット分を構成する。ここでは、初段のフリップフロップ回路70の出力端子Qからの出力信号をQ0、次段のフリップフロップ回路70の出力端子Qからの出力信号をQ1、3段のフリップフロップ回路70の出力端子Qからの出力信号をQ2、最終段のフリップフロップ回路70の出力端子Qからの出力信号をQ3とする。

【0059】

フリップフロップ回路70及びスイッチ回路72の数は、カウントしたいビット数だけ設けられる。図9では、フリップフロップ回路70及びスイッチ回路72は4段階構成となっているので、4ビットとなる。なお、最終段のフリップフロップ回路70は、符号ビットとしても機能する。

【0060】

複数のスイッチ回路72は、複数のフリップフロップ回路70の前段にそれぞれ接続される。スイッチ回路72は、自身に入力される入力信号In、Low信号(0)、High信号(1)のうち、何れか1つを選択して出力信号Outとして出力する。スイッチ回路72から出力される出力信号Outは、後続のフリップフロップ回路70のクロック端子CKに入力される。初段のスイッチ回路72には、カウントすべきパルス列が入力信号Inとして入力され、初段のスイッチ回路72以外のスイッチ回路72には、前段のフリップフロップの反転出力端子Qバーからの信号が入力信号として入力される。スイッチ回路72は、2-1セレクタ回路である。スイッチ回路72の構成については後述する。

【0061】

制御信号生成回路74は、入力信号In、Low(ロー)信号、及びHigh(ハイ)信号のうち、何れか1つを選択するようにスイッチ回路72を制御するスイッチ回路制御信号BRを生成する。制御信号生成回路74は、基準クロック信号又は基準クロック信号から生成されたクロック信号を用いて、スイッチ回路制御信号BRを生成する。複数のスイッチ回路72は、制御信号生成回路74が生成したスイッチ回路制御信号BRにしたがって、入力信号In、Low信号、及びHigh信号のうち、何れか1つを選択し、該選択した信号を出力信号Outとして出力する。

【0062】

複数のスイッチ回路72が、入力信号Inを出力信号Outとして、出力している場合は、複数のフリップフロップ回路70は、初段のスイッチ回路72に入力されたパルス列のパルス数をカウントしている状態となる。その後、制御信号生成回路がLow信号を出力するように複数のスイッチ回路72を制御した後、High信号に出力するように複数のスイッチ回路72を制御すると、複数のフリップフロップ回路70がカウントしたカウンタ値が1の補数に変換される。つまり、カウントしたカウンタ値の1の補数がフリップ

10

20

30

40

50

フリップ回路 70 に記憶される。

【0063】

パルス生成回路 76 は、複数のフリップフリップ回路 70 でカウントされたカウンタ値を 2 の補数に変換するための 1 パルスを生成して、初段のスイッチ回路 72 に入力する。この 1 パルスは、1 の補数に変換後、再びスイッチ回路 72 が入力信号 *I_n* を出力信号 *O_ut* として出力する状態となった後に、初段のスイッチ回路 72 に入力されることで、2 の補数に変換される。つまり、2 の補数がフリップフリップ回路 70 に記憶される。

【0064】

図 10 は、図 9 で示したスイッチ回路 72 の回路構成の一例を示す図である。スイッチ回路 72 は、上述したように、入力信号 *I_n*、*L_ow* 信号 (0)、*H_ig_h* 信号 (1) のうち、何れか 1 つを選択して出力することから、3 - 1 セレクタとして機能する。しかし、構成は、2 - 1 セレクタ回路である。したがって、回路がシンプルで、チップ占有面積を小さくすることができる。スイッチ回路 72 は、第 1 トランスファークゲート 80、及び第 2 トランスファークゲート 82 を有する。スイッチ回路制御信号 *B_R* は、第 1 トランスファークゲート 80 に入力され、複数のフリップフリップ回路 70 のカウンタ値を 1 の補数に変換させる第 1 制御信号 *B_R0* と、第 1 トランスファークゲート 80 及び第 2 トランスファークゲート 82 のオン・オフを制御する第 2 制御信号 *B_R1* とを有する。第 1 トランスファークゲート 80 及び第 2 トランスファークゲート 82 は、第 2 制御信号 *B_R1* が印加されることで、オン・オフが互いに逆になる。例えば、第 1 トランスファークゲート 80 がオンの場合は、第 2 トランスファークゲート 82 はオフになる。第 2 トランスファークゲート 82 には、入力信号 *I_n* が入力される。

【0065】

第 1 トランスファークゲート 80 及び第 2 トランスファークゲート 82 は、*N* チャネル型のトランジスタ *N* と *P* チャネル型のトランジスタ *P* とからなる *C_MO_S* スイッチで構成される。第 1 トランスファークゲート 80 のトランジスタ *N*、及び、第 2 トランスファークゲート 82 のトランジスタ *P* の各ゲートに、第 2 制御信号 *B_R1* が直接印加される。また、第 1 トランスファークゲート 80 のトランジスタ *P*、及び、第 2 トランスファークゲート 82 のトランジスタ *N* の各ゲートに、第 2 制御信号 *B_R1* を反転させた信号が直接印加される。これにより、第 1 トランスファークゲート及び第 2 トランスファークゲートのオン・オフが互いに逆になる。この第 1 制御信号 *B_R0* 及び第 2 制御信号 *B_R1* によって、スイッチ回路 72 から出力される出力信号 *O_ut* が制御される。

【0066】

図 11 は、スイッチ回路制御信号 *B_R* によってスイッチ回路 72 から出力される信号 *O_ut* の波形を示す図である。ここで、第 1 制御信号 *B_R0* 及び第 2 制御信号 *B_R1* が *L_ow* の場合は、第 1 トランスファークゲート 80 がオフ、第 2 トランスファークゲート 82 がオンとなり、第 2 トランスファークゲート 82 に入力信号 *I_n* が入力されている場合は、該入力信号 *I_n* が出力信号 *O_ut* としてそのまま出力される。ここでは、第 1 制御信号 *B_R0* 及び第 2 制御信号 *B_R1* が *L_ow* の状態を状態 a と呼ぶ。

【0067】

状態 a のときは、スイッチ回路制御信号 *B_R* によって、それぞれのスイッチ回路 72 から、後続するフリップフリップ回路 70 のクロック端子 *C_K* に入力信号 *I_n* がそれぞれ入力可能な状態となる。

【0068】

次に、第 1 制御信号 *B_R0* が *L_ow* の状態のまま、第 2 制御信号 *B_R1* が *H_ig_h* となる。この場合は、第 1 トランスファークゲート 80 がオン、第 2 トランスファークゲート 82 がオフとなるので、第 1 トランスファークゲート 80 に入力された第 1 制御信号 *B_R0* がスイッチ回路 72 の出力信号 *O_ut* として出力される。第 1 トランスファークゲート 80 に入力される第 1 制御信号 *B_R0* は、*L_ow* なので、出力信号 *O_ut* は *L_ow* となる。ここでは、第 1 制御信号 *B_R0* が *L_ow*、第 2 制御信号 *B_R1* が *H_ig_h* の状態を状態 b と呼ぶ。状態 b のときは、スイッチ回路制御信号 *B_R* によって、それぞれのスイッチ回路 72 か

10

20

30

40

50

ら、後続するフリップフロップ回路70のクロック端子CKにLowの出力信号Outがそれぞれ入力される。

【0069】

次に、第2制御信号BR1がHighのまま、第1制御信号BR0がHighとなる。この場合は、第1トランスファークラック80がオン、第2トランスファークラック82がオフのままであり、第1トランスファークラック80に入力される第1制御信号BR0がスイッチ回路72の出力信号Outとして出力される。第1トランスファークラック80に入力される第1制御信号BR0は、Highなので、出力信号OutはHighとなる。ここでは、第1制御信号BR0及び第2制御信号BR1がHighの状態を状態cと呼ぶ。状態cのときは、スイッチ回路制御信号BRによって、それぞれのスイッチ回路72から、後続するフリップフロップ回路70のクロック端子CKにHighの出力信号Outがそれぞれ入力される。スイッチ回路72の出力信号Outは、状態bから状態cに切り替わるときに、LowからHighに切り替わるので、各フリップフロップ回路70の状態値を反転させることができる。つまり、1の補数に変換される。

10

【0070】

スイッチ回路72は、状態a、状態b、状態cのように遷移していき、再び状態aに戻る。状態cから状態aに戻るときには、出力信号Outのハザードを防止するために、第1制御信号BR0をHighからLowにするタイミングを、第2制御信号BR1がHighからLowにするタイミングより遅らせる。

【0071】

20

このように、スイッチ回路72は、2-1セレクタの回路であるが、スイッチ回路制御信号により、3-1セレクタの機能を実現することができる。

【0072】

図12は、図9で示したカウンタ回路68の動作を説明するためのタイミングチャート図である。図12では、黒レベルの差分信号に応じたパルス列(第1のパルス列)と、信号レベルの差分信号に応じたパルス列(第2のパルス列)が、初段のスイッチ回路72に入力される場合を例にして説明する。第1のパルス列は、ダウンカウントの対象となるパルス列である。また、第2のパルス列は、アップカウントの対象となるパルス列である。

【0073】

第1のパルス列のパルス数をカウントする黒レベルカウント期間は、スイッチ回路制御信号BRによりスイッチ回路72が状態aにされる。第1のパルス列が初段にスイッチ回路72に入力される。なお、カウンタ回路68は、第1パルス列のパルス数をカウントする前に、出力端子Qから出力される信号がLowとなるように初期化される。つまり、全てのフリップフロップ回路70をリセットして出力端子Qを「0」に設定する。

30

【0074】

第1のパルス列が初段のスイッチ回路72に入力されると、第1のパルス列のパルス数がカウンタ回路68によってカウントされる。例えば、パルスが1つ入力されると、出力信号Q0の値が「1」、出力信号Q1、Q2、及びQ3の値が「0」となるので、カウンタ値は、「0001」(1)、となる。また、パルスがさらに入力されていくと、カウンタ値は、「0010」(2)、「0011」(3)、「0100」(4)、という具合にアップカウントされていく。カウンタ値の後に括弧書きで示す値は、十進法で表したカウンタ値となる。

40

【0075】

黒レベルカウント期間が経過すると、スイッチ回路制御信号BRによって、スイッチ回路72を状態bにしてから、状態cにすると、それぞれのフリップフロップ回路70に保持されている状態値が反転する。つまり、現在のカウンタ値の1の補数に変換される。カウンタ値が、「0100」、となった後に状態値を反転させているので、反転後のカウンタ値は、「1011」(11)、となる。しかし、最終段のフリップフロップ回路70は、符号ビットとしても機能し、出力信号Q3の値が「0」のときはプラスを示し、「1」の時はマイナスを示すので、カウンタ値「1011」を2の補数表現として十進法で示す

50

と、- 5となる。

【0076】

そして、1の補数への変換後、スイッチ回路制御信号BRによって、スイッチ回路72は状態aにされる。パルス生成回路76は、信号レベルカウント期間に入る前に（前記第2のパルス列が入力される前に）、生成した1パルスを初段のスイッチ回路72に入力する。これにより、黒レベルカウント期間にカウントされたカウンタ値が2の補数に変換される。この1パルスが初段のスイッチ回路72に入力されることで、カウンタ値が1の補数である‘1011’に1を加算した値になる。つまり、黒レベルカウント期間にカウントしたカウンタ値を2の補数に変換することになる。2の補数に変換された後の値は、‘1100’（-4）となる。その後、第2のパルス列が初段のスイッチ回路72に入力されることで、第2のパルス列のパルス数を-4からカウントすることになる。

10

【0077】

このように、第1のパルス列のパルス数をカウントしたカウンタ値の1の補数を取ってから、2の補数をとることで、第1のパルス列のパルス数をアップカウントしても、結果的に第1のパルス列のパルス数をダウンカウントしたのと同じ結果となる。したがって、「-黒レベルの差分信号+信号レベルの差分信号」となる。

【0078】

なお、最終段のフリップフロップ回路70は、符号ビットとして機能するので、カウントできる最大ビット数は、最終段のフリップフロップ回路70を除いたフリップフロップ回路70の数となる。したがって、カウントする値に応じて、フリップフロップ回路70の数を変えることは言うまでもない。また、フリップフロップ回路70がネガティブエッジ型の場合は、図11に示す第1制御信号BR0の波形を反転した波形が第1制御信号BR0として第1トランスファークロップ回路80に入力される。このように、フリップフロップ回路70の構成に応じて、スイッチ回路72が出力する信号は適宜変更可能である。つまり、黒レベルカウント期間から信号レベルカウント期間に切り替わるときに、カウンタ値を2の補数に変換すればよい。

20

【0079】

図13は、複数のカウンタ回路68が並列に配置された様子の一例を示す図である。複数のカウンタ回路68は、例えば、撮像素子の画素の列毎に配置される。図13を見るとわかるように、ビット数が多いカウンタ回路68を複数配置する場合、スイッチ回路72の素子数を少なくすれば、カウンタ回路68の実装面積をかなり小さくすることができる。本実施形態では、2-1セレクタ回路で構成されたスイッチ回路72を、3-1セレクタとして機能させるので、3-1セレクタ回路を用いるより、スイッチ回路72の素子数を少なくすることができ、カウンタ回路68の実装面積を小さくすることができる。なお、図13では、制御信号生成回路74及びパルス生成回路76は、省略している。また、フリップフロップ回路70に入力されるrstは、リセット信号である。このリセット信号によりフリップフロップ回路70は、初期化されて、値が‘0’となる。

30

【0080】

複数のフリップフロップ回路70でカウントされたカウンタ値を1の補数、2の補数に変換することで、アップカウントのみを行うカウンタ回路68を、アップダウンカウントするカウンタ回路として機能させることができる。また、カウンタ回路68をアップカウントのみとしたので、回路動作が簡易になり、スイッチ回路72の構成を簡易化することができ、カウンタ回路68の実装面積を小さくすることができる。また、カウンタ値を2の補数で表現するので、デジタル論理回路で扱い易くなり、複数の画素値をカウンタ加算する場合でも、対応することができる。

40

【0081】

次に、図14に示すタイムチャートを用いて、図8に示す固体撮像装置30の動作の一例を説明する。図8では、第1のアナログ信号VQAと第2のアナログ信号VQCAとを差分してデジタル値に変換する場合を例にしている。Vドライバ34は、画素リセット信号を第1画素10a、第2画素10cに出力するように制御すると、第1画素10aから黒

50

レベルの第1のアナログ信号 $V_{Q_{CA}}$ が垂直信号線40から読み出され、第2画素10cから黒レベルの第2のアナログ信号 V_{Q_A} が垂直信号線38から読み出される。

【0082】

読み出された黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ は第1比較器60の-端子に入力され、黒レベルの第2のアナログ信号 V_{Q_A} は第2比較器62の-端子に入力され、参照電圧は、第1比較器60及び第2比較器62の+端子に入力される。ここで、参照電圧は、黒レベルのアナログ信号をAD変換する第1AD変換期間(黒レベルカウント期間)及び信号レベルのアナログ信号をAD変換する第2AD変換期間(信号レベルカウント期間)で、レベルが漸次低下し、第1AD変換期間及び第2AD変換期間が経過すると、初期レベルに戻る電圧波形を有する。

10

【0083】

第1比較器60は、参照電圧と黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ とを比較して、黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ に応じた信号を出力する。すなわち、第1比較器60は、参照電圧が黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ より大きい場合は、High信号を出力し、参照電圧が黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ より小さくなると、Low信号を出力する。第2比較器62は、参照電圧と黒レベルの第2のアナログ信号 V_{Q_A} とを比較して、黒レベルの第2のアナログ信号 V_{Q_A} に応じた信号を出力する。すなわち、第2比較器62は、参照電圧が黒レベルの第2のアナログ信号 V_{Q_A} より大きい場合は、High信号を出力し、参照電圧が黒レベルの第2のアナログ信号 V_{Q_A} より小さくなると、Low信号を出力する。この第1比較器60及び第2比較器62については、後で詳しく説明する。

20

【0084】

図14に示すように、黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ が黒レベルの第2のアナログ信号 V_{Q_A} よりレベルが高い場合は、第2比較器62から出力される黒レベルの第2のアナログ信号 V_{Q_A} に応じた信号の立下りタイミングが、第1比較器60から出力される黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ に応じた信号の立下りタイミングより遅くなる。したがって、差分回路64で出力される差分信号は、「黒レベルの第2のアナログ信号 V_{Q_A} - 黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ 」となる。そして、カウンタ回路68によって、黒レベルの差分信号に応じたパルス列(黒レベルの差分信号がHighの期間にアンド回路66から出力されるパルス列)のパルス数がカウントされ、「黒レベルの第2のアナログ信号 V_{Q_A} - 黒レベルの第1のアナログ信号 $V_{Q_{CA}}$ 」のアナログ信号がデジタル信号に変換される。

30

【0085】

黒レベルカウント期間が終わり、信号レベルカウント期間に入る前に、カウンタ回路68は、上述した2の補数制御を行い、カウンタ値は2の補数に変換される。その後、Vドライバ34は、画素電荷転送信号を第1画素10a、第2画素10cに出力することでスイッチSW1をオンにして、光電変換素子12に蓄積された電荷をFD14に転送させて、スイッチSW1をオフにさせる。これにより第1画素10aから信号レベルの第1のアナログ信号 $V_{Q_{CA}}$ が垂直信号線40から読み出され、第2画素10cから信号レベルの第2のアナログ信号 V_{Q_A} が垂直信号線38から読み出される。

40

【0086】

読み出された信号レベルの第1のアナログ信号 $V_{Q_{CA}}$ は第1比較器60の-端子に入力され、信号レベルの第2のアナログ信号 V_{Q_A} は第2比較器62の-端子に入力され、参照電圧は、第1比較器60及び第2比較器62の+端子に入力される。

【0087】

第1比較器60は、参照電圧と信号レベルの第1のアナログ信号 $V_{Q_{CA}}$ とを比較して、信号レベルの第1のアナログ信号 $V_{Q_{CA}}$ に応じた信号を出力する。第2比較器62は、参照電圧と信号レベルの第2のアナログ信号 V_{Q_A} とを比較して、信号レベルの第2のアナログ信号 V_{Q_A} に応じた信号を出力する。

【0088】

50

図14に示すように、信号レベルの第1のアナログ信号 VQ_{CA} が信号レベルの第2のアナログ信号 VQ_A よりレベルが高い場合は、第2比較器62から出力される信号レベルの第2のアナログ信号 VQ_A に応じた信号の立下りタイミングが、第1比較器60から出力される信号レベルの第1のアナログ信号 VQ_{CA} に応じた信号の立下りタイミングより遅くなる。したがって、差分回路64で出力される差分信号は、「信号レベルの第2のアナログ信号 VQ_A - 信号レベルの第1のアナログ信号 VQ_{CA} 」となり、環境光を除去した信号レベルのアナログ信号となる。つまり、前記照射部が照射した反射光のみを画素10が仮に受光した場合の信号レベルのアナログ信号となる。カウンタ回路68によって、信号レベルの差分信号に応じたパルス列(信号レベルの差分信号がHighの期間にアンド回路66から出力されるパルス列)のパルス数がカウントされ、「信号レベルの第2のアナログ信号 VQ_A - 信号レベルの第1のアナログ信号 VQ_{CA} 」のアナログ信号がデジタル信号に変換される。

【0089】

このカウンタ回路68は、黒レベルの差分信号に応じたパルス列のパルス数をアップカウントして得られたカウンタ値を2の補数に変換して、信号レベルの差分信号に応じたパルス列のパルス数をアップカウントするので、結果的に「-黒レベルの差分信号+信号レベルの差分信号」のデジタル値を得ることができ、第2画素10c本来の信号から第1画素10a本来の信号を減算した差分信号のデジタル値を得ることができる。つまり、図1で説明した入射光量 Q_A - 入射光量 Q_{CA} の示すデジタル値を得ることができる。なお、第1のアナログ信号 VQ_A と第2のアナログ信号 VQ_{CA} とを差分し、該差分信号をデジタル値に変換する場合について説明したが、第1のアナログ信号 VQ_B と第2のアナログ信号 VQ_{CB} とを差分し、該差分信号をデジタル値に変換する場合も同様なので、第1のアナログ信号 VQ_B と第2のアナログ信号 VQ_{CB} との差分信号のデジタル値変換に関する説明は省略する。

【0090】

VQ_A と VQ_{CA} の黒レベルの高低の関係はその瞬間でのノイズに依存しランダムである。そのため、例えば、図15に示すように、黒レベルの第2のアナログ信号 VQ_A が黒レベルの第1のアナログ信号 VQ_{CA} よりレベルが高くなることもある。この場合、第2比較器62から出力される黒レベルのアナログ信号 VQ_A に応じた信号の立下りタイミングが、第1比較器60から出力される黒レベルのアナログ信号 VQ_{CA} に応じた信号の立下りタイミングより早くなり、差分回路64で出力される差分信号は、「-黒レベルの第2のアナログ信号 VQ_A +黒レベルの第1のアナログ信号 VQ_{CA} 」となり、+、-の符号が逆になってしまう。カウンタ回路68は、該差分信号に応じたパルス列のパルス数がカウントする。

【0091】

図15の黒レベルカウント期間における差分回路64が出力する差分信号がHighとなる期間と、図14の黒レベルのカウント期間における差分回路64が出力する差分信号がHighになる期間とは、仮に同じ長さの期間とすると、図15でカウントされた黒レベルの差分信号に応じたパルス列のパルス数のカウンタ値と、図14でカウントされた黒レベルの差分信号に応じたパルス列のパルス数のカウンタ値とは、符号が逆であるにもかかわらず、同じになってしまう。

【0092】

また、図15に示すように、信号レベルの第2のアナログ信号 VQ_A は、信号レベルの第1のアナログ信号 VQ_{CA} よりレベルが低いので、第2比較器62から出力される信号レベルのアナログ信号 VQ_A に応じた信号の立下りタイミングが、第1比較器60から出力される信号レベルのアナログ信号 VQ_{CA} に応じた信号の立下りタイミングより遅くなり、差分回路64で出力される信号レベルの差分信号は、「信号レベルの第2のアナログ信号 VQ_A - 信号レベルの第1のアナログ信号 VQ_{CA} 」となり、カウンタ回路68によって該差分信号に応じたパルス列のパルス数がカウントされる。

【0093】

10

20

30

40

50

図15の信号レベルの差分信号がHighとなる期間と、図14の信号レベルの差分信号がHighになる期間とは、仮に同じ長さの期間とすると、図15でカウントされた信号レベルの差分信号に応じたパルス列のパルス数のカウンタ値と、図14でカウントされた信号レベルの差分信号に応じたパルス列のパルス数のカウンタ値とは同じとなる。

【0094】

図15で示すような第1のアナログ信号 VQ_{CA} 及び第2のアナログ信号 VQ_A が、第1比較器60及び第2比較器62に送られてきた場合であっても、黒レベルカウント期間が終わり、信号レベルカウント期間に入る前に、カウンタ回路68は、2の補数制御を行って、カウンタ値を2の補数に変換するので、図1で説明した入射光量 Q_A - 入射光量 Q_{CA} を示すデジタル値を得ることができないばかりか、図14で示すカウンタ値(第2画素10c本来の信号から第1画素10a本来の信号を減算した差分信号のデジタル値)と同じ値になってしまう。

【0095】

そこで、第2比較器62が出力する信号が立下がるタイミングを、第1比較器が出力する信号が立下がるタイミング(反転するタイミング)より遅くさせるように、第1比較器60及び第2比較器62とを設定することで、 VQ_{CA} と VQ_A の高低の関係が異なっても、差が同じなら同じカウンタ値になってしまう(符号が判定できない)問題を解決する。すなわち、第1比較器60及び第2比較器62のオートゼロのレベルを異ならせる。

【0096】

図16は、第1比較器60の構成を示す図である。図17は、第1比較器60及び第2比較器62の動作を示すタイムチャートである。図17は、第1比較器60の通常のオートゼロの動作を示す。なお、第2比較器62は第1比較器60と同じ構成なので、第1比較器60についてのみ説明する。コンデンサC3のスイッチSW3が接続されていない側には参照電圧が入力され、コンデンサC4のスイッチSW4が接続されていない側には第1画素10a又は10bからのアナログ信号 VQ_{CA} 又は VQ_{CB} が入力される。第1画素10a又は10bからの第1のアナログ信号 VQ_{CA} 又は VQ_{CB} は、黒レベルの第1のアナログ信号 VQ_{CA} 又は VQ_{CB} と信号レベルの第1のアナログ信号 VQ_{CA} 又は VQ_{CB} とを有する。

【0097】

参照電圧の波形は、ランプ波形の前に第1比較器60をオートゼロにするための参照レベルを有する。画素リセット信号が第1画素10a又は10bに供給されると、黒レベルの第1のアナログ信号 VQ_{CA} 又は VQ_{CB} が第1比較器60に入力される。その後、前記オートゼロにする参照レベルの参照電圧が第1比較器60に入力されると、Low信号のPAZ1信号がスイッチSW3及びスイッチSW4に入力されて、スイッチSW3及びスイッチSW4をオンにさせる。スイッチSW3及びスイッチSW4がオンになると、スイッチSW3とコンデンサC3との間のノードAZREFと、スイッチSW4とコンデンサC4との間のノードAZVSLとは同電位となる。コンデンサC3には、第1オフセット電圧(前記オートゼロにする参照レベル - AZREFの電圧レベル)となる電荷が蓄積され、コンデンサC4には、第2オフセット電圧(黒レベルの第1のアナログ信号 VQ_{CA} 又は VQ_{CB} - AZVSLの電圧レベル)となる電荷が蓄積される。このスイッチSW3及びスイッチSW4をオンにして、ノードAZREFとノードAZVSLを同電位にすることをオートゼロと呼ぶ。

【0098】

その後、スイッチSW3及びスイッチSW4には、High信号のPAZ1信号が入力されて、スイッチSW3及びスイッチSW4はオフになる。スイッチSW3及びスイッチSW4のオフ後は、AZREFの電圧レベルは、参照電圧の変化に応じて変動し(AZREFの電圧レベル = 参照電圧 - 第1オフセット電圧となり)、AZVSLの電圧レベルは、第1のアナログ信号 VQ_{CA} 又は VQ_{CB} の変化に応じて変動する(電圧AZVSL = 第1のアナログ信号 VQ_{CA} 又は VQ_{CB} - 第2オフセット電圧となる)。第1比較器60は、AZREFの電圧レベルがAZVSLの電圧レベルより大きい場合は、High信号を出力

10

20

30

40

50

し、AZREFの電圧レベルがAZVSLの電圧レベルより小さくなると、出力する信号を反転させてLow信号を出力する。なお、第2比較器62のコンデンサC3の電圧を第3オフセット電圧と呼び、コンデンサC4の電圧を第4オフセット電圧と呼ぶ。また、PAZ1信号は、図示しない信号生成回路によって生成される。

【0099】

第1比較器60及び第2比較器62は、このような機能を有することから、第2比較器が出力する信号が反転するタイミングを、第1比較器が出力する信号が反転するタイミングより遅くさせるために、第2比較器62のオートゼロの参照レベルを、第1比較器60のオートゼロの参照レベルより低くする。つまり、参照電圧は、第1比較器60をオートゼロにする第1参照レベルと、第2比較器62をオートゼロにする、第1参照レベルより低い第2参照レベルとを有する。第1参照レベルの参照電圧が第1比較器60に入力されているときに、第1比較器60のスイッチSW3及びスイッチSW4をオンにすることでオートゼロを行い、第2参照レベルの参照電圧が第2比較器62に入力されているときに、第2比較器62のスイッチSW3及びスイッチSW4をオンにすることでオートゼロを行う。

10

【0100】

図18は、異なるレベルでオートゼロにされる第1比較器60及び第2比較器62の動作を示すタイムチャートである。

【0101】

参照電圧は、黒レベルカウント期間の前に第1比較器60をオートゼロにするための第1参照レベル、及び、第2比較器62をオートゼロにするための第2参照レベルを有する。第1参照レベルの参照電圧が第1比較器60及び第2比較器62に入力されると、第1比較器60のスイッチSW3及びスイッチSW4にLow信号のPAZ1信号を入力して、第1比較器60のスイッチSW3及びスイッチSW4をオンにさせる(第1比較器60を第1参照レベルでオートゼロにする)。第1比較器60のスイッチSW3及びスイッチSW4にオンになると、第1比較器60のAZREFの電圧レベルとAZVSLの電圧レベルとが同電位となる。その後、参照電圧が第1参照レベルから第2参照レベルに変位する前に、第1比較器60のスイッチSW3及びスイッチSW4をオフにする。

20

【0102】

第2参照レベルの参照電圧が第1比較器60及び第2比較器62に入力されると、第2比較器62のスイッチSW3及びスイッチSW4にLow信号のPAZ1信号を入力して、第2比較器62のスイッチSW3及びスイッチSW4をオンにさせる(第2比較器62を第2参照レベルでオートゼロにする)。第2比較器62のスイッチSW3及びスイッチSW4がオンになると、第2比較器62のAZREFの電圧レベルとAZVSLの電圧レベルとが同電位となる。その後、参照電圧が第2参照レベルから初期レベルに変位する前に、第2比較器62のスイッチSW3及びスイッチSW4をオフにする。

30

【0103】

第1比較器60は、第1比較器60のAZREFの電圧レベルがAZVSLの電圧レベルより大きい場合は、High信号を出力し、AZREFの電圧レベルがAZVSLの電圧レベルより小さくなると、出力する信号を反転させてLow信号を出力する。また、第2比較器62は、第2比較器62のAZREFの電圧レベルがAZVSLの電圧レベルより大きい場合は、High信号を出力し、AZREFの電圧レベルがAZVSLの電圧レベルより小さくなると、出力する信号を反転させてLow信号を出力する。ここで、第2参照レベルは第1参照レベルよりも低いので、第2比較器62が出力する信号がHighからLowに切り替わるタイミングが、第1比較器60が出力する信号がHighからLowに切り替わるタイミングより遅くなる。

40

【0104】

これにより、第2のアナログ信号VQA、VQBが第1のアナログ信号VQCA、VQCBよりレベルが高い場合であっても、第2比較器62からアナログ信号VQA、VQBに応じた信号の立下りタイミングが、第1比較器60から出力される信号レベルのアナログ信号V

50

Q_{CA} 、 VQ_{CB} に応じた信号の立下りタイミングより遅くすることができ、図1で説明した入射光量 Q_A - 入射光量 Q_{CA} 及び入射光量 Q_B - 入射光量 Q_{CB} を示すデジタル値を得ることができる。

【0105】

このように、AD変換器36で、入射光量 Q_A 又は Q_B を示すアナログ信号から、入射光量 Q_{CA} 又は Q_{CB} を示すアナログ信号を減算することで、入射光量 Q_A - 入射光量 Q_{CA} 及び入射光量 Q_B - 入射光量 Q_{CB} を示すデジタル値を得ることができる。

【0106】

また、第1のアナログ信号 VQ_{CA} 、第1のアナログ信号 VQ_{CB} 、第2のアナログ信号 VQ_A 、第2のアナログ信号 VQ_B に応じたパルス列のパルス数をそれぞれカウントする場合は、カウンタ回路68の数が多くなり、本実施の形態のカウンタ回路68の2倍の数のカウンタ回路が必要となる。したがって、電力消費量、出力するデータ量が多くなり、更に、カウンタ回路のチップ占有面積も大きくなってしまふ。しかし、本実施の形態では、カウンタ回路68を共有するので、カウンタ回路の数を半分にすることができ、電量消費量、出力データ量を少なくすることができる。また、カウンタ回路のチップ占有面積を小さくすることができるので、高集積化が可能な固体撮像装置を提供することができる。また、ノイズ源であるカウンタ回路68の数が少なくなるので、ノイズを低減させることもできる。

10

【0107】

(変形例1)

20

変形例1では、図8に示すAD変換器36に代えて、図19に示すAD変換器90が固体撮像装置30に設けられる。図8に示したAD変換器36の構成部と同じ機能を有する構成部について同様の符号付して説明を省略する。AD変換器90は、第1比較器60、第2比較器62、差分回路64、アンド回路66、及びカウンタ回路68の他に、第3比較器100、判定回路102、及び補数制御回路104を更に有する。

【0108】

第3比較器100は、第1画素10a又は10bから出力される第1のアナログ信号 VQ_{CA} 又は VQ_{CB} と、第2画素10c又は10dから出力される第2のアナログ信号 VQ_A 又は VQ_B とを比較する。第3比較器100の+端子には、第2のアナログ信号 VQ_A 又は VQ_B が入力され、-端子には、スイッチSW5を介して、第1のアナログ信号 VQ_{CA} 又は VQ_{CB} 、及び、第2のアナログ信号 VQ_A 又は VQ_B の何れか一方のアナログ信号が入力される。

30

【0109】

第3比較器100は、第1比較器60と同様の構成の比較器であり、第1のアナログ信号 VQ_{CA} 又は VQ_{CB} と第2のアナログ信号 VQ_A 又は VQ_B との比較前に、スイッチSW5により、第2のアナログ信号 VQ_A 又は VQ_B が第3比較器100の-端子に入力される。この場合は、+端子及び-端子に第2のアナログ信号 VQ_A 又は VQ_B が入力された状態となる。この状態で、第3比較器100は、オートゼロに設定される。つまり、第3比較器100のスイッチSW3及びスイッチSW4がオンにされる。その後、スイッチSW5により、第1のアナログ信号 VQ_{CA} 又は VQ_{CB} が第3比較器100に入力される。

40

【0110】

第3比較器100は、黒レベルカウント期間終了後で、且つ、画素電荷転送信号が画素10に供給される前の第1比較タイミング、及び、画素電荷転送信号が画素10に供給された後で、且つ、信号レベルカウント期間開始前の第2比較タイミングで、第1のアナログ信号 VQ_{CA} 又は VQ_{CB} と第2のアナログ信号 VQ_A 又は VQ_B とを比較する。第3比較器100は、第2のアナログ信号 VQ_A 又は VQ_B が第1のアナログ信号 VQ_{CA} 又は VQ_{CB} より大きい場合はHigh信号を出力し、第2のアナログ信号 VQ_A 又は VQ_B が第1のアナログ信号 VQ_{CA} 又は VQ_{CB} より小さい場合はLow信号を出力する。第3比較器100は、第1比較タイミングで、黒レベルの第1のアナログ信号 VQ_{CA} 又は VQ_{CB} と、黒レベルの第2のアナログ信号 VQ_A 又は VQ_B とを比較し、第2比較タイミングで、信号レベルの

50

第1のアナログ信号 VQ_{CA} 又は VQ_{CB} と、信号レベルの第2のアナログ信号 VQ_A 又は VQ_B とを比較する。

【0111】

第3比較器100の比較結果は、判定回路102に入力される。判定回路102は、黒レベルカウント期間後であり且つ、信号レベルカウント期間開始前の第1の補数変換期間、及び、信号レベルカウント期間終了後の第2の補数変換期間の両方の期間、又は一方の期間でカウンタ値を2の補数に変換させるか、若しくは、両方の期間でカウンタ値を2の補数に変換させないかを判定する。

【0112】

補数制御回路104は、判定回路の判定結果に基づいて、制御信号生成回路74及びパルス生成回路76を制御して、カウンタ回路68による2の補数変換の実行、非実行を制御する。

10

【0113】

図20は、判定回路102の構成を示す図である。判定回路102は、EXNOR回路106を有する。EXNOR回路106に入力される比較結果信号Aは、第1比較タイミングにおける第3比較器100の比較結果を示す信号であり、比較結果信号Bは、第2比較タイミングにおける第3比較器100の比較結果を示す信号である。判定回路102は、比較結果信号Aと比較結果信号Bとに基づいて判定信号を出力し、比較結果信号Bをそのまま判定信号として出力する。判定信号は、第1の補数変換期間でカウンタ値を2の補数に変換させるか否かを示す情報であり、判定信号は、第2の補数変換期間でカウンタ値を2の補数に変換させるか否かを示す情報である。

20

【0114】

図21は、比較結果信号と判定信号の真理値表を示す図である。比較結果信号A及び比較結果信号Bが共にLow信号の場合、判定信号はHigh、判定信号はLowとなる。また、比較結果信号AがHigh、比較結果信号BがLowの場合は、判定信号及び判定信号はLowとなる。比較結果信号AがLow、比較結果信号BがHighの場合は、判定信号はLow、判定信号はHighとなる。比較結果信号A及び比較結果信号BがHighの場合は、判定信号及び判定信号はHighとなる。

【0115】

判定信号がHighの場合は、カウンタ値を2の補数に変換すると判定したことを示し、反転信号がLowの場合は、カウンタ値を2の補数に変換しないと判定したことを示している。

30

【0116】

次に、図22～図25に示すタイムチャートを用いて、変形例1における固体撮像装置30を動作の一例を説明する。図22～図25では、第1のアナログ信号 VQ_A と第2のアナログ信号 VQ_{CA} とを差分してデジタル値に変換する場合を例にしている。なお、第1のアナログ信号 VQ_B と第2のアナログ信号 VQ_{CB} との差分信号のデジタル値変換は、第1のアナログ信号 VQ_A と第2のアナログ信号 VQ_{CA} との差分信号のデジタル値変換と同様なので説明を省略する。

【0117】

40

第1画素10aから黒レベルの第1のアナログ信号 VQ_{CA} が垂直信号線40から読み出されると、該第1のアナログ信号 VQ_{CA} が第1比較器60の-端子に入力され、第2画素10cから黒レベルの第2のアナログ信号 VQ_A が垂直信号線38から読み出されると、第2のアナログ信号 VQ_A が第2比較器62の-端子に入力される。参照電圧は、第1比較器60及び第2比較器62の+端子に入力される。本変形例1においては、第1比較器60のオートゼロのレベルと、第2比較器62のオートゼロのレベルは、同じであってもよい。

【0118】

第3比較器100は、第1AD変換期間終了後で、且つ、画素電荷転送信号が画素10に供給される前の第1比較タイミングで、第1のアナログ信号 VQ_{CA} と第2のアナログ信

50

号 VQ_A とを比較し、該比較結果を示す比較結果信号 A を判定回路 102 に出力する。

【0119】

図 22 の第 1 比較タイミングにおいては、第 1 のアナログ信号 VQ_{CA} が第 2 のアナログ信号 VQ_A より大きいので、第 3 比較器 100 は Low 信号の比較結果信号 A を判定回路 102 に出力する。図 23 の第 1 比較タイミングにおいては、第 1 のアナログ信号 VQ_{CA} が第 2 のアナログ信号 VQ_A より小さいので、第 3 比較器 100 は High 信号の比較結果信号 A を判定回路 102 に出力する。図 24 の第 1 比較タイミングにおいては、第 1 のアナログ信号 VQ_{CA} が第 2 のアナログ信号 VQ_A より大きいので、第 3 比較器 100 は Low 信号の比較結果信号 A を判定回路 102 に出力する。図 25 の第 1 比較タイミングにおいては、第 1 のアナログ信号 VQ_{CA} が第 2 のアナログ信号 VQ_A より小さいので、第 3 比較器 100 は High 信号の比較結果信号 A を判定回路 102 に出力する。

10

【0120】

そして、第 3 比較器 100 は、画素電荷転送信号が画素 10 に供給された後で、且つ、第 2 AD 変換期間開始前の第 2 比較タイミングで、第 1 のアナログ信号 VQ_{CA} と第 2 のアナログ信号 VQ_A とを比較し、該比較結果を示す比較結果信号 B を判定回路 102 に出力する。

【0121】

図 22 の第 2 比較タイミングにおいては、第 1 のアナログ信号 VQ_{CA} が第 2 のアナログ信号 VQ_A より大きいので、第 3 比較器 100 は Low 信号の比較結果信号 B を判定回路 102 に出力する。図 23 の第 2 比較タイミングにおいては、第 1 のアナログ信号 VQ_{CA} が第 2 のアナログ信号 VQ_A より大きいので、第 3 比較器 100 は Low 信号の比較結果信号 B を判定回路 102 に出力する。図 24 の第 2 比較タイミングにおいては、第 1 のアナログ信号 VQ_{CA} が第 2 のアナログ信号 VQ_A より小さいので、第 3 比較器 100 は High 信号の比較結果信号 B を判定回路 102 に出力する。図 25 の第 2 比較タイミングにおいては、第 1 のアナログ信号 VQ_{CA} が第 2 のアナログ信号 VQ_A より小さいので、第 3 比較器 100 は High 信号の比較結果信号 B を判定回路 102 に出力する。

20

【0122】

判定回路 102 は、比較結果信号 A 及び比較結果信号 B に基づいて、判定信号 及び判定信号 を補数制御回路 104 に出力する。図 21 に真理値表に示したように、図 22 の場合は、比較結果信号 A が Low、比較結果信号 B が Low なので、判定回路 102 は、High の判定信号 を、Low の判定信号 を補数制御回路 104 に出力する。図 23 の場合は、比較結果信号 A が High、比較結果信号 B が Low なので、Low の判定信号 及び判定信号 を補数制御回路 104 に出力する。図 24 の場合は、比較結果信号 A が Low、比較結果信号 B が High なので、Low の判定信号 、High の判定信号 を補数制御回路 104 に出力する。図 25 の場合は、比較結果信号 A が High、比較結果信号 B が High なので、High の判定信号 及び判定信号 を補数制御回路 104 に出力する。

30

【0123】

補数制御回路 104 は、該判定信号 、 に基づいて、カウンタ回路 68 による 2 の補数変換の実行、又は、非実行を制御する。補数制御回路 104 は、判定信号 に基づいて、カウンタ回路 68 の制御信号生成回路 74 及びパルス生成回路 76 を制御して、第 1 の補数変換期間にカウンタ値の 2 の補数への変換、非変換を行う。また、補数制御回路 104 は、判定信号 に基づいて、カウンタ回路 68 の制御信号生成回路 74 及びパルス生成回路 76 を制御して、第 2 の補数変換期間にカウンタ値の 2 の補数への変化、非変換を行う。

40

【0124】

図 22 では、判定信号 は High なので、補数制御回路 104 は、第 1 の補数変換期間にカウンタ値を 2 の補数に変換させる制御を行う。つまり、第 1 の補数変換期間に、スイッチ回路 72 を制御して、スイッチ回路 72 の状態を、状態 a から状態 b、状態 c に遷移させていき、再び状態 a にさせる。その後、パルス生成回路 76 を制御して、1 パルス

50

を生成させ、初段のスイッチ回路 7 2 に該 1 パルスを入力させて、カウンタ値を 2 の補数に変換させる。第 1 の補数変換期間が終了すると、第 2 A D 変換期間が始まる（アンド回路 6 6 から信号レベルの差分信号に応じたパルス列が入力される）。

【 0 1 2 5 】

また、判定信号 は L o w なので、補数制御回路 1 0 4 は、第 2 の補数変換期間にカウンタ値を 2 の補数に変換させる制御を行わない。つまり、第 2 の補数変換期間に、スイッチ回路 7 2 を制御して、スイッチ回路 7 2 の状態を状態 a に保ち、パルス生成回路 7 6 あるいはパルス生成回路 7 6 の出力を制御して、1 パルスの生成を禁止させる。これにより、入射光量 Q_A - 入射光量 Q_{CA} 及び入射光量 Q_B - 入射光量 Q_{CB} を示すデジタル値を得ることができる。

10

【 0 1 2 6 】

図 2 3 では、判定信号 及び判定信号 は L o w なので、補数制御回路 1 0 4 は、第 1 の補数変換期間及び第 2 の補数変換期間にカウンタ値を 2 の補数に変換させる制御を行わない。つまり、第 1 の補数変換期間及び第 2 の補数変換期間に、スイッチ回路 7 2 を制御して、スイッチ回路 7 2 の状態を状態 a に保ち、パルス生成回路 7 6 あるいはパルス生成回路 7 6 の出力を制御して、1 パルスの生成を禁止させる。これにより、入射光量 Q_A - 入射光量 Q_{CA} 及び入射光量 Q_B - 入射光量 Q_{CB} を示すデジタル値を得ることができる。

【 0 1 2 7 】

図 2 4 では、判定信号 は L o w なので、第 1 の補数変換期間にカウンタ値を 2 の補数の変換させる制御を行わない。つまり、第 1 の補数変換期間に、スイッチ回路 7 2 を制御して、スイッチ回路 7 2 の状態を状態 a に保ち、パルス生成回路 7 6 を制御して、1 パルスの生成を禁止させる。

20

【 0 1 2 8 】

また、判定信号 は H i g h なので、第 2 の補数変換期間にカウンタ値を 2 の補数に変換させる制御を行う。つまり、第 2 の補数変換期間に、スイッチ回路 7 2 を制御して、スイッチ回路 7 2 の状態を、状態 a から状態 b、状態 c に遷移させていき、再び状態 a にさせる。その後、パルス生成回路 7 6 を制御して、1 パルスを生成させ、初段のスイッチ回路 7 2 に該 1 パルスを入力させて、カウンタ値を 2 の補数に変換させる。これにより、入射光量 Q_A - 入射光量 Q_{CA} 及び入射光量 Q_B - 入射光量 Q_{CB} を示すデジタル値を得ることができる。

30

【 0 1 2 9 】

図 2 4 では、判定信号 及び判定信号 は H i g h なので、補数制御回路 1 0 4 は、第 1 の補数変換期間及び第 2 の補数変換期間にカウンタ値を 2 の補数に変換させる制御を行う。つまり、第 1 の補数変換期間及び第 2 の補数変換期間に、スイッチ回路 7 2 を制御して、スイッチ回路 7 2 の状態を、状態 a から状態 b、状態 c に遷移させていき、再び状態 a にさせる。その後、パルス生成回路 7 6 を制御して、1 パルスを生成させ、初段のスイッチ回路 7 2 に該 1 パルスを入力させて、カウンタ値を 2 の補数に変換させる。これにより、入射光量 Q_A - 入射光量 Q_{CA} 及び入射光量 Q_B - 入射光量 Q_{CB} を示すデジタル値を得ることができる。

【 0 1 3 0 】

このように、第 1 比較タイミングで、黒レベルの第 2 のアナログ信号 $V Q_A$ 、 $V Q_B$ と黒レベルの第 1 のアナログ信号 $V Q_{CA}$ 、 $V Q_{CB}$ とを比較し、第 2 比較タイミングで、信号レベルの第 2 のアナログ信号 $V Q_A$ 、 $V Q_B$ と、黒レベルの第 1 のアナログ信号 $V Q_{CA}$ 、 $V Q_{CB}$ とを比較して、第 1 の補数変換期間に 2 の補数を行うか否か、第 2 の補数変換期間に 2 の補数を行うか否かを判定し、該判定結果に基づいて、第 1 及び第 2 の補数変換期間に 2 の補数変換の実行、又は、非実行を制御する。

40

【 0 1 3 1 】

これにより、黒レベルの第 2 のアナログ信号 $V Q_A$ 、 $V Q_B$ が、黒レベルの第 1 のアナログ信号 $V Q_{CA}$ 、 $V Q_{CB}$ よりレベルが高い場合でも、信号レベルの第 2 のアナログ信号 $V Q_A$ 、 $V Q_B$ が、黒レベルの第 1 のアナログ信号 $V Q_{CA}$ 、 $V Q_{CB}$ よりレベルが高い場合でも、

50

図1で説明した入射光量 Q_A - 入射光量 Q_{CA} 、又は、入射光量 Q_B - 入射光量 Q_{CB} を示すデジタル値を得ることができる。また、図24及び図25に示すように、カウンタ回路68でカウントされたカウンタ値(デジタル値)がマイナスとなる場合でも、カウントが可能となる。また、AD変換器90で、入射光量 Q_A 又は Q_B を示すアナログ信号から、入射光量 Q_{CA} 又は Q_{CB} を示すアナログ信号を減算するので、入射光量 Q_A - 入射光量 Q_{CA} 及び入射光量 Q_B - 入射光量 Q_{CB} を示すデジタル値を得ることができる。変形例1においても、上記実施の形態と同様の効果を得ることができる。

【0132】

(変形例2)

上記実施の形態では、第1のアナログ信号 VQ_{CA} 、 VQ_{CB} 、及び第2のアナログ信号 VQ_A 、 VQ_B をそれぞれ異なる第1画素10a、10b、第2画素10c、10dから得るようにしたが、変形例2では、同一の画素から第1のアナログ信号 VQ_{CA} 、 VQ_{CB} 及び第2のアナログ信号 VQ_A 、 VQ_B を得るようにする。

【0133】

変形例2では、図2～図7に示す画素10に代えて、図26に示す画素108が用いられる。画素108は、光電変換素子110、コンデンサC10～C13、スイッチング素子SW10～SW22、FD112、電荷排出部114、画素アンプ116、FD118、電荷排出部120、画素アンプ122、FD124、電荷排出部126、画素アンプ128、FD130、電荷排出部132、及び画素アンプ134とを有する。

【0134】

コンデンサC10～C13は、スイッチSW10、SW13、SW16、SW19を介して、光電変換素子110に接続されている。スイッチSW10、SW13、SW16、SW19の何れかをオンにすることで、光電変換素子110に蓄積された電荷がコンデンサC10～C13の何れかに転送され蓄積される。例えば、スイッチSW16をオンにすると、光電変換素子110で光電変換された電荷は、コンデンサC12に転送され蓄積される。コンデンサC11は、1回目の第1期間の露光期間により光電変換素子110で生成した電荷が転送され、コンデンサC10には、2回目の第1期間の露光により光電変換素子110に蓄積された電荷が転送される。コンデンサC10、及びコンデンサC11は、第1電荷蓄積部としてそれぞれ機能する。また、コンデンサC13には、1回目の第2期間(前記照射部が光を照射している状態で、且つ、前記照射部から照射された光の反射光及び環境光を一定時間受光する期間)の露光期間により光電変換素子110に蓄積された電荷が転送され、コンデンサC12には、2回目の第2期間(前記照射が光の照射を終了してから一定時間受光する期間)の露光期間により光電変換素子110に蓄積された電荷が転送される。コンデンサC12、及びコンデンサC13は、第2電荷蓄積部としてそれぞれ機能する。なお、コンデンサC10～13は、1回あるいは複数回の露光期間で光電変換された電荷を蓄積してもよい。

【0135】

コンデンサC10～C13には、スイッチSW11、SW14、SW17、SW20をそれぞれ介して、FD112、118、124、130が接続されている。スイッチSW11、SW14、SW17、SW20をオンにすると、コンデンサC10～C13に存在する電荷がFD112、118、124、130に転送される。スイッチSW11、SW14、SW17、SW20に画素電荷転送信号を供給することで、スイッチSW11、SW14、SW17、SW20のオン・オフを選択的に制御することができる。

【0136】

FD112、118、124、130は、スイッチSW12、SW15、SW18、SW21をそれぞれ介して、電荷排出部114、120、126、132に接続されている。スイッチSW12、SW15、SW18、SW21をオンにすると、FD112、118、124、130に存在する電荷が電荷排出部114、120、126、132を通じて排出される。電荷排出部114、120、126、132には、図示しない電源からの正の電源電圧VDDが供給されている。スイッチSW12、SW15、SW18、SW2

10

20

30

40

50

1 に画素リセット信号を供給することで、スイッチ SW 1 2、SW 1 5、SW 1 8、SW 2 1 のオン・オフを選択的に制御することができる。

【 0 1 3 7 】

画素アンプ 1 1 6、1 2 2、1 2 8、1 3 4 は、FD 1 1 2、1 1 8、1 2 4、1 3 0 のそれぞれの電圧を増幅する。画素アンプ 1 2 8 には垂直信号線 3 8、が接続されており、画素アンプ 1 2 8 から第 2 のアナログ信号 VQ_A が垂直信号線 3 8 に出力される。画素アンプ 1 1 6 には垂直信号線 4 0 が接続されており、画素アンプ 1 1 6 から第 1 のアナログ信号 VQ_{CA} が垂直信号線 4 0 に出力される。画素アンプ 1 3 4 には垂直信号線 4 2 が接続されており、画素アンプ 1 3 4 から第 2 のアナログ信号 VQ_B が垂直信号線 4 2 に出力される。画素アンプ 1 2 2 には、垂直信号線 4 4 がそれぞれ接続されており、画素アンプ 1 2 2 から第 1 のアナログ信号 VQ_{CB} が垂直信号線 4 4 に出力される。

10

【 0 1 3 8 】

このような画素 1 0 8 において、図 1 に示すような光を受光し、コンデンサ C 1 0 ~ 1 3 のそれぞれには、それぞれの露光期間によって光電変換素子 1 1 0 に蓄積された電荷が転送される。その後、スイッチ SW 1 2、SW 1 5、SW 1 8、SW 2 1 に High の画素リセット信号を供給して、FD 1 1 2、1 1 8、1 2 4、1 3 0 に存在する電荷が電荷排出部 1 1 4、1 2 0、1 2 6、1 3 2 を通じて排出した後、Low の画素リセット信号をスイッチ SW 1 2、SW 1 5、SW 1 8、SW 2 1 に供給する。これにより、垂直信号線 3 8、4 0、4 2、4 4 から、黒レベルの第 2 のアナログ信号 VQ_A 、黒レベルの第 1 のアナログ信号 VQ_{CA} 、黒レベルの第 2 のアナログ信号 VQ_B 、黒レベルの第 1 のアナログ信号 VQ_{CB} が読み出される。

20

【 0 1 3 9 】

その後、スイッチ SW 1 1、SW 1 4、SW 1 7、SW 2 0 に High の画素電荷転送信号を供給して、FD 1 1 2、1 1 8、1 2 4、1 3 0 にコンデンサ C 1 0 ~ 1 3 に存在する電荷を転送した後、Low の画素電荷転送信号をスイッチ SW 1 1、SW 1 4、SW 1 7、SW 2 0 に供給する。これにより、垂直信号線 3 8、4 0、4 2、4 4 から、信号レベルの第 2 のアナログ信号 VQ_A 、信号レベルの第 1 のアナログ信号 VQ_{CA} 、信号レベルの第 2 のアナログ信号 VQ_B 、信号レベルの第 1 のアナログ信号 VQ_{CB} が読み出される。

【 0 1 4 0 】

つまり、上記実施の形態では、画素アレイ 3 2 は、1 つの光電変換素子 1 2 と、1 つの電荷蓄積部とを備える単位画素 1 0 がアレイ状に複数配置されたものであるが、本変形例 2 では、画素アレイ 3 2 は、1 つの光電変換素子 1 1 0 と、複数の電荷蓄積部 (コンデンサ C 1 0 ~ C 1 3) を有する単位画素 1 0 8 がアレイ状に複数配置されたものである。

30

【 0 1 4 1 】

図 2 7 は、本変形例 2 の固体撮像装置の構成を示す図である。固体撮像装置 3 0 の画素アレイ 3 2 の単位画素 1 0 8 は、1 つの光電変換素子 1 1 0 と、複数の電荷蓄積部を有していることを示している。図 2 7 では、便宜上、画素アレイ 3 2 に 1 つの単位画素 1 0 8 しか表していないが、画素アレイ 3 2 には、単位画素 1 0 8 がアレイ状に複数配置されている。

40

【 0 1 4 2 】

なお、光電変換素子 1 1 0 には、スイッチ SW 2 2 を介して電荷排出部 1 3 6 が設けられている。電荷排出部 1 3 6 には、図示しない電源からの正の電源電圧 VDD が供給されている。これにより、スイッチ SW 2 2 をオンにすることにより、光電変換素子 1 1 0 に存在する電荷を吐き捨てることができる。

【 0 1 4 3 】

(変形例 3)

図 2 8 は、変形例 3 の固体撮像装置 3 0 の構成を示す図である。図 8 に示す構成部と同様の機能を有する構成部については同一の符号を付してある。変形例 3 は、図 8 に示す固体撮像装置 3 0 に、アンド回路 1 4 0 とカウンタ回路 1 4 2 を更に追加したものである。

50

アンド回路 140 は、アンド回路 66 と同様の機能を有し、カウンタ回路 142 は、カウンタ回路 68 と同様の機能、つまり、カウンタ値を 2 の補数に変換する機能を有する。第 1 比較器 60 から出力される第 1 のアナログ信号 VQ_{CB} に応じた信号が、差分回路 64 と追加されたアンド回路 140 に入力される。アンド回路 140 には、クロック信号も入力される。これにより、追加されたアンド回路 140 は、第 1 比較器 60 から出力される第 1 のアナログ信号 VQ_{CB} に応じたパルス列をカウンタ回路 142 に出力する。カウンタ回路 142 は、第 1 のアナログ信号 VQ_{CB} に応じたパルス列のパルス数をカウントし、第 1 のアナログ信号 VQ_{CB} をデジタル信号に変換する。カウンタ回路 142 は、黒レベルの第 1 のアナログ信号 VQ_{CB} に応じたパルス列のパルス数をアップカウントすると、2 の補数に変換して、信号レベルの第 1 のアナログ信号 VQ_{CB} に応じたパルス列のパルス数をアップカウントする。これにより、環境光のみを撮像した画像を得ることができる。

10

【0144】

なお、上記変形例 2 と同様に、図 28 に示す画素アレイ 32 は、1 つの光電変換素子 110 と、複数の電荷蓄積部（コンデンサ $C10 \sim C13$ ）を有する単位画素 108 がアレイ状に複数配置されたものであってもよい。図 29 に示すように、画素アレイ 32 の単位画素 108 は、1 つの光電変換素子 110 と、複数の電荷蓄積部を有していることを示している。図 29 では、便宜上、画素アレイ 32 に 1 つの単位画素 108 しか表していないが、画素アレイ 32 には、単位画素 108 がアレイ状に複数配置されている。

【0145】

（変形例 4）

図 30 は、変形例 4 の固体撮像装置 30 の構成を示す図である。図 8 に示す構成部と同様の機能を有する構成部については同一の符号を付してある。変形例 4 は、図 8 に示す固体撮像装置 30 から、第 1 画素 10b、第 1 画素 10b から第 1 のアナログ信号 VQ_{CB} を読み出すための垂直信号線 44、垂直信号線 44 に接続される第 1 比較器 60 を外したものである。第 1 のアナログ信号 VQ_{CA} と第 1 のアナログ信号 VQ_{CB} とは同じ特性の信号が得られることから、第 1 画素 10a で得られた第 1 のアナログ信号 VQ_{CA} を、差分回路 64 に出力することで、図 30 に示す少ない電荷蓄積部で固体撮像装置 30 と同様の機能を持たすことができるので、画素の集積度をあげることができる。

20

【0146】

なお、上記変形例 2 と同様に、図 30 に示す画素アレイ 32 は、1 つの光電変換素子 110 と、複数の電荷蓄積部（コンデンサ $C10$ 、 $C12$ 、 $C13$ ）を有する単位画素 108 がアレイ状に複数配置されたものであってもよい。図 31 に示すように、画素アレイ 32 の単位画素 108 は、1 つの光電変換素子 110 と、複数の電荷蓄積部を有していることを示している。図 31 では、便宜上、画素アレイ 32 に 1 つの単位画素 108 しか表していないが、画素アレイ 32 には、単位画素 108 がアレイ状に複数配置されている。

30

【0147】

（変形例 5）

制御信号生成回路 74 は、第 1 制御信号 $BR0$ を、第 2 制御信号 $BR1$ から生成するようにしてもよい。図 32 は、制御信号生成回路 74 を示す回路図である。制御信号生成回路 74 は、第 2 制御信号生成回路 150 及び遅延回路 152 を有する。第 2 制御信号生成回路 150 は、第 2 制御信号 $BR1$ を生成する。第 2 制御信号生成回路 150 が生成した第 2 制御信号 $BR1$ は、遅延回路 152 に入力される。遅延回路 152 は、入力された第 2 制御信号 $BR1$ を所定時間遅延させる。この遅延された信号が第 1 制御信号 $BR0$ となる。制御信号生成回路 74 は、第 2 制御信号生成回路 150 が生成した第 2 制御信号 $BR1$ と、遅延回路 152 から出力された信号、つまり、第 1 制御信号 $BR0$ とを出力する。これにより、シーケンサで 2 つの制御信号を生成する必要はなくなり、シーケンサの回路を小さくさせることができる。

40

【0148】

図 33 は、図 32 の制御信号生成回路 74 から出力される第 1 制御信号 $BR0$ 及び第 2 制御信号 $BR1$ の波形を示す図である。図を見るとわかるように、第 1 制御信号 $BR0$ の

50

波形は、第2制御信号BR1の波形を、所定時間だけ遅延させた波形であることがわかる。また、上述したように、第1制御信号BR0及び第2制御信号BR1がLowの場合は状態aとなる。また、第1制御信号BR0がLow、及び第2制御信号BR1がHighの場合は状態bとなる。そして、第1制御信号BR0及び第2制御信号BR1がHighの場合は状態cとなる。

【0149】

(変形例6)

上記実施の形態、及び、上記変形例1~5では、電荷蓄積部からは黒のレベルと信号のレベルの両方を垂直信号線に出力するようにしたが、AD変換の高速性向上(=固体撮像装置のフレームレート向上)のために信号レベルのみ出力するようにしてもよい。すなわち、電荷蓄積部からは信号レベルのみを垂直信号線に出力し、AD変換器36あるいは90では、異なる電荷蓄積部から出力された信号レベルの差分のデジタル値を出力してもよい。この場合、画素や電荷蓄積部毎の特性ばらつきの影響を受けるが、固定パターンであれば、予め測定することで、画素や電荷蓄積部毎の変換テーブルを作成することができ、AD変換後のデータを補正することができる。

10

【0150】

(変形例7)

なお、上記実施の形態、及び、上記変形例1~6では、制御信号生成回路74及びパルス生成回路76を、カウンタ回路68の中に設けるようにしたが、カウンタ回路68の外に設けるようにしてもよい。また、1つの制御信号生成回路74及び1つのパルス生成回路76が、複数のカウンタ回路68にスイッチ回路制御信号BRと、1パルスを出力するようにしてもよい。つまり、1つの制御信号生成回路74及び1つのパルス生成回路76が、複数のカウンタ回路68のカウント値の2の補数変換を行うようにしてもよい。

20

【0151】

(変形例8)

上記変形例1~7を任意に組み合わせた態様であってもよい。また、上記実施の形態、及び変形例で説明した固体撮像装置30は、図示しない制御装置によって制御される。制御装置は、露光期間のタイミング、画素リセット信号及び画素電荷転送信号を供給するタイミング、第1比較タイミング、第2比較タイミング等の固体撮像装置30が上述した動作を行うために必要な制御を行う。

30

【0152】

本発明では、AD変換の際に、入射光量 Q_A 又は Q_B を示すアナログ信号から、入射光量 Q_{CA} 又は Q_{CB} を示すアナログ信号を減算するので、従来の全てのアナログ信号をAD変換する必要が無く、カウンタ回路数を抑えながら、入射光量 Q_A -入射光量 Q_{CA} 及び入射光量 Q_B -入射光量 Q_{CB} を示すデジタル値を得ることができる。つまり、照射光を照射し終わってから一定時間光を受光する第2期間に光電変換された電荷量(Q_A)を蓄積している電荷蓄積部(例えば、第2画素10cが有している電荷蓄積部)と照射光を照射していない状態で一定時間受光する第1期間に光電変換された電荷量(Q_{CA})を蓄積している電荷蓄積部(例えば、第1画素10aが有している電荷蓄積部)との間、すなわち、異なる電荷蓄積部における電荷量同士の差分演算を、AD変換の際に行うことができる(第2画素10dと第1画素10bについても同様)ので、カウンタ回路の削減、消費電力の削減、および、ノイズの低減を行うことができる。そして、この演算を行うことにより環境光(背景光)を除去することができ、これらの処理により得られた値を用い、TOFの原理に基づいて照射光の反射光量、ひいては、測定対象までの距離を求めることができる。

40

【0153】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

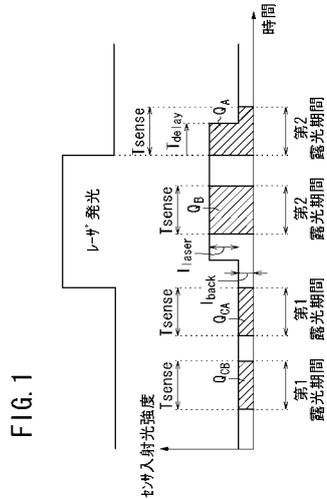
【符号の説明】

50

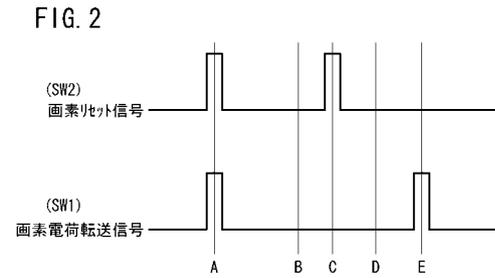
【 0 1 5 4 】

- 1 0、1 0 8 ... 画素
- 1 4、1 1 2、1 1 8、1 2 4、1 3 0 ... F D
- 1 6、1 1 4、1 2 0、1 2 6、1 3 2、1 3 6 ... 電荷排出部
- 1 8、1 1 6、1 2 2、1 2 8、1 3 4 ... 画素アンプ
- 2 0、3 8、4 0、4 2、4 4 ... 垂直信号線
- 3 0 ... 固体撮像素子
- 3 4 ... Vドライバ
- 4 6 ... スイッチ
- 5 0 ... 出力回路
- 6 0 ... 第 1 比較器
- 6 4 ... 差分回路
- 6 8、1 4 2 ... カウンタ回路
- 7 2 ... スイッチ回路
- 7 6 ... パルス生成回路
- 8 2 ... 第 2 トランスファークゲート
- 1 0 2 ... 判定回路
- 1 0 6 ... E X N O R 回路
- 1 5 2 ... 遅延回路
- 1 2、1 1 0 ... 光電変換素子
- 3 2 ... 画素アレイ
- 3 6、9 0 ... A D 変換器
- 4 8 ... 水平転送線
- 5 2 ... 参照電圧生成部
- 6 2 ... 第 2 比較器
- 6 6、1 4 0 ... アンド回路
- 7 0 ... フリップフロップ回路
- 7 4 ... 制御信号生成回路
- 8 0 ... 第 1 トランスファークゲート
- 1 0 0 ... 第 3 比較器
- 1 0 4 ... 補数制御回路
- 1 5 0 ... 第 2 制御信号生成回路

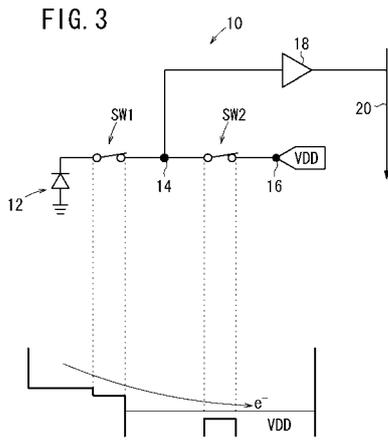
【 図 1 】



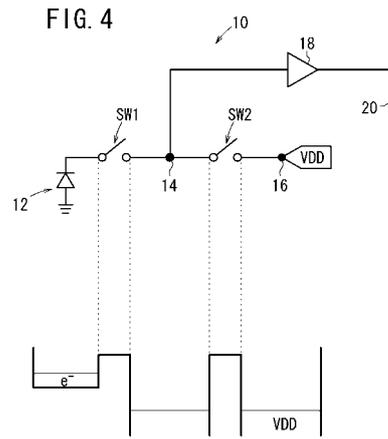
【 図 2 】



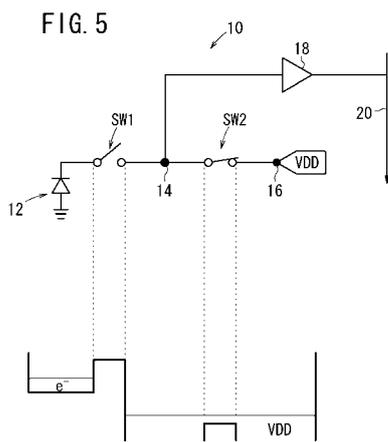
【 図 3 】



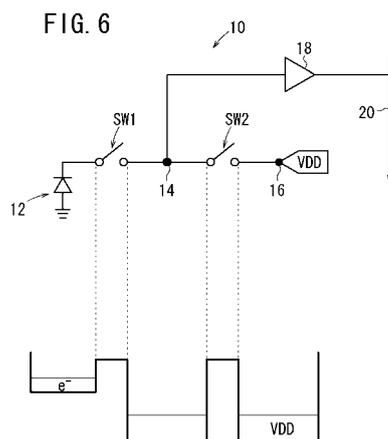
【 図 4 】



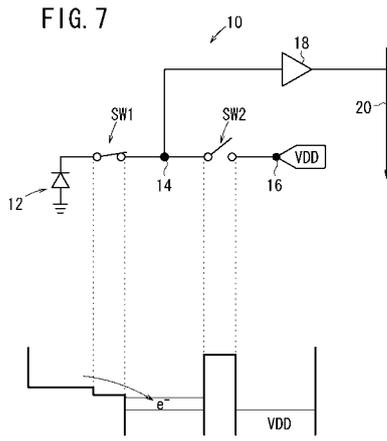
【 図 5 】



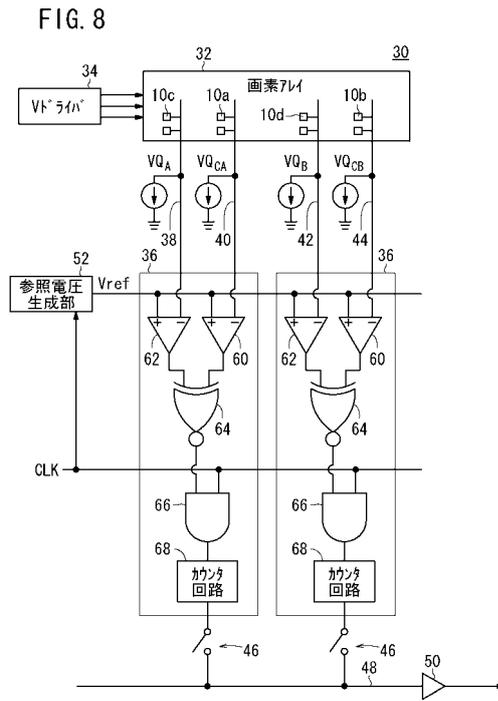
【 図 6 】



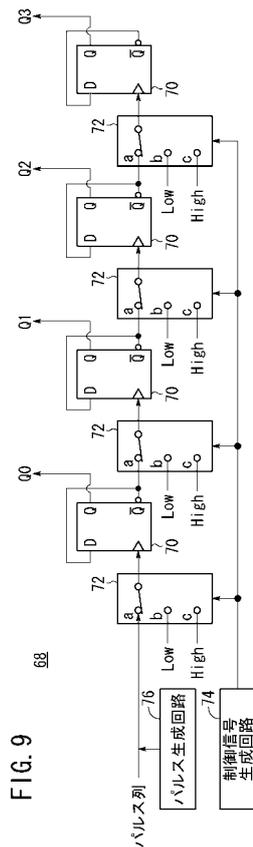
【図7】



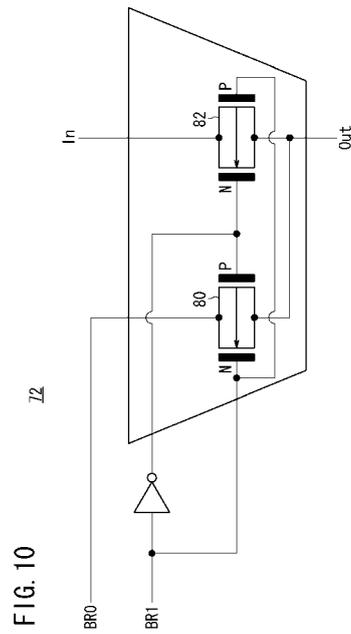
【図8】



【図9】



【図10】



【図11】

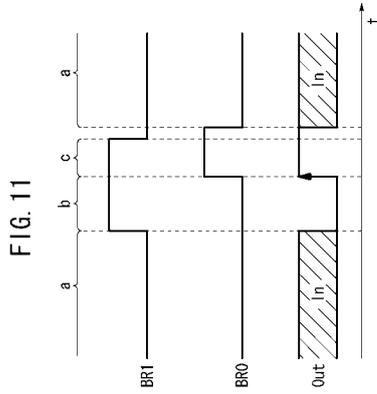


FIG. 11

【図12】

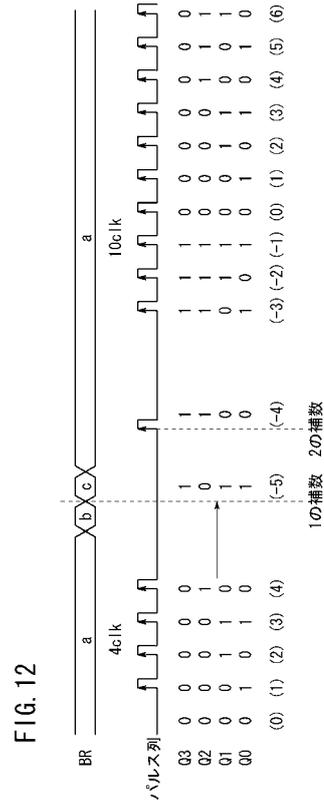


FIG. 12

【図13】

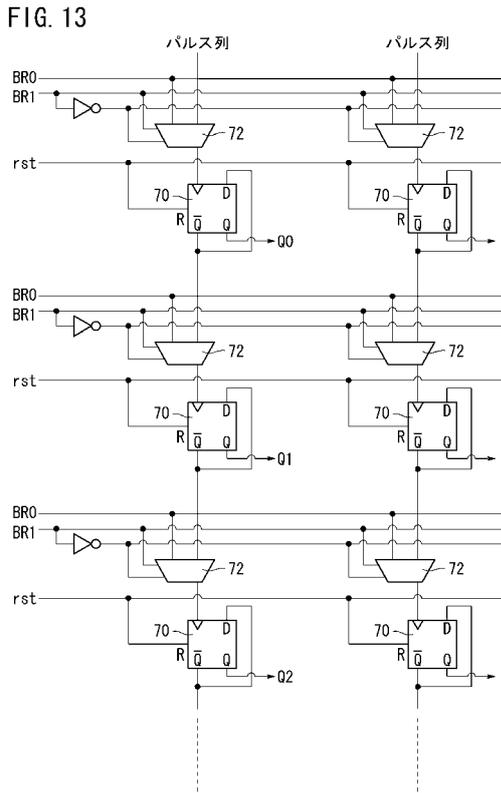


FIG. 13

【図14】

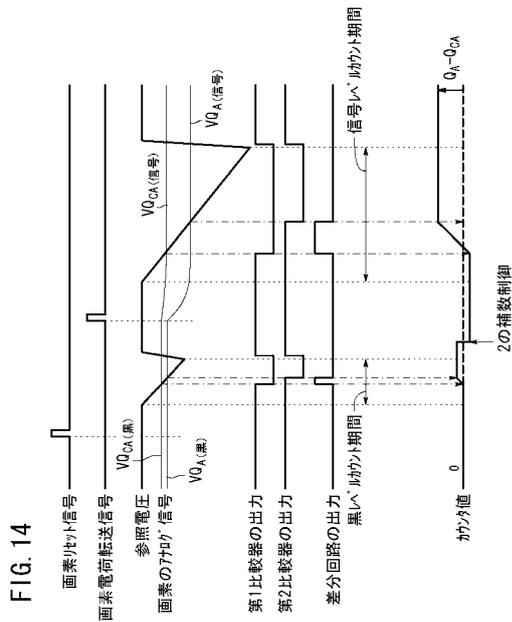
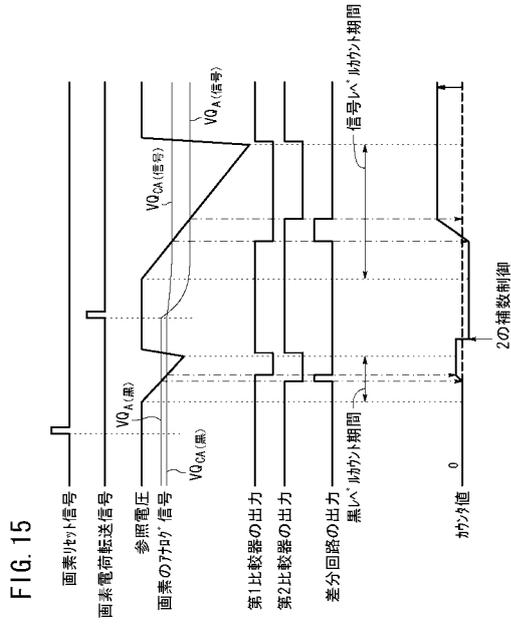


FIG. 14

【 図 1 5 】



【 図 1 7 】

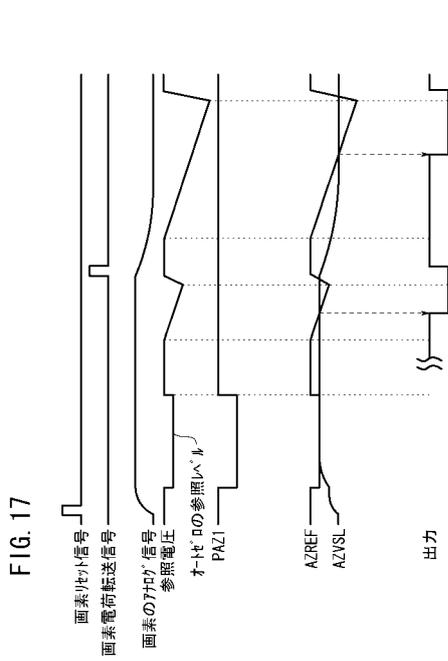


FIG. 17

【 図 1 6 】

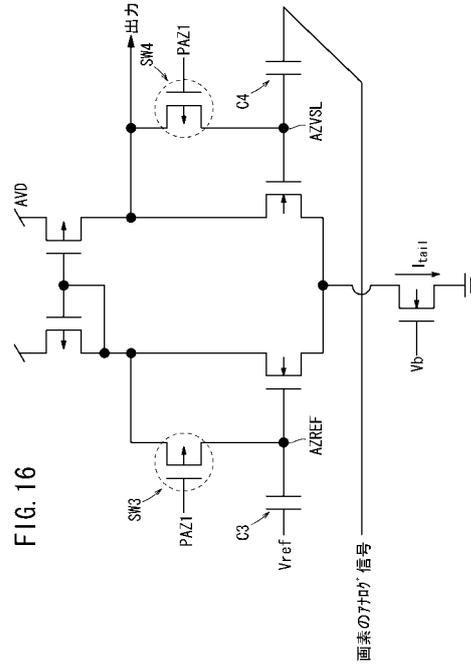


FIG. 16

【 図 1 8 】

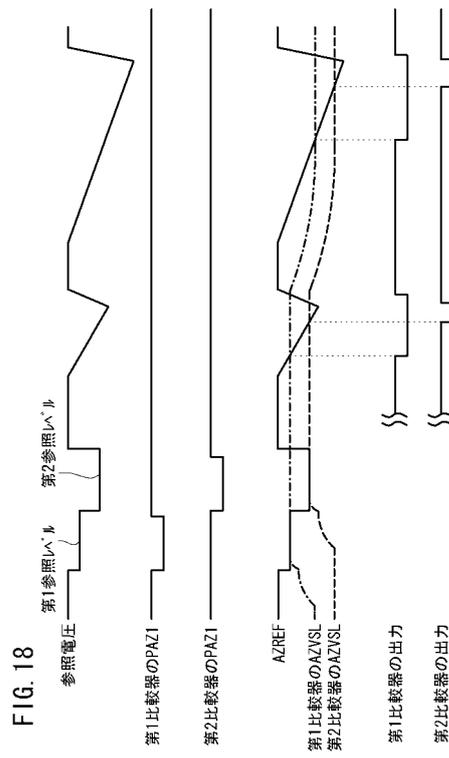
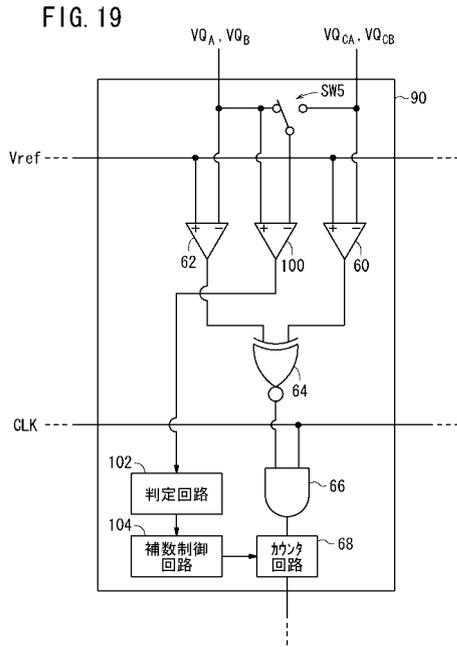


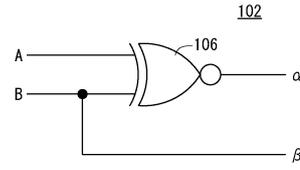
FIG. 18

【図19】



【図20】

FIG. 20



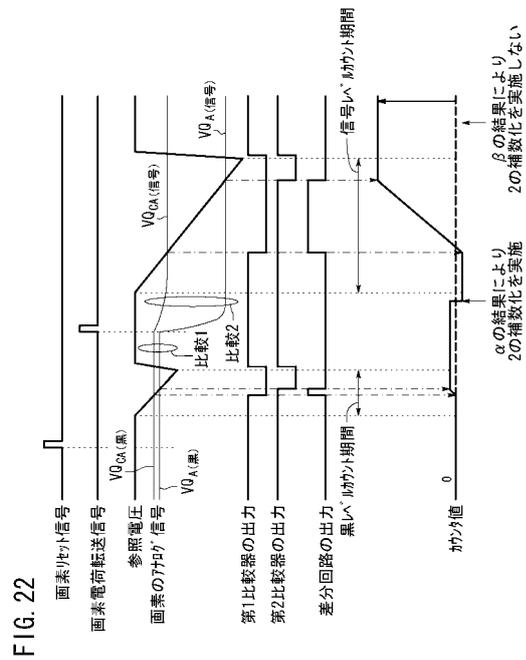
【図21】

FIG. 21

真理値表

比較結果信号		判定信号	
A	B	α	β
L	L	H	L
H	L	L	L
L	H	L	H
H	H	H	H

【図22】



【 図 2 3 】

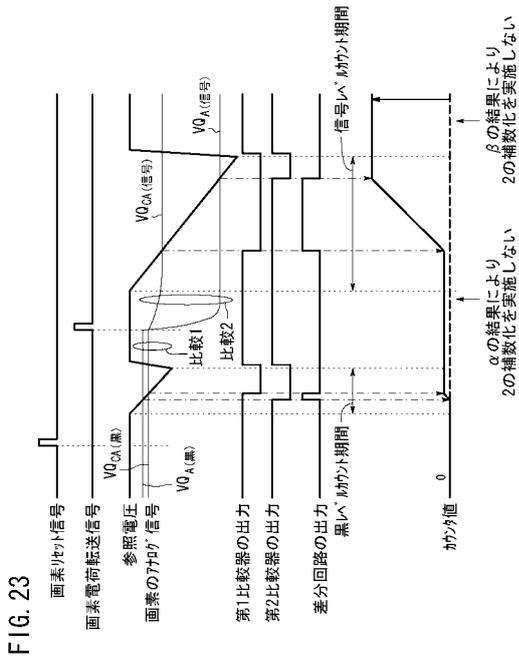


FIG. 23

【 図 2 4 】

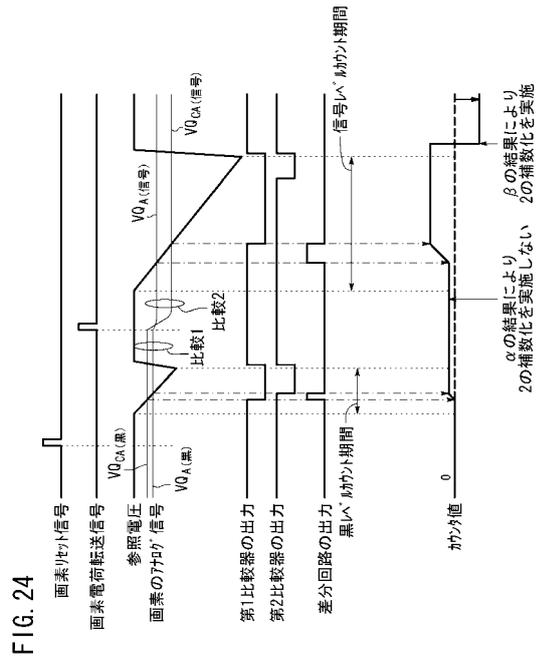


FIG. 24

【 図 2 5 】

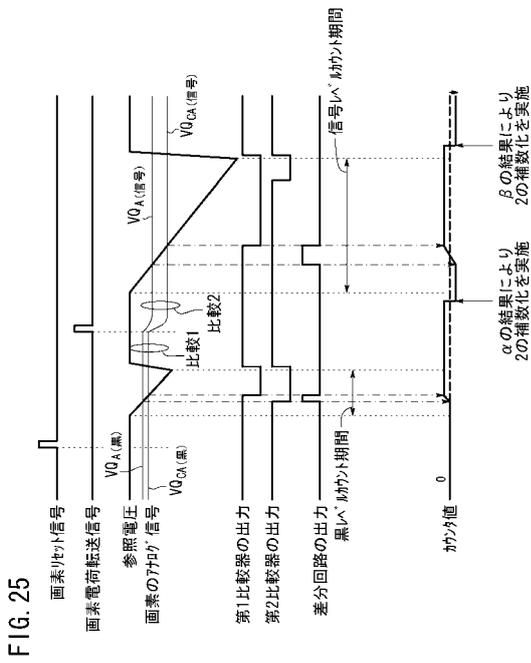


FIG. 25

【 図 2 6 】

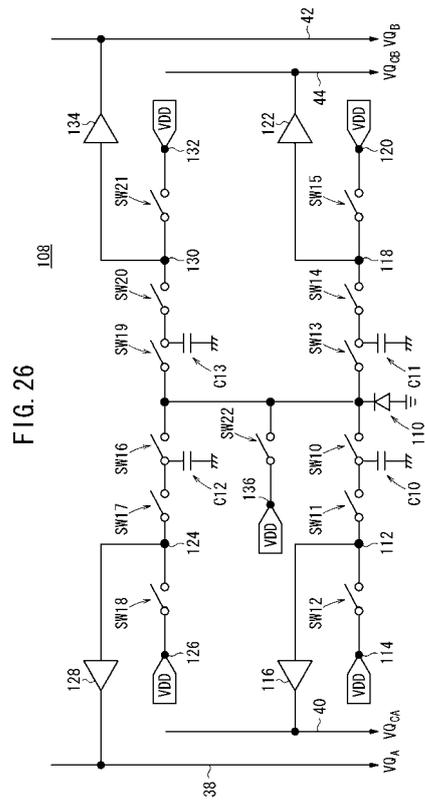
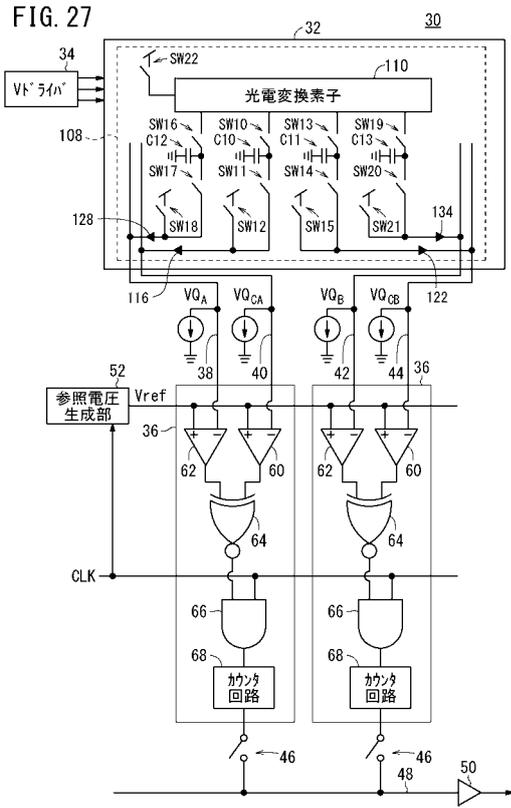
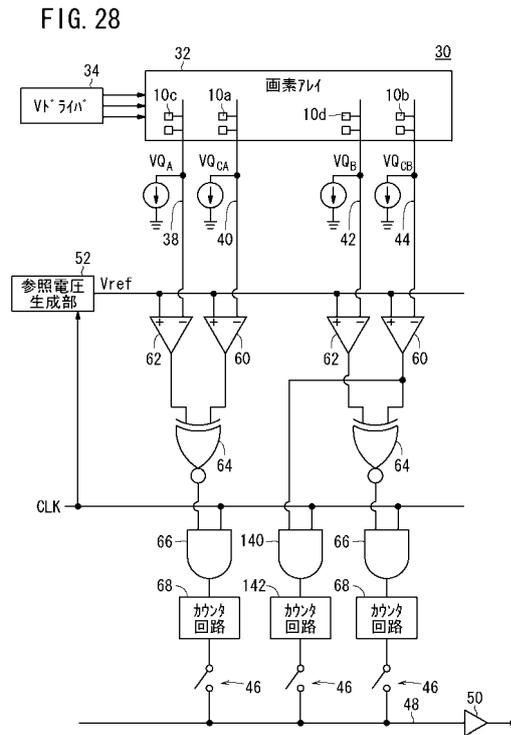


FIG. 26

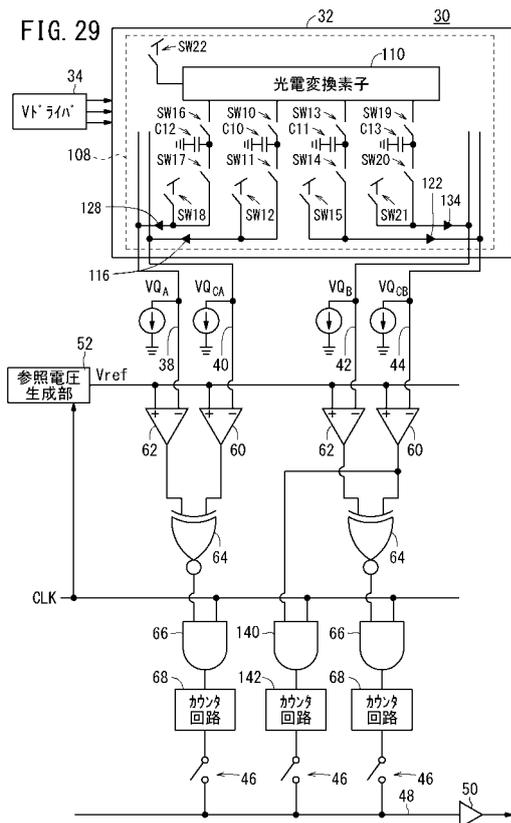
【図 27】



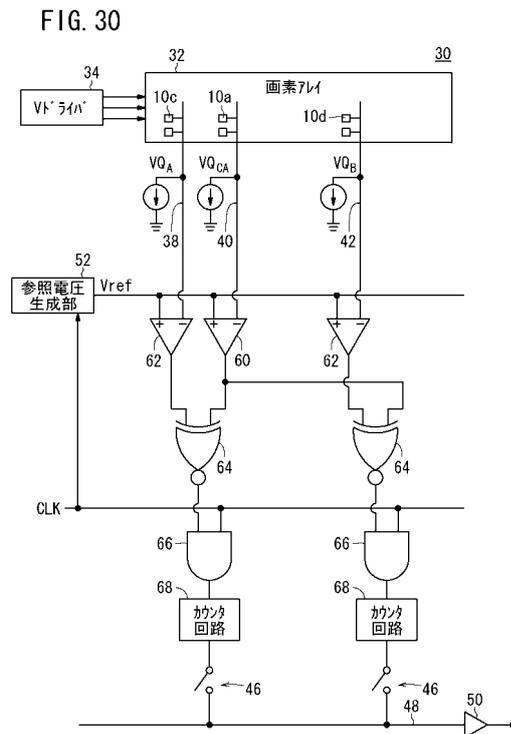
【図 28】



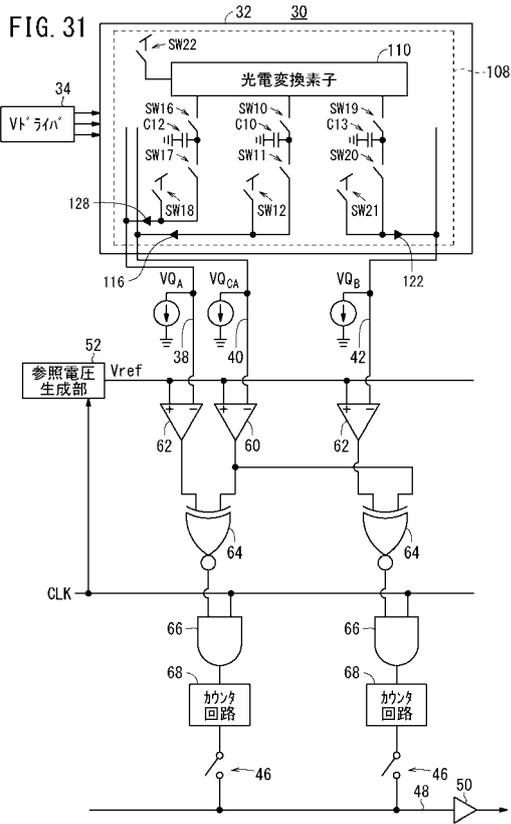
【図 29】



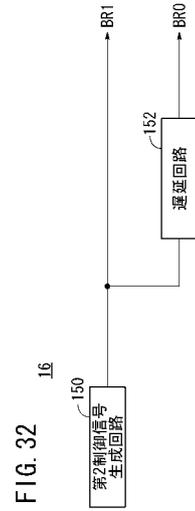
【図 30】



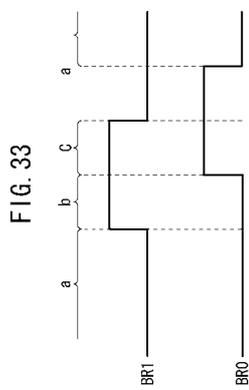
【図 3 1】



【図 3 2】



【図 3 3】



フロントページの続き

(72)発明者 西村 要一

埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内

審査官 篠原 功一

(56)参考文献 特開2004-294420(JP,A)
特開2010-016656(JP,A)
特開2009-159331(JP,A)
国際公開第2009/147862(WO,A1)
特開2008-278477(JP,A)
特開2006-084429(JP,A)
特開平08-122149(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/341