

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3950371号
(P3950371)

(45) 発行日 平成19年8月1日(2007.8.1)

(24) 登録日 平成19年4月27日(2007.4.27)

(51) Int. Cl.

F I

HO 1 L 29/78 (2006.01)
HO 1 L 21/8238 (2006.01)
HO 1 L 27/092 (2006.01)

HO 1 L 29/78 3 O 1 G
HO 1 L 29/78 3 O 1 S
HO 1 L 27/08 3 2 1 D
HO 1 L 27/08 3 2 1 F
HO 1 L 29/78 3 O 1 J

請求項の数 4 (全 21 頁)

(21) 出願番号 特願2002-175760 (P2002-175760)
(22) 出願日 平成14年6月17日(2002.6.17)
(65) 公開番号 特開2004-22813 (P2004-22813A)
(43) 公開日 平成16年1月22日(2004.1.22)
審査請求日 平成17年2月25日(2005.2.25)

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(74) 代理人 100062144
弁理士 青山 稜
(74) 代理人 100084146
弁理士 山崎 宏
(72) 発明者 中野 雅行
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内
(72) 発明者 岩田 浩
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

上記半導体基板内に形成された第1導電型の深いウェル領域と、

上記第1導電型の深いウェル領域内に形成され、素子分離領域によって区分された第2導電型の浅いウェル領域と、

上記第2導電型の浅いウェル領域上に形成されたゲート絶縁膜と、

上記第2導電型の浅いウェル領域上の上記ゲート絶縁膜上の位置から上記素子分離領域上の位置まで細長く延在するゲート電極と、

上記第2導電型の浅いウェル領域上に上記ゲート電極と上記第2導電型の浅いウェル領域とを接続するために設けられた上記ゲート電極の長手方向の一端及び上記ゲート絶縁膜のうち上記一端に対応する部分を除去してなるコンタクト領域と、

上記コンタクト領域の全域に第2導電型の不純物を上記第2導電型の浅いウェル領域での濃度よりも高濃度にドーピングして形成された高濃度拡散層を備え、

上記ゲート電極のうち長手方向に関して上記コンタクト領域と隣接する第1部分に不純物がドーピングされていない一方、上記ゲート電極のうち長手方向に関して上記第1部分と上記素子分離領域上の第3部分とに挟まれた、上記第2導電型の浅いウェル領域上の第2部分に、上記第1導電型と第2導電型のうち第1導電型の不純物のみがドーピングされており、

上記ゲート電極の上記第2部分の上面、上記ゲート電極の上記第1部分の上面および上記コンタクト領域に面する側壁、並びに上記高濃度拡散層の上面に連続的に接するように

10

20

形成された高融点金属シリサイド膜を備え、

上記高融点金属シリサイド膜のうち、上記ゲート電極の上記第 2 部分に接する箇所の膜厚に比べて、上記ゲート電極の上記第 1 部分に接する箇所の膜厚が厚くなっており、

上記ゲート電極と上記第 2 導電型の浅いウェル領域とは上記コンタクト領域の高濃度拡散層を介して上記高融点金属シリサイド膜により電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】

シリコンからなる半導体基板と、

上記半導体基板内に形成された第 1 導電型の深いウェル領域と、

上記第 1 導電型の深いウェル領域内に形成され、素子分離領域によって区分された第 2 導電型の浅いウェル領域と、

上記第 2 導電型の浅いウェル領域上に形成されたゲート絶縁膜と、

上記第 2 導電型の浅いウェル領域上の上記ゲート絶縁膜上の位置から上記素子分離領域上の位置まで細長く延在する多結晶シリコンからなるゲート電極と、

上記第 2 導電型の浅いウェル領域上に上記ゲート電極と上記第 2 導電型の浅いウェル領域とを接続するために設けられた上記ゲート電極の長手方向の一端及び上記ゲート絶縁膜のうち上記一端に対応する部分を除去してなるコンタクト領域と、

上記コンタクト領域の全域に第 2 導電型の不純物を上記第 2 導電型の浅いウェル領域での濃度よりも高濃度にドーピングして形成された高濃度拡散層を備え、

上記ゲート電極のうち長手方向に関して上記コンタクト領域と隣接する第 1 部分に不純物がドーピングされていない一方、上記ゲート電極のうち長手方向に関して上記第 1 部分と上記素子分離領域上の第 3 部分とに挟まれた、上記第 2 導電型の浅いウェル領域上の第 2 部分に、上記第 1 導電型と第 2 導電型のうち第 1 導電型の不純物のみがドーピングされており、

上記ゲート電極の上記第 2 部分の上面、上記ゲート電極の上記第 1 部分の上面および上記コンタクト領域に面する側壁、並びに上記高濃度拡散層の上面に連続的に接するように、高融点金属のシリサイド化工程によって形成された高融点金属シリサイド膜を備え、

上記ゲート電極と上記第 2 導電型の浅いウェル領域とは上記コンタクト領域の高濃度拡散層を介して上記高融点金属シリサイド膜により電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、

上記ゲート電極の側壁に形成されたゲート電極側壁絶縁膜と、

上記ゲート電極側壁絶縁膜に隣接し、上記素子分離領域の一部を覆うように形成されたソース領域及び/またはドレイン領域となる第 1 導電型の半導体層を備え、

上記第 1 導電型の半導体層は、上記第 2 導電型の浅いウェル領域より上方に形成され、上記第 1 導電型の半導体層の厚さは上記素子分離領域から上記ゲート電極に向かって漸次大きくなることを特徴とする半導体装置。

【請求項 4】

請求項 1 または 2 に記載の半導体装置において、

上記コンタクト領域に形成された上記高濃度拡散層の深さ (D_{sd}) は、最小加工寸法を F 、上記第 2 導電型の浅いウェルの深さを D_{sw} とすると、 $20F/21 < D_{sd} < D_{sw}$ を満足するように形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関する。より具体的には、ゲート電極とウェル領域が接続されたことを特徴とする動的閾値トランジスタに関する。

【0002】

【従来の技術】

携帯電話に代表される携帯機器端末は目覚ましい発展を続けているが、そのバッテリー

の寿命を延ばすために集積回路(CMOS LSI)の低消費電力化が熟望されている。CMOS LSIの消費電力は電源電圧の2乗に比例するため、低消費電力化には電源電圧を低くすることが最も有効である。しかし、電源電圧を低くすると、トランジスタの駆動力が減少するため、回路の遅延時間が増大してしまうという問題が生じる。これは、電源電圧を低くするほど顕著になる。

【0003】

これを改善する一つの方法として、トランジスタのしきい値電圧を低くすることが考えられるが、しきい値電圧の低減に伴い、ゲートオフ時のリーク電流、すなわちスタンバイリーク電流が増大するため、許容できるスタンバイリーク電流によりしきい値の下限が限定されてしまう。

10

【0004】

このような問題を解決するために、特開平10-163342号公報では、ウェル領域のバイアスを変化させることにより生じる基板バイアス効果を利用した、低電圧駆動、低消費電力、かつ高速動作が可能なMOSFET(Metal Oxide Semiconductor Field Effect Transistor)技術として、バルク基板を用いた動的閾値動作トランジスタ(以下、DTMOS)が提案されている。

【0005】

図13(a)は、そのようなDTMOSの平面レイアウトを示し、図13(b)は、図13(a)におけるA-A'方向の断面を、図13(c)は、図13(a)におけるB-B'方向の断面をそれぞれ示している。このDTMOSは半導体基板301上に第1導電型の深いウェル303と第2導電型の浅いウェル304を備え、素子分離302により第2導電型の浅いウェル304は電気的に分離されている。ゲート電極306は主としてチャンネル領域330上に設けられた第1導電型の不純物がドーピングされた多結晶シリコン306aからなっている(なお、ゲート電極306の端部306rには第2導電型の不純物がドーピングされている。これについては後述する。)。ゲート電極306は高融点金属シリサイド膜309を介して第2導電型の浅いウェル304と接続されている。ゲート電極306と第2導電型の浅いウェル304とを接続するために、第2導電型の浅いウェル304の表面に、ゲート電極とゲート絶縁膜の一部を除去してコンタクト領域320が設けられている。このコンタクト領域320を通して不純物をイオン注入し、その注入した不純物を活性化するための熱処理を行って、高融点金属シリサイド膜309とウェル304とをオーミック接続するための第2導電型の高濃度拡散層領域307が第2導電型の浅いウェル304中に形成されている。なお、321, 322がソース・ドレイン領域であり、これらの領域上にも高融点金属シリサイド膜309が設けられている。

20

30

【0006】

上記DTMOSは、ゲート電極306とウェル領域304とが電気的に接続されている。そのため、ゲート電極306にハイレベルの電位が与えられた時のみウェル領域304のポテンシャルが上昇し、基板バイアス効果により実効的なしきい値が低下し、駆動電流は通常のMOSFETの場合に比べて増加する。このため、低電源電圧で低リーク電流を維持しながら大きな駆動電流を得ることができる。したがって、低電圧駆動で低消費電力なMOSFETが実現される。

40

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来技術によれば、高融点金属シリサイド膜309と第2導電型の浅いウェル304をコンタクト領域320においてオーミック接続するために、第2導電型の高濃度拡散層領域307を形成しているが、第2導電型の高濃度拡散層領域307を形成するための不純物イオン注入の際、ゲート電極端部306rにも同時に注入される。従来技術の公報(特に図面)では、第2導電型の不純物がゲート電極にドーピングされているようには記載されていないが、コンタクト領域320に対して余裕を持って第2導電型の不純物を注入する必要があるため、実際にはゲート電極306のうちコンタクト領域320に隣接する端部306rに必ず第2導電型の不純物がドーピングされる。このため、ゲート

50

電極端部 306r に注入された第 2 導電型の不純物が後の熱処理時にチャネル領域上の部分 306a へ拡散して、本来ドーピングされている第 1 導電型の不純物を相殺し実効チャネル幅（ゲート電極長手方向）が小さくなり、DTMOS の駆動力を低下させるという問題がある。この現象は不純物の相互拡散と呼ばれ、その現象を詳細に実験したので図 14 及び図 15 に結果を示す。図 14 は実験のパラメータを説明するもので、図 15 は実験結果である。図 14 (a) は第 2 導電型の高濃度拡散層領域 307 を形成するためのイオン注入 380 の工程での平面レイアウトを、図 14 (b) は図 14 (a) におけるゲート電極長手方向の B - B' 断面をそれぞれ示している。図 14 (a) 中に示すように、チャネル端 331 とイオン注入 380 される領域（レジスト 375 で覆われていない領域）の端 333 との距離を S_{gpsd} と定義している。そして、レジスト 375 で覆う範囲を様々に変化させてイオン注入 380 を行って、トランジスタ駆動力の S_{gpsd} 依存性を評価した。図 15 の縦軸のトランジスタ駆動力は、相互拡散が十分に抑制されている S_{gpsd} の時の値を 1 として規格化している。チャネル端 331 とコンタクト領域 320 との距離は図 14 (a) に示すとおり $0.3 \mu\text{m}$ と固定した。その結果を図 15 に示す。この結果より、NMOS、PMOS 共に S_{gpsd} を小さくすると、すなわち第 2 導電型のイオン注入 380 される領域をチャネルに近づけると、相互拡散の影響によりトランジスタの駆動力が減少している。例えば、 $S_{gpsd} = 0.1 \mu\text{m}$ のとき、NMOS では約 10%、PMOS では約 25% の駆動力の低下が観測された。この駆動力の低下を防止するためには、 S_{gpsd} を、NMOS では $0.5 \mu\text{m}$ 以上、PMOS では $0.7 \mu\text{m}$ 以上に設定する必要がある。このことより、DTMOS の駆動力を低下させることなくゲート電極長手方向の微細化を達成することは従来例では困難であることがわかる。NMOS と PMOS で S_{gpsd} に差があるのは P 型不純物と N 型不純物の拡散速度の差によるものと考えられる。

【0008】

また、図示はしていないが、本発明者は、NMOS において、 S_{gpsd} を大きくすると、すなわち第 2 導電型のイオン注入 380 される領域をチャネルより遠ざけていくと、ゲート電極 306 からソース電極へのリーク電流が増大するという現象を発見した。この現象は $S_{gpsd} = 0.5 \mu\text{m}$ 以上のサンプルで起こり、正常なサンプルのリーク電流より 3 桁も大きかった。また、この現象は PMOS では観測されなかった。この現象を解明するために、筆者らは Scanning Capacitance Microscope (SCM) という解析手法を用いて NMOS のゲート長手方向断面の不純物 2 次元プロファイルを測定した。その結果の模式図を図 16 に示す。NMOS なので、第 1 導電型は N 型、第 2 導電型は P 型になる。SCM 解析から、まず、コンタクト領域 320 の一部に高濃度拡散層領域 307 で覆われていない領域、つまり高融点金属シリサイド膜 309 が浅い P ウェル 304 と直接接触する領域が存在していた。 S_{gpsd} は十分大きいので、高濃度 P 型拡散層 307 が熱拡散により注入された位置から横方向に拡散する距離を見込んでもコンタクト領域 320 の全域を高濃度 P 型拡散層 307 では覆うことができない。また、その高融点金属シリサイド膜 309 が浅い P ウェル 304 と直接接触する領域に浅い P ウェル 304 よりも濃度が薄くなっている極低濃度 P 型領域 350 が観測された。P 型拡散層を形成する不純物としては通常ボロンが使用されるが、高融点金属シリサイド膜 309 にボロンが吸われたためこのような低濃度領域が形成されたと考えられる。このような極低濃度 P 型領域 350 が形成されると、極低濃度 P 型領域 350 とチャネル N 型反転層間のビルトインポテンシャル、すなわちポテンシャル障壁が小さくなり、 $0.3 \text{V} \sim 0.4 \text{V}$ という僅かな電圧で大きな順方向接合リーク電流が発生してしまう。このことより、ゲート電極 306 に正電位が印加されると、高融点金属シリサイド領域 309 極低濃度 P 型領域 350 チャネル N 型反転層 360 ソース電極という経路でリーク電流が流れていることがわかった。したがって、従来例の NMOS を作製するときレジスト 375 で覆う範囲を変えるだけでは、駆動力を低下させることなく接合リーク電流を抑制するのは困難で、満足する条件があってもプロセスマージンが非常に小さい。また、相互拡散を防止するためにはコンタクト領域への注入位置をチャネル領域から遠ざける必要があ

10

20

30

40

50

るので微細化に向かない。

【0009】

そこで、本発明の課題は、トランジスタの駆動力を低下させることなく素子の微細化を実現すると共に、ゲート電極から浅いウェルを介してソース電極への順方向接合リーク電流を防止できる半導体装置を提供することにある。

【0010】

【課題を解決するための手段】

上記の課題を解決するために、この発明の半導体装置は次のように構成されている。すなわち、この発明の半導体装置は、

半導体基板と、

上記半導体基板内に形成された第1導電型の深いウェル領域と、

上記第1導電型の深いウェル領域内に形成され、素子分離領域によって区分された第2導電型の浅いウェル領域と、

上記第2導電型の浅いウェル領域上に形成されたゲート絶縁膜と、

上記第2導電型の浅いウェル領域上の上記ゲート絶縁膜上の位置から上記素子分離領域上の位置まで細長く延在するゲート電極と、

上記第2導電型の浅いウェル領域上に上記ゲート電極と上記第2導電型の浅いウェル領域とを接続するために設けられた上記ゲート電極の長手方向の一端及び上記ゲート絶縁膜のうち上記一端に対応する部分を除去してなるコンタクト領域と、

上記コンタクト領域の全域に第2導電型の不純物を上記第2導電型の浅いウェル領域での濃度よりも高濃度にドーピングして形成された高濃度拡散層を備え、

上記ゲート電極のうち長手方向に関して上記コンタクト領域と隣接する第1部分に不純物がドーピングされていない一方、上記ゲート電極のうち長手方向に関して上記第1部分と上記素子分離領域上の第3部分とに挟まれた、上記第2導電型の浅いウェル領域上の第2部分に、上記第1導電型と第2導電型のうち第1導電型の不純物のみがドーピングされており、

上記ゲート電極の上記第2部分の上面、上記ゲート電極の上記第1部分の上面および上記コンタクト領域に面する側壁、並びに上記高濃度拡散層の上面に連続的に接するように形成された高融点金属シリサイド膜を備え、

上記高融点金属シリサイド膜のうち、上記ゲート電極の上記第2部分に接する箇所の膜厚に比べて、上記ゲート電極の上記第1部分に接する箇所の膜厚が厚くなっており、

上記ゲート電極と上記第2導電型の浅いウェル領域とは上記コンタクト領域の高濃度拡散層を介して上記高融点金属シリサイド膜により電気的に接続されていることを特徴とする。

【0011】

上記構成の半導体装置によれば、上記コンタクト領域の全域に高濃度拡散層が形成されているため、ゲート電極からソース電極への順方向接合リーク電流を抑制することができる。また、上記ゲート電極のうち長手方向に関して上記コンタクト領域と隣接する第1部分に不純物がドーピングされていない一方、上記ゲート電極のうち長手方向に関して上記第1部分と上記素子分離領域上の第3部分とに挟まれた、上記第2導電型の浅いウェル領域上の第2部分に、上記第1導電型と第2導電型のうち第1導電型の不純物のみがドーピングされているので、上記ゲート電極形成の後の熱処理時に第2導電型の不純物がチャンネル領域上のゲート電極へ拡散して第1導電型の不純物と相殺してトランジスタの駆動力を低下させることがない。しかも、チャンネル端と上記コンタクト領域（の高濃度拡散層）との距離を小さく設定できるので素子の微細化が可能になる。

【0012】

また、ゲート電極長手方向の両端に発生するゲート電極と第2導電型の浅いウェルとの容量、及び、ゲート電極とソース・ドレイン領域間の容量を低減することができる。

【0013】

別の局面では、この発明の半導体装置は、

シリコンからなる半導体基板と、

10

20

30

40

50

上記半導体基板内に形成された第1導電型の深いウェル領域と、
上記第1導電型の深いウェル領域内に形成され、素子分離領域によって区分された第2導電型の浅いウェル領域と、

上記第2導電型の浅いウェル領域上に形成されたゲート絶縁膜と、

上記第2導電型の浅いウェル領域上の上記ゲート絶縁膜上の位置から上記素子分離領域上の位置まで細長く延在する多結晶シリコンからなるゲート電極と、

上記第2導電型の浅いウェル領域上に上記ゲート電極と上記第2導電型の浅いウェル領域とを接続するために設けられた上記ゲート電極の長手方向の一端及び上記ゲート絶縁膜のうち上記一端に対応する部分を除去してなるコンタクト領域と、

上記コンタクト領域の全域に第2導電型の不純物を上記第2導電型の浅いウェル領域での濃度よりも高濃度にドーピングして形成された高濃度拡散層を備え、

上記ゲート電極のうち長手方向に関して上記コンタクト領域と隣接する第1部分に不純物がドーピングされていない一方、上記ゲート電極のうち長手方向に関して上記第1部分と上記素子分離領域上の第3部分とに挟まれた、上記第2導電型の浅いウェル領域上の第2部分に、上記第1導電型と第2導電型のうち第1導電型の不純物のみがドーピングされており、

上記ゲート電極の上記第2部分の上面、上記ゲート電極の上記第1部分の上面および上記コンタクト領域に面する側壁、並びに上記高濃度拡散層の上面に連続的に接するように、高融点金属のシリサイド化工程によって形成された高融点金属シリサイド膜を備え、

上記ゲート電極と上記第2導電型の浅いウェル領域とは上記コンタクト領域の高濃度拡散層を介して上記高融点金属シリサイド膜により電氣的に接続されていることを特徴とする。

【0014】

上記構成の半導体装置でも、上記コンタクト領域の全域に高濃度拡散層が形成されているため、ゲート電極からソース電極への順方向接合リーク電流を抑制することができる。また、上記ゲート電極のうち長手方向に関して上記コンタクト領域と隣接する第1部分に不純物がドーピングされていない一方、上記ゲート電極のうち長手方向に関して上記第1部分と上記素子分離領域上の第3部分とに挟まれた、上記第2導電型の浅いウェル領域上の第2部分に、上記第1導電型と第2導電型のうち第1導電型の不純物のみがドーピングされているので、上記ゲート電極形成の後の熱処理時に第2導電型の不純物がチャンネル領域上のゲート電極へ拡散して第1導電型の不純物と相殺してトランジスタの駆動力を低下させることがない。しかも、チャンネル端と上記コンタクト領域(の高濃度拡散層)との距離を小さく設定できるので素子の微細化が可能になる。

【0015】

また、ゲート電極長手方向の両端に発生するゲート電極と第2導電型の浅いウェルとの容量、及び、ゲート電極とソース・ドレイン領域間の容量を低減することができる。

【0016】

また、1実施の形態では、この発明の半導体装置は、

上記ゲート電極の側壁に形成されたゲート電極側壁絶縁膜と、

上記ゲート電極側壁絶縁膜に隣接し、上記素子分離領域の一部を覆うように形成されたソース領域及び/またはドレイン領域となる第1導電型の半導体層を備える。そして、

上記第1導電型の半導体層は、上記第2導電型の浅いウェル領域より上方に形成され、上記第1導電型の半導体層の厚さは上記素子分離領域から上記ゲート電極に向かって漸次大きくなることを特徴としている。

【0017】

上記構成の半導体装置によれば、ソース・ドレイン領域が上記第1導電型の半導体層により積み上げられる構造になっているため、ソース・ドレイン領域の寄生抵抗が減少してトランジスタの駆動力が増大する作用がある。さらに、本構造を作製する場合は、ソース・ドレイン領域形成のためのドナーもしくはアクセプタとなる不純物イオンをチャンネル領域よりも積み上げられた半導体膜中に注入して、その半導体膜からシリコン基板へ不純物を固相拡散させることにより接合が形成され得る。このため、短チャンネル効果を抑制する

10

20

30

40

50

構造が容易に形成できるという作用がある。これと共に、不純物を直接シリコン基板中へ注入しないので結晶欠陥に起因する接合リーク電流が発生しないという作用もある。またさらに、ソース・ドレイン領域の占有面積に対して表面積を大きくすることが可能なため、ソース・ドレイン領域上へ上部配線とのコンタクトを設ける際に接触面積を大きくしてコンタクト抵抗を低減する作用がある。

【0018】

また、1実施の形態の半導体装置では、上記コンタクト領域に形成された上記高濃度拡散層の深さ(Dsd)は、最小加工寸法をF、上記第2導電型の浅いウェルの深さをDswとすると、 $20F/21 < Dsd < Dsw$ を満足するように形成されていることを特徴としている。

10

【0019】

半導体基板表面に対して垂直方向(拡散層の深さに対応)に拡散する距離に対して横方向の不純物拡散距離の比は0.7であるため、上記注入領域の位置が上記ゲート電極から遠ざかる側へばらついたとき、高濃度拡散層の必要な深さは、 $2 \times F / 3 / 0.7 = 20F/21$ と算出される。ここで、上記実施の形態によれば、上記高濃度拡散層の深さ(Dsd)は $20F/21$ 以上に形成されているため、上記コンタクト領域の全域に制御良く上記高濃度拡散層を形成できる。また、上記高濃度拡散層の深さ(Dsd)は上記第2導電型の浅いウェル領域の深さ(Dsw)より小さいため、ゲート電極と第1導電型の深いウェルとの間のリーク電流を防止できる。

【0020】

20

【発明の実施の形態】

以下、本発明を図示の実施の形態により詳細に説明する。

【0021】

本発明に使用することができる半導体基板は、特に限定されないが、シリコン基板が好ましい。また、半導体基板は、P型またはN型の導電型を有していても良い。

【0022】

(実施の形態1)

本実施の形態1の半導体装置は、DTMOSの駆動力を低下させることなく微細化を可能とする、また、ゲート電極から浅いウェルを介してソース電極へ流れる順方向接合リーク電流の増大を防止するための構造及び方法を提供するものである。

30

【0023】

まず、図1により本実施の形態1の半導体装置の構成を説明する。図1(a)は、その平面レイアウトを示し、図1(b)は、図1(a)におけるA-A'方向の断面を、図1(c)は、図1(a)におけるB-B'方向の断面をそれぞれ示している。

【0024】

第2導電型の半導体基板101内には、第1導電型の深いウェル領域103が形成されている。第1導電型の深いウェル領域103上には、第2導電型の浅いウェル領域104が形成されている。浅いウェル領域104は、素子分離領域102により区分されて、素子毎に電氣的に分離されている。

【0025】

40

浅いウェル領域104の表面上には、ゲート絶縁膜105を介して半導体膜110からなるゲート電極106が形成されている。ゲート電極106は、一方向(B-B'方向)に細長く延びており、素子分離領域102上まで達している。ゲート電極106のうちチャンネル領域130上の部分106aは第1導電型にドーブされている。ゲート電極106の一端(図1において右端)では、半導体膜110とゲート絶縁膜105が除去されて、コンタクト領域120が設定されている。高融点金属シリサイド膜112と浅いウェル104とが制御性良く接続されるように、コンタクト領域120の全域に、第2導電型の不純物を浅いウェル領域104の濃度より高濃度にドーブした高濃度拡散層111が形成されている。そのコンタクト領域120の高濃度拡散層111を介して高融点金属シリサイド膜112によりゲート電極106と浅いウェル104とが接続されている。このため、

50

第2導電型がP型の場合、すなわちNMOSにおいて、ゲート電極から浅いウェルを介してのソース電極へのリーク電流の増大が防止できる。このとき、高融点金属シリサイド膜112と浅いウェル領域104とを制御性良くオーミック接続するためには、上記拡散層111の濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度で形成されていることが好ましい。なお、121, 122がソース・ドレイン領域であり、これらの領域上にも高融点金属シリサイド膜112が設けられている。

【0026】

また、第2導電型の不純物がゲート電極106にドーブされていない。そのため、ゲート電極106のうちチャンネル領域130上の部分106aにドーブされた第1導電型の不純物が第2導電型の不純物によって相殺されることがない。したがって、トランジスタの駆動力を下げることなくチャンネル領域130とコンタクト領域120との距離を近づけることができるので、ゲート電極長手方向に素子を微細化することができる。

10

【0027】

また、ゲート電極106の長手方向の両端に不純物がドーブされていない部分106b, 106cが形成されている。このため、ゲート電極106と浅いウェル104との間の容量及びゲート電極106とソース・ドレイン領域との間の容量を削減することができる。また、コンタクト領域120側のゲート電極側面に形成される高融点金属シリサイド膜112は、従来例のように不純物が高濃度にドーブされたシリコン上に形成した場合よりも厚く形成されている。このため、ゲート電極106と浅いウェル104との間のコンタクト抵抗を低減することができる。これは従来の場合、拡散層に存在する不純物が高融点金属とシリコンとの反応を阻害するが、本発明の実施形態では、ゲート電極端部106bの側壁に不純物が存在しないため従来例より厚くて低抵抗な高融点金属シリサイド膜が形成できるからである。

20

【0028】

また、最小加工寸法をF、浅いウェルの深さをDswとすると、高濃度拡散層111は、その深さ(Dsd)が、 $20F/21 < Dsd < Dsw$ を満足するように形成されている。このため、ゲート電極106に第2導電型の不純物がドーブされることなく、コンタクト領域の全域に制御良く高濃度拡散層111を形成できる。これと共に、DsdはDswより小さいので、ゲート電極106と第1導電型の深いウェル103との間のリーク電流の増大を防止できる。なお、Dsdが $20F/21$ より大きくなくてはならないという根拠は、実施の形態2において詳細に説明する。

30

【0029】

(実施の形態2)

本実施の形態2の半導体装置は、本実施の形態1の半導体装置における作用に加えて、ゲート電極長手方向とは垂直な方向の素子の占有面積を小さくして微細化を可能とする、また、素子の駆動力を増大させるための構造及び方法を提供するものである。

【0030】

まず、図10により本実施の形態2の半導体装置の構成を説明する。図10(a)は、その平面レイアウトを示し、図10(b)は、図10(a)におけるA-A'方向の断面を、図10(c)は、図10(a)におけるB-B'方向の断面をそれぞれ示している。

40

【0031】

第2導電型の半導体基板201内には、第1導電型の深いウェル領域203が形成されている。第1導電型の深いウェル領域203上には、第2導電型の浅いウェル領域204が形成されている。浅いウェル領域204は、素子分離領域202により区分されて、素子毎に電氣的に分離されている。

【0032】

浅いウェル領域204の表面上には、ゲート絶縁膜205を介して半導体膜210からなるゲート電極206が形成されている。ゲート電極206は、一方向(B-B'方向)に細長く延びており、素子分離領域202上まで達している。ゲート電極206のうちチャンネル領域230上の部分206aは第1導電型にドーブされている。ゲート電極206

50

の一端（図10において右端）では、半導体膜210とゲート絶縁膜205は除去されて、コンタクト領域220が設定されている。高融点金属シリサイド膜212と浅いウェル204とが制御性良く接続されるように、コンタクト領域220の全域に、第2導電型の不純物を浅いウェル領域204の濃度より高濃度にドーブした高濃度拡散層211が形成されている。そのコンタクト領域220の高濃度拡散層211を介して高融点金属シリサイド膜212によりゲート電極206と浅いウェル204とが接続されている。このとき、高融点金属シリサイド膜212と浅いウェル領域204とを制御性良くオーミック接続するためには、上記拡散層211の濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度で形成されていることが好ましい。

【0033】

したがって、実施の形態1と同様な作用を得ることができると共に、それに加えて以下のような作用を得ることができる。

【0034】

本実施の形態の半導体装置は、ソース・ドレイン領域221, 222が、浅いウェル204とゲート絶縁膜205との界面、すなわち半導体基板201の表面より上方に第1導電型の半導体膜210により積み上げられている。本半導体膜210は、図10(b)によって良く分かるようにゲート電極206の側方へゲート電極から遠のくにしたがって膜厚が薄くなる構造になっている。このため、ゲート側壁絶縁膜端のエッジ抵抗を小さくすることができるので素子の寄生抵抗を低減することができる。これと共に、従来の平面上にコンタクトを形成する場合よりコンタクト214の接地面積が大きくコンタクト抵抗を低減することができるので、実施の形態1の半導体装置に比べて素子の駆動力を向上することができる。また、半導体膜210によってシリサイド膜212とその下方の接合との距離を大きくすることができるので接合リーク電流を小さくすることができる。さらに、ゲート電極206と素子分離領域202との横方向の距離、すなわちソース・ドレインの活性領域221b, 222bの幅は、積み上げられた半導体膜209の幅より小さい。このため、素子面積を小さくできるので微細化が可能であると共に、接合容量及び浅いウェル領域204からソース領域への順方向リーク電流を小さくすることができる。さらに、素子分離領域202が耐フッ酸性絶縁膜208により覆われているため、フッ酸処理工程から素子分離酸化膜がエッチングされるのを抑制できる。さらに、第1導電型の不純物が余分な箇所にもドーブされていないため、つまりゲート電極206の端部に不純物がドーブされ

【0035】

次に、本実施の形態2の半導体装置を形成する手順を、図2から図10を用いて説明する。図2から図10において、各分図(a)は平面レイアウトに相当し、各分図(b)は対応する分図(a)の切断面線A-A'からみた断面、各分図(c)は対応する分図(a)の切断面線B-B'からみた断面に相当する。

【0036】

まず、図2に示すように、半導体基板201中に公知の方法で素子分離領域202を形成する。本実施例では、STI(Shallow Trench Isolation)技術を用いて、深さ400~700nmの溝を形成して、その溝に酸化膜を埋め込むことにより素子分離領域202を形成している。しかし、素子分離領域の形成の仕方は本方法に限るものではなく、浅いウェル204を素子毎に電気的に分離できるものであればよい。

【0037】

次に、図3に示すように、深いウェル領域203と、浅いウェル領域204を形成する。本実施例では、深いウェル領域203を形成するために、Nチャネル素子を作製する際には、隣を250KeV~350KeV程度のエネルギーで $5 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ 程度注入した。Pチャネル素子を作製する際には、ボロンを170KeV~230K

10

20

30

40

50

e V 程度のエネルギーで $5 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ 程度注入した。浅いウェル領域 104 を形成するために、N チャネル素子を作製する際には、ボロンを 20 KeV \sim 90 KeV 程度のエネルギーで $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 程度注入した。P チャネル素子を作製する際には、隣を 50 KeV \sim 220 KeV 程度のエネルギーで $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 程度注入した。

【0038】

次に、図4に示すように、ゲート絶縁膜205、ゲート電極206及びゲート電極206の上部に絶縁膜207（本実施例では、シリコン酸化膜）を通常の方法で形成する。

【0039】

次に、図示はしていないが、熱酸化により2～10nmのシリコン酸化膜をゲート電極の側壁及びソース・ドレインとなる活性領域に形成する。次に、図5に示すように、ゲート電極206の側壁を覆うシリコン窒化膜からなるゲート電極側壁絶縁膜208を形成する。詳しくは、本実施例では、シリコン窒化膜を全面に形成し、ゲート電極をリサイズさせた（ゲート電極よりも、素子分離までの距離程度広げた）マスクを用いて、リソグラフィ工程によりゲート電極をリサイズさせたレジストの抜き領域を形成し、このレジストをマスクにして上記シリコン窒化膜のうちゲート電極206の上面と浅いウェル領域204の表面上の部分をエッチングして除去した（この後、上記レジストを除去した）。これにより、ゲート電極側壁絶縁膜208が形成されると共に、素子分離領域202上にシリコン窒化膜208が残される。本実施例のゲート電極側壁絶縁膜208は、シリコン窒化膜で形成しているが、シリコン窒化膜を形成する前に10～30nmのシリコン酸化膜を形成してもよい。この場合は、シリコン窒化膜の加工をシリコン酸化膜に対して高選択性を有する条件で行うと、シリコン窒化膜の加工がシリコン酸化膜上にて完了するため、加工時のダメージがシリコン基板に発生しない。

【0040】

次に、図6に示すように、積み上げ拡散層210の材料として多結晶シリコン膜をLPCVD法により全面に形成した後、異方性のエッチバックを行って上記多結晶シリコン膜サイドウォール209を形成する。本サイドウォール209の幅はソース・ドレインの活性領域幅よりも大きくなるように多結晶シリコン膜の堆積膜厚とエッチバック条件を調整している。この多結晶シリコン膜サイドウォール209を形成するときは、シリコン基板表面との界面に自然酸化膜が成長しないように形成することが重要となる。半導体基板のソース・ドレイン活性領域表面と、堆積した多結晶シリコン膜209との界面に自然酸化膜が成長すると、後の工程でイオン注入により多結晶シリコン膜中にドナー、もしくはアクセプタとなる不純物を導入した後、熱処理により不純物を半導体基板中へ熱拡散させて接合を形成する際に、この自然酸化膜が不純物の拡散バリアとなり均一な不純物拡散が阻害される。このため、ソース・ドレインの接合深さが不均一になり、トランジスタ特性がばらつく原因となる。

【0041】

本実施例では、予備排気室と露点が常に-100以下に保たれた窒素パーージ室と、堆積炉を備えたLPCVD装置により多結晶シリコン膜209を形成するので、自然酸化膜が成長しないように多結晶シリコン膜209を成長させることが可能となっている。

【0042】

具体的には、多結晶シリコン膜を形成させる直前にフッ酸系の溶液で洗浄し、自然酸化膜を一旦除去した後、予備真空排気室に搬送する。搬送時の大気雰囲気を一真空排気した後、窒素雰囲気に置換し露点が-100以下に保たれた窒素パーージ室に搬送する。ここで、予備排気室の役割は、搬送時の大気を窒素パーージ室に混入させないことである。ほんの僅かな大気であっても大気が窒素パーージ室に混入すると、-100以下の雰囲気まで回復させるのに数日の時間がかかり、非常にスループットが悪化してしまう。また、窒素パーージ室の役割は、ウエハ表面に吸着した水分子を窒素パーージにより完全に除去することである。ウエハ表面に吸着した水分子は窒素パーージにより完全に除去できることが実験により確認されている。

10

20

30

40

50

【0043】

通常のLPCVD装置では、このような除去しきれない水分子をウエハ表面に吸着させたまま堆積炉へ搬送される。通常が多結晶シリコン膜は550 から650 程度の温度で形成しているため、この温度に保たれている堆積炉にウエハを搬送する際に吸着している水分子及び大気中の酸素がシリコンウエハと反応して、多結晶シリコン膜を形成する前に自然酸化膜が成長してしまう。これにより、多結晶シリコン膜サイドウォール209と第2導電型の浅いウェル204との界面に自然酸化膜が成長してしまう。しかし、本実施例のLPCVD装置では、上述したように露点が常に-100 以下に保たれた窒素パージ室にて吸着している水分子を完全に除去した後に堆積炉へ搬送するシステムになっているため、自然酸化膜を成長させることなく多結晶シリコン膜を形成することが可能となっている。したがって、不純物が半導体基板(浅いウェル領域204)へ円滑に拡散し均一な接合を制御性良く形成することができる。

10

【0044】

次に、図7に示すように、まず、ゲート電極206上のシリコン酸化膜207を除去する。詳しくは、本実施例では、シリコン酸化膜207を除去するためにフッ酸溶液を用いた。ウエハ表面は、ゲート電極206上の本シリコン酸化膜以外は多結晶シリコン膜209もしくはシリコン窒化膜208という耐フッ酸性を有する膜で覆われているので、ゲート電極206上のシリコン酸化膜207のみを除去できる。次に、多結晶シリコン膜サイドウォール209によって直接ソースとドレインがショートするのを避けるために、周知のリソグラフィ技術及び加工技術を用いて、多結晶シリコン膜サイドウォール209のうちゲート電極両端に存する部分を除去すると共に、ゲート電極206と浅いウェル204とを接続するためのコンタクト領域220を設定するために、浅いウェル領域204上に存するゲート電極206の一部(端部)を除去する。多結晶シリコン膜サイドウォール209及びゲート電極206の一部及びを除去する条件は、ゲート電極側壁が半導体基板面に対して垂直ではない場合にも分離を確実にするため、若干サイドエッチングの入る条件にて行った。具体的にはヘリコン型RIE(リアクティブ・イオン・エッチング)装置を用いて、臭化水素と酸素の混合ガスの0.4Paの圧力のもとでエッチングを行った。

20

【0045】

ソース・ドレイン領域を分離するためのエッチング工程時にゲート電極206の一部も同時にエッチングすることにより、ゲート電極206と浅いウェル領域204を接続するためのリソグラフィ工程を新たに行う必要が無く工程数を削減できる。次に、コンタクト領域220上に相当するゲート絶縁膜205を除去する。ここで、ゲート絶縁膜205の除去は、後工程のソース・ドレイン領域を形成するためのイオン注入工程と活性化アニール後に行っても良い。

30

【0046】

次に、図8に示すように、ソース・ドレイン領域221, 222を形成するために第1導電型不純物のイオン注入を行う。本実施例では、ソース・ドレイン領域221, 222を形成するための多結晶シリコン膜サイドウォール209へのドーピングと同時にゲート電極206へのドーピングを行っている。また、コンタクト領域220にはソース・ドレイン領域に注入したイオン種とは逆導電型の不純物、すなわち、浅いウェル204とオーミック接続を取るために浅いウェル204と同じ導電型である第2導電型の不純物を注入して第2導電型の高濃度拡散層211を形成する。本実施例では、CMOSを形成するため、Nチャネル型素子のソース、ドレイン、ゲート電極へのドナー不純物注入の際に、Pチャネル型素子のゲート電極とN型導電型の浅いウェル領域と接続させるためのコンタクト領域へのドナー不純物注入を同時に行い、Pチャネル型素子のソース、ドレイン、ゲート電極へのアクセプタ不純物注入の際に、Nチャネル型素子のゲート電極とP型導電型の浅いウェル領域とを接続するためのコンタクト領域へのアクセプタ不純物注入を同時に行っている。このため、新たに工程を付加することなく、上記各コンタクト領域へのイオン注入を行うことが可能である。

40

【0047】

50

多結晶シリコン膜 210 からなるゲート電極 206 の膜厚は 200 から 250 nm、多結晶シリコン膜サイドウォール 209 のゲート電極近傍の高さは 200 から 300 nm で形成した。このため、イオン注入条件は、Nチャネルトランジスタに関しては、燐イオンを 20 KeV から 80 KeV 程度のエネルギーで 2×10^{15} から $1 \times 10^{16} / \text{cm}^2$ 程度の注入量で行った。Pチャネルトランジスタに関しては、ボロンイオンを 10 KeV から 30 KeV 程度のエネルギーで 2×10^{15} から $1 \times 10^{16} / \text{cm}^2$ 程度の注入量で行った。ここで、図示はしていないが、不純物注入時の汚染物（コンタミネーション）除去を目的に、不純物を注入する前に 5 ~ 30 nm のスクリーン酸化膜を全面に形成しても良い。また、不純物注入のエネルギーは多結晶シリコン膜サイドウォール 209 中のみに不純物が注入されるように設定されている。次に、850 から 950 程度の温度で 10 分から 60 分程度の熱処理、もしくは、950 から 1100 程度の温度で 10 秒から 60 秒程度の急速熱処理を行い、注入した不純物を活性化すると共に、多結晶シリコン膜サイドウォール 209 からシリコン基板（浅いウェル領域 204）中まで固相拡散させて接合を形成する。このように、不純物イオンをチャンネル領域よりも積み上げられた多結晶シリコン膜サイドウォール 209 中に注入して、その半導体膜からシリコン基板へ不純物を固相拡散させ接合を形成する、つまり不純物を直接シリコン基板中へ注入しないので、結晶欠陥に起因する接合リーク電流が発生せず接合リーク電流を低減することができる。ここで、熱処理条件の目安であるが、ソース・ドレイン領域に形成した横方向の接合位置が、ゲート電極（チャンネル領域）に対してオフセットしない程度まで拡散させる必要がある。具体的には、ゲート電極側壁絶縁膜 208 の幅以上は横方向に拡散させる必要がある。トランジスタの性能を向上させるためには、短チャンネル効果を抑制するために接合深さを極力浅くし、かつ、高い駆動電流を得るためにゲート電極に対してオフセットしないようにソース・ドレイン領域を形成する必要がある。例えば、ゲート電極側壁絶縁膜 208 の幅が $0.05 \mu\text{m}$ である場合において、Nチャネル型トランジスタ及びPチャネル型トランジスタの不純物拡散を一度の熱処理で行うとき、850、30分程度から900、10分程度が最適であることを実験から見いだしている。

【0048】

ここで、ソース・ドレイン拡散層 211、222、ゲート電極 206 及び高濃度拡散層 211 を形成するための不純物注入及びアニール工程を詳細に説明する。図 11 はその不純物注入及びアニールの工程における B - B' 断面を示している。まず、図 11 (a) に示したように、トランジスタのチャンネルとなる領域 230 上のソース・ドレイン及びゲート電極のみに注入されるようにレジスト 235 によりマスクして上記した条件にて、第 1 導電型の不純物 240 をイオン注入する。このとき、ゲート電極及びソース・ドレインとなる多結晶シリコン膜 210 に注入した不純物が後工程の活性化アニール時に横方向に拡散することを考慮して、予めゲート電極長手方向に対してトランジスタのチャンネル中心部の方向に $0.1 \mu\text{m}$ から $0.3 \mu\text{m}$ 程度内側にイオン注入は行われることが望ましい。次に、図 11 (b) に示したように、第 2 導電型の不純物 250 をゲート電極にドーブされないようにレジスト 236 によりマスクしてゲート電極と浅いウェル 204 を接続するコンタクト領域 220 に注入する。このとき、プロセス揺らぎを考慮してレジスト 236 はコンタクト領域 220 へデザインマージンの F / 3 の分ほどオーバーラップさせることが重要である。また、前述したように、NMOS におけるゲート電極からソース電極への接合リーク電流を防止するためには、コンタクト領域 220 全域に第 2 導電型の拡散層 211 を形成する必要があるが、上述したように第 2 導電型の不純物注入 250 される位置はデザインマージン（DM）ほど離れた位置に注入されるため、プロセス揺らぎにより最高で $2 \times F / 3$ ほど離れた位置に注入されることがある。この場合、コンタクト領域 220 全域に第 2 導電型の拡散層 211 を形成するためには、注入条件及び後の熱処理（アニール）条件は、 $20 F / 21$ 以上の深さの拡散層 211 が得られる条件を選択すべきである。

【0049】

この根拠を次に説明する。半導体基板内に注入された不純物は、活性化アニール時に半

10

20

30

40

50

導体基板表面に対して垂直方向（拡散層の深さに対応）に拡散する距離に対して横方向の不純物拡散距離は約7割に相当するため、上記レジスト236によって定められる注入領域の位置がゲート電極206から遠ざかる側へばらついたとき、拡散層211の必要な深さは、 $2 \times F / 3 / 0.7 = 20F / 21$ と算出される。したがって、第2導電型の拡散層211は $20F / 21$ 以上の深さが必要となる。次に、図11(c)に示したように、上記したアニール条件により活性化アニール処理を施すと、注入した不純物が拡散すると共に活性化するため第1導電型拡散層206aと第2導電型の拡散層211が形成される。ここで、不純物注入250の条件及び活性化アニール条件は、ゲート電極206と深いウェル203の間のリーク電流を防止するために、第2導電型の拡散層211の深さは浅いウェル204の深さより小さく形成されるように設定されている。

10

【0050】

また、ゲート電極206に第2導電型の不純物がドーブされていないため、アニール時に、第2導電型の不純物がゲート電極206のうちのチャンネル領域上の部分206aへ拡散して第1導電型の不純物と相殺することがない。したがって、トランジスタの駆動力を低下させることがない。しかも、チャンネル端231とコンタクト領域220との距離を小さく設定できるので素子の微細化が可能になる。

【0051】

また、ゲート電極206の両端にドナー、アクセプタのいずれの不純物も注入されていない部分206b, 206cが残され、多結晶シリコン膜サイドウォール209の両端（図示せず）にもドナー、アクセプタのいずれの不純物も注入されていない部分（便宜上、209b, 209cとする。）が残されるように注入は行われた。これにより、ゲート電極206の両端206b, 206cと、ゲート電極側壁絶縁膜208を介してそれらに対向する多結晶シリコン膜サイドウォール209の両端209b, 209cとの間には容量が発生しないので、トランジスタの容量を小さくすることができる。また、後工程でゲート電極端部206bの側壁（コンタクト領域220に面する側壁）に形成される高融点金属シリサイド膜は、不純物の影響を排除され、断線されることなく制御良く形成できるため、ゲート電極206と浅いウェル領域204との間の接続抵抗を低減することができる。

20

【0052】

また、コンタクト領域220全域に第2導電型の拡散層211を形成しているので、ゲート電極206とソース電極との間のリーク電流を防止することができる。

30

【0053】

さらに、コンタクト領域220のレイアウトが従来例のコンタクト領域320と比較して単純になっている。すなわち、従来例のコンタクト領域320が4辺で接続されているのに対して、本実施例ではコンタクト領域220は1辺で接続されている。したがって、P型（N型）不純物を注入するマスクがN型（P型）不純物を注入するマスクをリサイズすれば容易に作成できるため、マスク作成コストを削減できる。

【0054】

次に、図9に示すように、周知のシリサイド工程によりソース・ドレイン221, 222及びゲート電極206上に高融点金属シリサイド膜212を選択的に形成する。本実施例では、高融点金属膜としてチタン金属を用いたが、これに限るものではなく、他の高融点金属膜として、コバルト、ニッケル、白金等でも良い。本実施例では、ソース・ドレイン221, 222及びゲート電極206上の全域にシリサイド膜を形成できるため、シリサイドプロセスのメリットを最大限に発揮できる。

40

【0055】

次に、図10に示すように、周知の方法で層間絶縁膜213を形成した後、コンタクト孔214を層間絶縁膜213の所定の位置に開口する。コンタクト工程以降は周知の方法を用いて配線工程を実施すればよい。本発明では、コンタクト孔214は、その一部がソース・ドレイン領域にかかっていればよく、このような構造にすることで通常のトランジスタと比較して飛躍的に素子の占有面積を縮小することが可能とした。本実施例では、半

50

導体基板よりも上方に積み上がったソース・ドレイン領域、すなわち多結晶シリコン膜サイドウォール209の表面積は、ゲート電極側壁絶縁膜208の端から素子分離領域202までの半導体基板の活性層の表面積より大きいため、コンタクト孔214の一部がソース・ドレイン領域にかかっているだけでも接触面積を十分に大きくすることが可能となり、素子の占有面積を縮小しながらでもコンタクト抵抗を小さくすることができる。

【0056】

(実施の形態3)

本実施の形態3では、実施の形態2の半導体装置のソース・ドレイン領域を半導体膜により積み上げた構造のトランジスタを、直列トランジスタに適応させた場合に、積み上げ拡散層に起因する容量、特にゲート電極と積み上げ拡散層との間の容量を低減することができる効果を提供するものである。

10

【0057】

図12に本実施の形態3の半導体装置の構成を説明する。図12(a)は、ソース・ドレイン及びゲート電極の拡散層を形成した後の平面レイアウトを示し、図12(b)は、高融点金属シリサイド膜を形成した後の平面レイアウトを示し、図12(c)は、図12(b)におけるB-B'方向の断面をそれぞれ示している。

【0058】

実施の形態2と同様に、第1導電型の半導体基板201'内には、第2導電型のウェル領域203'及び素子分離領域202が形成されている。また、ソース・ドレイン領域は、ウェル領域203'表面、すなわち半導体基板表面より上方にゲート電極とゲート電極側壁絶縁膜208を介して第1導電型の半導体膜210により積み上げられている。

20

【0059】

矩形にパターン加工された各活性層260, 260は、それぞれソース・ドレイン領域及びゲート電極を含み、それぞれトランジスタとして動作する。本活性層260を二つ直列接続することにより直列トランジスタは構成されている。ここで、トランジスタの数は二つに限定されるものではない。

【0060】

本実施の形態の半導体装置は、トランジスタとして機能する領域である活性層260のみのソース・ドレイン領域及びゲート電極に対して第2導電型の不純物がドーピングされ活性化されている。最小加工寸法をFとすると、素子分離領域側へ位置決め合わせの寸法の1/3Fだけオーバーラップさせて第1導電型の拡散層210が形成されている。素子分離などの余分な領域270上のソース・ドレイン領域及びゲート電極に不純物はドーピングされていないため、ゲート電極には不純物がドーピングされていない領域206'が、積み上げ半導体層には不純物がドーピングされていない領域209'がそれぞれ形成されている。また、ソース・ドレイン領域及びゲート電極の上部には高融点金属シリサイド膜212が形成されている。

30

【0061】

したがって、ゲート電極の一部を構成する不純物がドーピングされていない領域206'と積み上げ半導体層の一部を構成する不純物がドーピングされていない領域209'の間には容量が発生しないため、領域270における積み上げ半導体層とゲート電極との間の容量を低減することができる。また、不純物がドーピングされていない半導体膜上には、不純物がドーピングされた半導体層上と比べて、不純物の影響を排除できるため、高融点金属シリサイド膜212を厚く形成することができる。このため、ゲート電極及びソース・ドレイン電極を低抵抗化できる。

40

【0062】

ところで、トランジスタ間に不純物がドーピングされていない領域270が存在することで、ソース電極、ドレイン電極及びゲート電極におけるトランジスタ間の配線抵抗の増大が懸念される。このとき、電流は図12(c)中に矢印280で示した経路で流れる。しかし、高融点金属シリサイド膜212は拡散層210と比較して10分の1以下と抵抗が低いし、また、上記した高融点金属シリサイド膜212の厚膜化の効果もある。したがって、

50

ほとんど抵抗は増加しない。

【0063】

【発明の効果】

以上より明らかなように、この発明の半導体装置によれば、トランジスタの性能を劣化させることなく占有面積の縮小を可能とすると共に、ゲート電極からソース電極への接合リーク電流の増大を防止できる。

【図面の簡単な説明】

【図1】 図1(a)、(b)及び(c)は本発明の実施の形態1の半導体装置を説明する図である。

【図2】 図2(a)、(b)及び(c)は本発明の実施の形態2の半導体装置を作成する手順を説明する図である。 10

【図3】 図3(a)、(b)及び(c)は本発明の実施の形態2の半導体装置を作成する手順を説明する図である。

【図4】 図4(a)、(b)及び(c)は本発明の実施の形態2の半導体装置を作成する手順を説明する図である。

【図5】 図5(a)、(b)及び(c)は本発明の実施の形態2の半導体装置を作成する手順を説明する図である。

【図6】 図6(a)、(b)及び(c)は本発明の実施の形態2の半導体装置を作成する手順を説明する図である。

【図7】 図7(a)、(b)及び(c)は本発明の実施の形態2の半導体装置を作成する手順を説明する図である。 20

【図8】 図8(a)、(b)及び(c)は本発明の実施の形態2の半導体装置を作成する手順を説明する図である。

【図9】 図9(a)、(b)及び(c)は本発明の実施の形態2の半導体装置を作成する手順を説明する図である。

【図10】 図10(a)、(b)及び(c)は本発明の実施の形態2の半導体装置及びその作成する手順を説明する図である。

【図11】 図11(a)、(b)及び(c)は本発明の実施の形態2の半導体装置のソース・ドレイン領域を形成する手順を詳細に説明する図である。

【図12】 図12(a)、(b)及び(c)は本発明の実施の形態3の半導体装置を説明する図である。 30

【図13】 図13(a)、(b)及び(c)は従来技術の半導体装置を説明する図である。

【図14】 図14(a)及び(b)は従来技術の課題を説明するために行った実験のパラメータを説明する図である。

【図15】 従来技術の課題を説明するために行った実験の結果を説明する図である。

【図16】 従来技術の課題を説明する図である。

【符号の説明】

101、201	シリコン半導体基板	
102、108、202、207	シリコン酸化膜	40
103、203	第2導電型の深いウェル	
104、204	第1導電型の浅いウェル	
105、205	ゲート絶縁膜	
106、206	ゲート電極	
209	多結晶シリコン膜サイドウォール	
110、210	第1導電型にドーブされた高濃度拡散層	
111、211	第2導電型にドーブされた高濃度拡散層	
112、212	高融点金属シリサイド膜	
113、213	層間絶縁膜	
114、214	コンタクト領域	50

1 2 0、2 2 0 ゲート電極と第 2 導電型の浅いウェルを接続するためのコンタクト領域

1 3 0、2 3 0 チャネル領域

2 0 8 シリコン窒化膜

2 3 5、2 3 6 レジスト

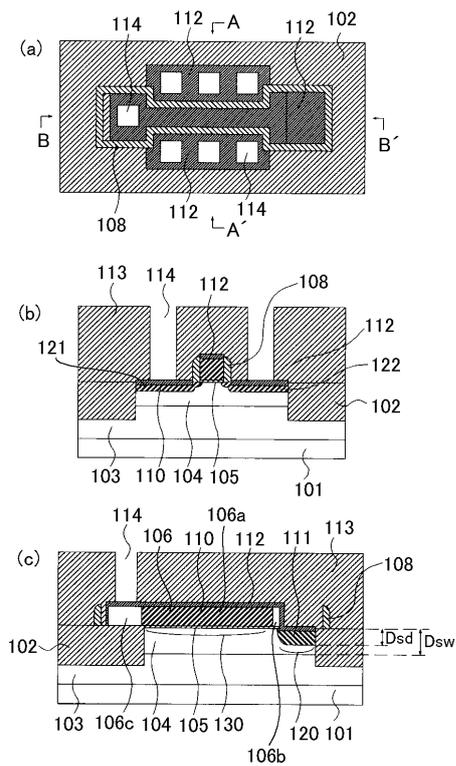
2 4 0 第 1 導電型の高濃度不純物注入

2 5 0 第 2 導電型の高濃度不純物注入

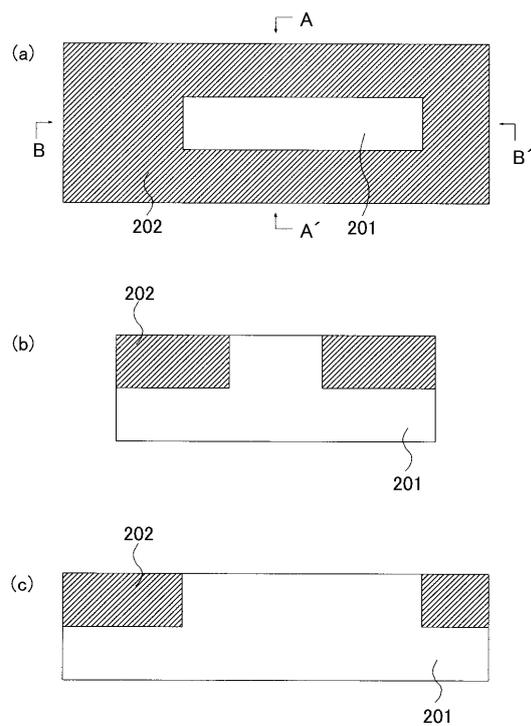
2 6 0 トランジスタの活性領域

2 7 0 不純物がドーピングされていない領域

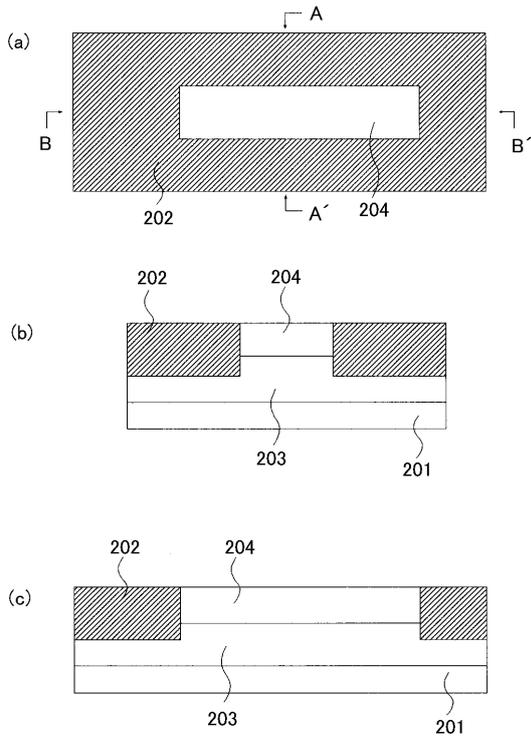
【 図 1 】



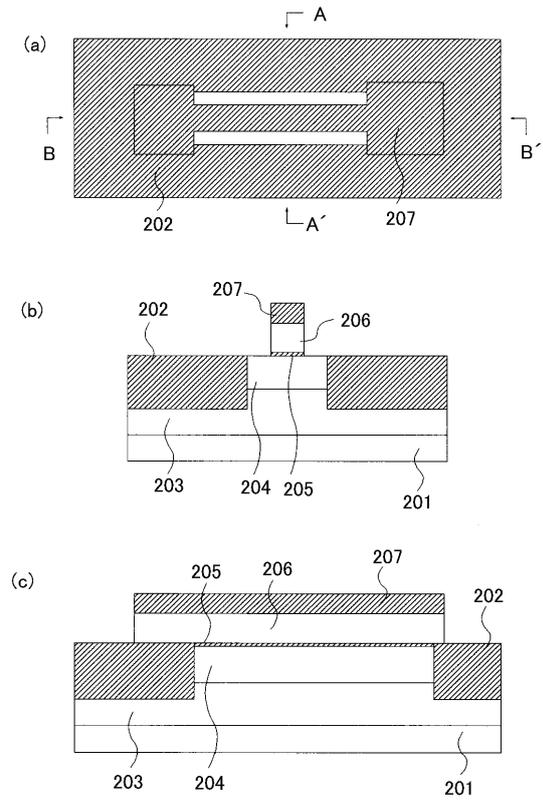
【 図 2 】



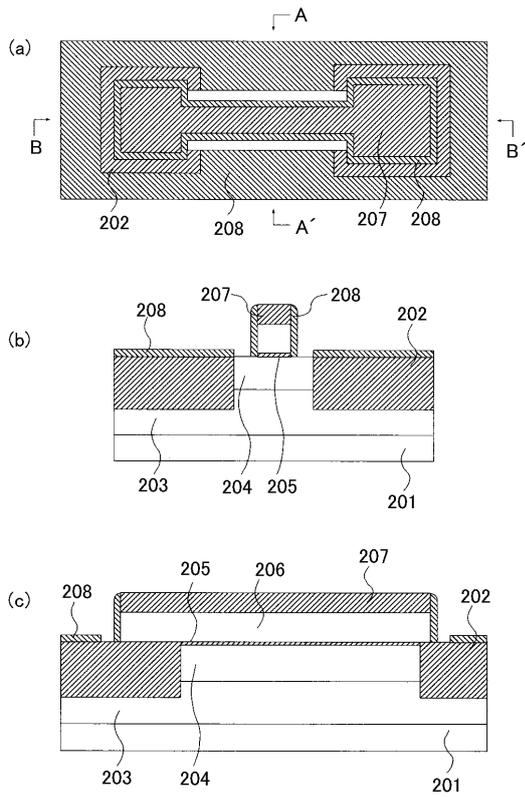
【 図 3 】



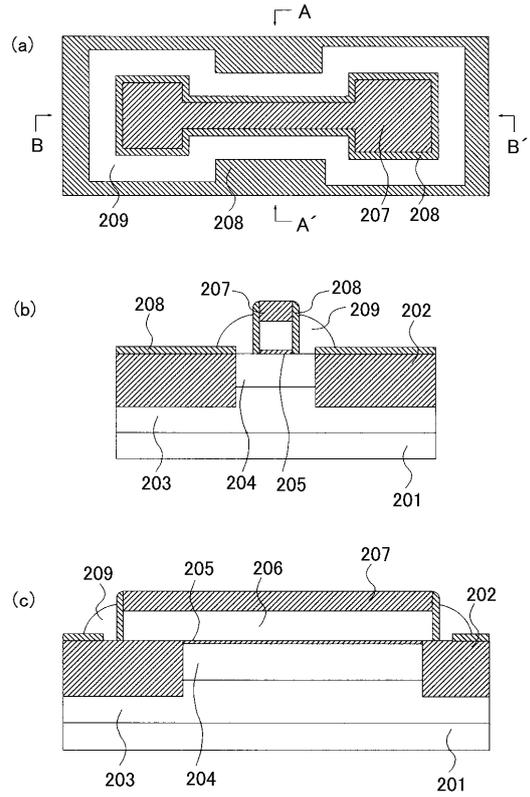
【 図 4 】



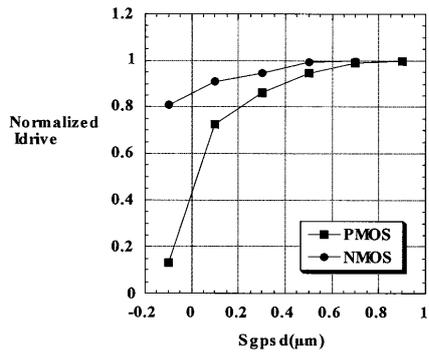
【 図 5 】



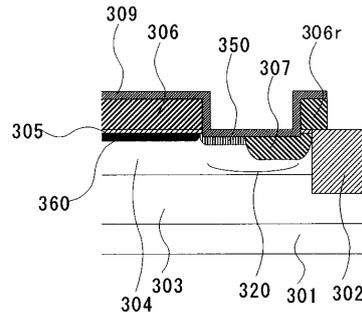
【 図 6 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

- (72)発明者 片岡 耕太郎
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内
- (72)発明者 柿本 誠三
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 松嶋 秀忠

- (56)参考文献 特開平10-022462(JP,A)
特開2000-091576(JP,A)
特開2002-110817(JP,A)
特開2001-044441(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- H01L 29/78
 - H01L 21/8238
 - H01L 27/092
 - H01L 21/336