

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁴ H03K 19/00	(11) 공개번호 (43) 공개일자	특 1989-0007503 1989년 06월 20일
(21) 출원번호	특 1988-0013141	
(22) 출원일자	1988년 10월 08일	
(30) 우선권주장	62-254993 1987년 10월 09일 일본(JP)	
(71) 출원인	가부시키가이샤 도시바 아오이 죠이치	
(72) 발명자	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지 구니에다 미츠유키	
(74) 대리인	일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키 가이샤 도시바 반도체시스템 기술센터내 구로다 다다히로 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키 가이샤 도시바 반도체시스템 기술센터내 김윤배	

심사청구 : 있음

(54) 반도체집적회로

요약

내용 없음

대표도

도 1

명세서

[발명의 명칭]

반도체집적회로

[도면의 간단한 설명]

제1도는 본 발명의 제1실시에 따른 반도체집적회로를 나타낸 도면.
제2도는 제1도에 도시된 반도체집적회로의 동작을 설명하기 위한 타이밍차트.
제3도는 본 발명의 제2실시에 따른 반도체집적회로를 나타낸 도면.

* 도면의 주요부분에 대한 부호의 설명

- 1 : 입력단자
- 2 : 보호회로
- 3 : 인버터
- 4 : NOR 게이트
- 5 : 내부회로
- 6 : 인버터
- 7, 7' : NAND 게이트
- 8 : 인버터
- 11 : 인버터
- 12 : AND 게이트
- 14 : OR 게이트
- 50 : 타이밍신호발생회로
- 100, 100' : 제어신호 발생회로
- 200, 200', 200" : 출력버퍼

CE* : 칩 이네이블신호[chip enable signal]

CE, CED, CED* : 제어신호

OE, OE1, OE2, OE3 : 출력 이네이블 신호

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1드레슬드전압을 갖추고서 외부로 부터 공급되는 입력신호의 레벨에 따른 논리신호를 출력하는 제1논리회로와 이 제1논리회로로부터 논리신호를 공급받아서 소정의 동작을 실행하는 내부회로를 구비한 반도체집적회로에 있어서, 상기 제1논리회로와 내부회로간에 설치되어지되, 상기 제1드레슬드전압보다도 높은 제2드레슬드전압을 갖추고서 한쪽의 입력이 상기 제1논리회로의 출력에 결합되는 한편 다른쪽의 입력에는 제어신호가 공급되며, 그 제어신호의 발생기간중에는 상기제1논리회로의 출력에 의존하지 않고 소정레벨의 논리신호를 상기 내부회로에 공급하는 제2논리회로와, 상기 내부회로의 동작에 기인하여 전원 노즈가 발생하고 있는 기간중에 상기 제어신호를 발생시키는 제어신호발생수단을 구비하여 구성하는 것을 특징으로 하는 반도체집적회로.

청구항 2

제1항에 있어서, 상기 내부회로는 출력버퍼를 포함하는 것이고, 상기 제어신호발생수단은 상기 출력버퍼의 출력신호레벨이 변화하는 시점으로부터 소정시간 상기 제어신호를 발생시키는 것을 특징으로 하는 반도체집적회로.

청구항 3

제1항에 있어서, 상기 내부회로는 출력버퍼와 이 출력버퍼를 비활성상태로부터 활성상태로 전환시키는 타이밍신호를 발생시키는 타이밍신호발생회로를 포함하는 것이고, 상기 제어신호 발생수단은 상기 타이밍신호가 발생된 시점으로부터 소정시간 제어신호를 발생시키는 것을 특징으로 하는 반도체집적회로.

청구항 4

제3항에 있어서, 상기 타이밍신호는 지연회로를 거쳐서 상기 출력버퍼에 공급되고, 상기 제어신호발생수단은 상기 타이밍신호에 응답해서 그 타이밍신호가 발생된 시점으로부터 소정시간 제어신호를 발생시키는 것을 특징으로 하는 반도체집적회로.

청구항 5

제1항에 있어서, 상기 내부회로는 복수의 출력버퍼와 이들 출력버퍼를 비활성상태로부터 활성상태로 순차전환시키는 복수의 타이밍신호를 발생시키는 타이밍신호발생회로를 포함하는 것이고, 상기 제어신호 발생수단은 각 타이밍신호가 발생하는 시점으로부터 각각 소정시간 제어신호를 순차 발생시키는 것을 특징으로 하는 반도체집적회로.

청구항 6

제1항에 있어서, 상기 제1논리회로의 드레슬드전압은 TTL 레벨의 입력신호에 적합하도록 설정되어 있는 것을 특징으로 하는 반도체집적회로.

청구항 7

제1항에 있어서, 상기 제2논리회로의 드레슬드전압은 CMOS 레벨의 입력신호에 적합하도록 설정되어 있는 것을 특징으로 하는 반도체집적회로.

청구항 8

제1항에 있어서, 상기 제1논리회로에는 반도체집적회로를 활성화 또는 불활성화시키기 위한 칩 이네이블 신호가 공급 되는 것을 특징으로 하는 반도체집적회로.

청구항 9

제1항에 있어서, 상기 제1논리회로와 제2논리회로는 상기 입력신호가 한쪽으로 입력으로 공급되고 상기 제어신호가 다른쪽의 입력으로 공급되는 제3논리회로 1개로 구성된 것을 특징으로 하는 반도체집적회로.

청구항 10

제9항에 있어서, 상기 제3논리회로는 NAND 게이트이고, 이 NAND 게이트는 전원전위공급단자와 신호출력 노오드, 접지전위공급단자, 상기전원전위공급단자와 상기신호출력노오드간에 전류통로가 병렬로 접속된 제1 및 제2의 p형 MOS 트랜지스터, 상기 신호출력노오드와 상기 접지전위공급단자간에 전류통로가 직렬로 접속된 제3 및 제4의 N형 MOS 트랜지스터로 구성되고, 상기 제1 및 제3MOS 트랜지스터의 게이트에는 상기입력신호가 공급되며, 상기 제2 및 제4MOS 트랜지스터의 게이트에는 상기 제어신호가 공급되는 것을 특징으로 하는 반도체집적회로.

청구항 11

제10항에 있어서, 상기 제1MOS 트랜지스터 채널폭/채널길이는 상기 제3MOS 트랜지스터 채널폭/채널길이보다 작고, 상기 제2MOS 트랜지스터 채널폭/채널길이는 상기 제4 MOS 트랜지스터 채널폭/채널길이보다

크게 설정되어 있는 것을 특징으로 하는 반도체집적회로.

청구항 12

제11항에 있어서, 상기 제3 MOS 트랜지스터와 제4 MOS 트랜지스터 채널폭/채널길이가 같게 설정되어 있는 것을 특징으로 하는 반도체집적회로

청구항 13

제1항에 있어서 관전압에 대한 입력보호회로를 갖추고 있고, 상기 입력신호는 이 입력보호회로를 거쳐서 상기 제1논리회로에 공급되는 것을 특징으로 하는 반도체집적회로

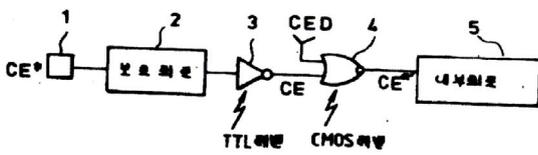
청구항 14

제1항에 있어서, 상기 제1논리회로는 인버터이고 상기 제2논리회로는 2입력 NOR 회로인 것을 특징으로 하는 반도체집적회로.

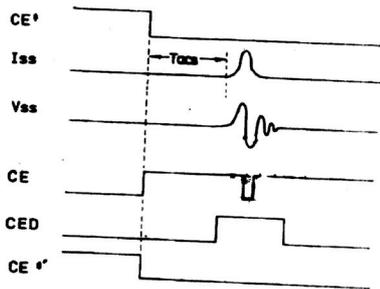
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

