

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/105

H01L 27/108

H01L 21/8239

H01L 21/8242



[12] 发明专利申请公开说明书

[21] 申请号 200510004780.8

[43] 公开日 2005年7月27日

[11] 公开号 CN 1645618A

[22] 申请日 2002.2.4

[21] 申请号 200510004780.8

分案原申请号 02103395.1

[30] 优先权

[32] 2001. 2. 19 [33] JP [31] 041828/2001

[32] 2001. 6. 25 [33] JP [31] 191781/2001

[32] 2001. 10. 25 [33] JP [31] 328204/2001

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 岩田佳久 大泽隆 山田敬

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

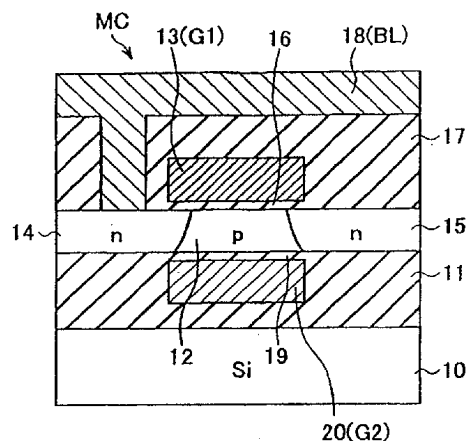
代理人 王以平

权利要求书8页 说明书41页 附图89页

[54] 发明名称 半导体存储器件及其制造方法

[57] 摘要

一种半导体存储器件，具有用于构成多个存储单元的多个 MIS 晶体管，其特征在于：各 MIS 晶体管包括：半导体层，在上述半导体层上形成的源极区域，在上述半导体层上与上述源极区域分离形成的漏极区域，使得上述源极区域和上述漏极区域之间的上述半导体层成为浮动状态的沟道体，设置在上述源极区域和上述漏极区域之间、用于在上述沟道体内、于上述源极区域和上述漏极区域之间形成沟道的主栅极，和为了通过电容耦合控制上述沟道体的电位、与上述主栅极分别设置的辅助栅极，该辅助栅极与上述主栅极同步驱动，并且上述 MIS 晶体管具有将上述沟道体设定在第 1 电位的第 1 数据状态和将上述沟道体设定在第 2 电位的第 2 数据状态。



ISSN 1008-4274

1. 一种半导体存储器件，具有用于构成多个存储单元的多个 MIS 晶体管，其特征在于：各 MIS 晶体管包括：

半导体层，

在上述半导体层上形成的源极区域，

在上述半导体层上与上述源极区域分离形成的漏极区域，使得上述源极区域和上述漏极区域之间的上述半导体层成为浮动状态的沟道体，

设置在上述源极区域和上述漏极区域之间、用于在上述沟道体内、于上述源极区域和上述漏极区域之间形成沟道的主栅极，和

为了通过电容耦合控制上述沟道体的电位、与上述主栅极分别设置的辅助栅极，该辅助栅极与上述主栅极同步驱动，并且

上述 MIS 晶体管具有将上述沟道体设定在第 1 电位的第 1 数据状态和将上述沟道体设定在第 2 电位的第 2 数据状态。

2. 如权利要求 1 所述的半导体存储器件，其特征在于：

在上述第 1 数据状态中，通过使上述 MIS 晶体管进行 5 极管操作，在漏极结附近产生碰撞离子化而进行写入，

在上述第 2 数据状态中，通过在由于来自上述主栅极的电容耦合给予规定电位的上述沟道体和上述漏极之间流过正向偏置电流而进行写入。

3. 如权利要求 1 所述的半导体存储器件，其特征在于：上述半导体层通过绝缘膜形成在半导体衬底上，上述主栅极和辅助栅极相对地配置在上述半导体层的上下表面上。

4. 如权利要求 1 所述的半导体存储器件，其特征在于：

上述半导体层通过绝缘膜形成在半导体衬底上，

上述主栅极成对地与上述半导体层上的上述沟道体的两个侧面相对地配置，

上述辅助栅极形成在上述半导体层的上表面上，并且与上述成对的主栅极电连接。

5. 如权利要求 1 所述的半导体存储器件, 其特征在于:
上述半导体层是在半导体衬底上形成的柱状半导体部分,
在上述柱状半导体部分的上部形成上述漏极区域,
在上述柱状半导体部分的下部形成上述源极区域,
上述主栅极和辅助栅极相对地配置在上述柱状半导体部分的两个侧面上。

6. 如权利要求 5 所述的半导体存储器件, 其特征在于: 上述主栅极和上述辅助栅极是用相同材料形成的。

7. 如权利要求 5 所述的半导体存储器件, 其特征在于: 上述主栅极和上述辅助栅极是用不同材料形成的。

8. 如权利要求 5 所述的半导体存储器件, 其特征在于:
上述 MIS 晶体管构成矩阵状配置的存储单元阵列,
连续地形成排列在第 1 方向上的上述 MIS 晶体管的主栅极, 构成第 1 字线,

连续地形成排列在上述第 1 方向上的上述 MIS 晶体管的辅助栅极, 构成第 2 字线,

形成覆盖上述第 1 字线和上述第 2 字线的层间绝缘膜,

在上述层间绝缘膜上, 沿上述第 1 方向形成第 1 分路配线, 上述第 1 分路配线与上述第 1 字线接触, 以及

在上述层间绝缘膜上, 沿上述第 1 方向形成第 2 分路配线, 上述第 2 分路配线与上述第 2 字线接触。

9. 如权利要求 8 所述的半导体存储器件, 其特征在于:

上述第 1 分路配线和上述第 2 分路配线是用相同材料形成的。

10. 如权利要求 8 所述的半导体存储器件, 其特征在于:

上述第 1 分路配线和上述第 2 分路配线是用不同材料形成的。

11. 如权利要求 1 所述的半导体存储器件, 其特征在于: 上述主栅极和上述辅助栅极用相同材料形成, 以不同的电位同步地驱动。

12. 如权利要求 11 所述的半导体存储器件, 其特征在于包括:

行译码器, 该行译码器对输入的行地址信号进行译码, 输出表示行

地址信号是否一致的译码结果信号，上述译码结果信号根据该译码结果为第 1 控制电位或比该第 1 控制电位高的第 2 控制电位；

第 1 输出电路，向它输入上述译码结果信号，根据该译码结果信号表示的译码结果，将比上述第 1 控制电位低的第 3 控制电位，或比上述第 2 控制电位高的第 4 控制电位输出到上述主栅极；以及

第 2 输出电路，向它输入上述译码结果信号，根据该译码结果信号表示的译码结果，将比上述第 3 控制电位低的第 5 控制电位，或比上述第 4 控制电位低的第 6 控制电位输出到上述辅助栅极。

13. 如权利要求 12 所述的半导体存储器件，其特征在于：

上述 MIS 晶体管构成矩阵状配置的存储单元阵列，

上述存储单元阵列具有沿第 1 方向形成的第 1 字线和沿上述第 1 方向与上述第 1 字线成对地形成的第 2 字线，

排列在上述第 1 方向上的上述 MIS 晶体管的主栅极分别与 1 条上述第 1 字线连接，

排列在上述第 1 方向上的上述 MIS 晶体管的辅助栅极分别与 1 条上述第 2 字线连接，

在上述存储单元阵列的一侧，设置有成为第奇数个成对的上述第 1 和第 2 字线的上述行译码器、上述第 1 输出电路和上述第 2 输出电路，以及

在上述存储单元阵列的另一侧，设置有成为第偶数个成对的上述第 1 和第 2 字线的上述行译码器，上述第 1 输出电路和上述第 2 输出电路。

14. 如权利要求 12 所述的半导体存储器件，其特征在于：对上述第 1 输出电路和上述第 2 输出电路分别设置上述行译码器。

15. 如权利要求 14 所述的半导体存储器件，其特征在于：

上述 MIS 晶体管构成矩阵状配置的存储单元阵列，

上述存储单元阵列具有沿上述第 1 方向形成的第 1 字线和沿上述第 1 方向与上述第 1 字线成对地形成的第 2 字线，

排列在上述第 1 方向上的上述 MIS 晶体管的主栅极分别与 1 条上述第 1 字线连接，

排列在上述第 1 方向上的上述 MIS 晶体管的辅助栅极分别与 1 条上述第 2 字线连接,

在上述存储单元阵列的一侧, 设置有用于上述第 1 字线的上述行译码器、上述第 1 输出电路和上述第 2 输出电路, 以及

在上述存储单元阵列的另一侧, 设置有用于上述第 2 字线的上述行译码器、上述第 1 输出电路和上述第 2 输出电路。

16. 如权利要求 1 所述的半导体存储器件, 其特征在于: 上述主栅极和辅助栅极由功函数不同的材料形成, 以相同的电位驱动。

17. 如权利要求 16 所述的半导体存储器件, 其特征在于包括:

行译码器, 该行译码器对输入的行地址信号进行译码, 输出表示行地址信号是否一致的译码结果信号, 上述译码结果信号根据该译码结果为第 1 控制电位或比该第 1 控制电位高的第 2 控制电位, 以及

输出电路, 向它输入上述译码结果信号, 根据该译码结果信号表示的译码结果, 将比上述第 1 控制电位低的第 3 控制电位, 或比上述第 2 控制电位高的第 4 控制电位输出到上述主栅极和上述辅助栅极。

18. 如权利要求 17 所述的半导体存储器件, 其特征在于:

上述 MIS 晶体管构成矩阵状配置的存储单元阵列,

上述存储单元阵列具有沿第 1 方向形成的第 1 字线和沿上述第 1 方向与上述第 1 字线成对地形成的第 2 字线,

排列在第 1 方向上的上述 MIS 晶体管的主栅极分别与 1 条上述第 1 字线连接,

排列在上述第 1 方向上的上述 MIS 晶体管的辅助栅极分别与 1 条上述第 2 字线连接, 以及

在上述存储单元阵列的一侧, 设置有用于上述第 1 和第 2 字线的上述行译码器和上述输出电路。

19. 如权利要求 17 所述的半导体存储器件, 其特征在于:

上述 MIS 晶体管构成矩阵状配置的存储单元阵列,

上述存储单元阵列具有沿第 1 方向形成的第 1 字线和沿上述第 1 方向与上述第 1 字线成对地形成的第 2 字线,

排列在第1方向上的上述MIS晶体管的主栅极分别与1条上述第1字线连接,

排列在上述第1方向上的上述MIS晶体管的辅助栅极分别与1条上述第2字线连接,

在上述存储单元阵列的一侧, 设置有用于成为第奇数个成对的上述第1和第2字线的上述行译码器和输出电路, 以及

在上述存储单元阵列的另一侧, 设置有用于成为第偶数个成对的上述第1和第2字线的上述行译码器和输出电路。

20. 如权利要求1所述的半导体存储器件, 其特征在于:

上述MIS晶体管是n沟道型的, 配列为多个矩阵, 排列在第1方向上的MIS晶体管的漏极区域与位线连接, 排列在第2方向上的MIS晶体管的主栅极与第1字线连接, 排列在上述第2方向上的MIS晶体管的辅助栅极与第2字线连接, 而上述MIS晶体管的源极区域与固定电位线连接, 从而构成存储单元阵列,

当写入数据时, 将上述固定电位线作为基准电位, 将比上述基准电位高的第1控制电位给予选出的第1字线, 将比上述基准电位低的第2控制电位给予未被选出的第1字线, 与第1和第2数据状态相对应、分别将比上述基准电位高的第3控制电位和比上述基准电位低的第4控制电位给予位线, 将比上述第1控制电位低的第5控制电位给予与上述第1字线同时选出的第2字线, 将比上述第2控制电位低的第6控制电位给予未被选出的第2字线。

21. 如权利要求1所述的半导体存储器件, 其特征在于:

上述MIS晶体管是p沟道型的, 配列为多个矩阵, 排列在第1方向上的MIS晶体管的漏极区域与位线连接, 排列在第2方向上的MIS晶体管的主栅极与第1字线连接, 排列在上述第2方向上的MIS晶体管的辅助栅极与第2字线连接, 上述MIS晶体管的源极区域与固定电位线连接, 从而构成存储单元阵列,

当写入数据时, 将上述固定电位线作为基准电位, 将比上述基准电位低的第1控制电位给予选出的第1字线, 将比上述基准电位高的第2

控制电位给予未被选出的第 1 字线, 与第 1 和第 2 数据状态相对应、分别将比上述基准电位低的第 3 控制电位和比上述基准电位高的第 4 控制电位给予位线, 将比上述第 1 控制电位高的第 5 控制电位给予与上述第 1 字线同时选出的第 2 字线, 将比上述第 2 控制电位高的第 6 控制电位给予未被选出的第 2 字线。

22. 一种半导体存储器件, 具有用于构成多个存储单元的多个 MIS 晶体管, 其中各 MIS 晶体管是具有第 1 数据状态和第 2 数据状态的半导体存储器件, 该半导体存储器件包括:

第 1 半导体衬底,

在上述第 1 半导体衬底的表面上、以底面和侧面被绝缘膜覆盖的状态在一个方向上连续地形成的上述 MIS 晶体管的辅助栅极,

隔着第 1 栅极绝缘膜设置在上述辅助栅极表面上的第 2 半导体衬底, 在上述第 2 半导体衬底表面上、隔着第 2 栅极绝缘膜与上述辅助栅极并行连续地形成的上述 MIS 晶体管的主栅极,

在上述第 2 半导体衬底上的、上述主栅极和上述辅助栅极的间隙部分上形成的源极区域,

在上述第 2 半导体衬底上的、上述主栅极和上述辅助栅极的间隙部分上与上述源极区域分离地形成的漏极区域,

与上述源极区域接触的, 与上述主栅极和上述辅助栅极并行连续地设置的源极配线,

覆盖上述源极配线的层间绝缘膜, 和

在上述层间绝缘膜上, 在与上述主栅极和上述辅助栅极交叉的方向上形成的, 与上述漏极区域接触的位线。

23. 如权利要求 22 所述的半导体存储器件, 其特征在于:

上述第 2 半导体衬底与上述第 1 栅极绝缘膜粘合在一起。

24. 一种半导体存储器件的制造方法, 其特征在于包括下列步骤:

隔着第 1 绝缘膜在半导体衬底上形成半导体层,

在上述半导体层中埋入用于在第 1 方向上划分使元件分离的元件形成区域的元件分离绝缘膜,

在上述元件分离绝缘膜中，隔着第 1 栅极绝缘膜，埋入与上述半导体层侧面相对的主栅极，

在上述半导体层上面，以与上述主栅极电连接的状态并且用功函数与上述主栅极不同的材料、隔着第 2 栅极绝缘膜形成与上述半导体层相对的辅助栅极，和

将上述辅助栅极作为掩模，在上述半导体层中离子注入杂质形成源极区域和漏极区域。

25. 一种半导体存储器件的制造方法，其特征在于包括下列步骤：

隔着第 1 绝缘膜在第 1 半导体衬底上形成栅极电极材料膜，

隔着第 1 栅极绝缘膜、将第 2 半导体衬底粘合在上述栅极电极材料膜上，

在上述第 2 半导体衬底上形成元件分离绝缘膜，带状地划分在第 1 方向连续的元件形成区域，

在划分上述元件形成区域的第 2 半导体衬底上，淀积第 2 绝缘膜，将它作为在与上述第 1 方向交叉的第 2 方向上连续的伪栅极形成布局图案，

将上述伪栅极作为掩模，依次刻蚀上述第 2 半导体衬底、上述第 1 栅极绝缘膜和上述栅极电极材料膜，在上述第 2 方向上连续地形成由上述栅极电极材料膜构成的辅助栅极，

在上述伪栅极的间隙中埋入第 3 绝缘膜，直至第 2 半导体衬底的厚度方向的中间，

在上述伪栅极的间隙中的上述第 3 绝缘膜上，形成侧面与上述第 2 半导体衬底连接的半导体层，

除去上述伪栅极，在露出的上述第 2 半导体衬底的表面上形成第 2 栅极绝缘膜，

在上述半导体层的间隙部分埋入与上述辅助栅极并行地连续的主栅极，

通过上述半导体层中离子注入杂质形成源极区域和漏极区域，

形成与上述源极区域接触、在上述第 2 方向上连续的源极配线，和

形成覆盖上述源极配线的层间绝缘膜，在该层间绝缘膜上形成与上述漏极区域接触的、在上述第1方向上连续的位线。

半导体存储器件及其制造方法

本申请是申请日为 2002 年 2 月 24 日、申请号为 02103395.1、发明名称为“半导体存储器件及其制造方法”的发明专利申请的分案申请。

技术领域

本发明涉及用沟道体作为存储节点动态进行数据存储的半导体存储器件。

背景技术

一般用作大容量 RAM（随机存储器）的 DRAM（动态随机存取存储器）的存储单元由一个 MOS（金属氧化物半导体）晶体管和一个电容形成，用 MOS 晶体管作为选择开关将电荷存储在电容中。通过将存储在这个单元电容中的电荷作为位线电荷进行再分配，看到位线电位的变动，进行数据读出。所以，对于位线的初期电荷量在单元电容的存储电荷量中存在着下限。

在 DRAM 中，虽然伴随着微细化位线的寄生电容量下降，但是因为伴随着消耗电力的削减和微细化写入单元的电荷也下降，所以不会减少单元电容的电容量。电容的电容量与面积和电介质（电容绝缘膜）的介电常数成正比，与电容绝缘膜的膜厚成反比。因为当电容绝缘膜的膜厚变薄时由于隧道电流的流动而不能维持绝缘性，所以对于薄膜化存在着界限（约 2nm），为了探索和开发通过增大硅氧化膜的介电常数抵消与二次方成比例的面积缩小，实现构造上稳定，符合硅 CMOS（互补金属氧化物半导体）工艺，实际使用中可靠性高的电介质膜需要化费大量的时间和经费。

为此，只在 80 年代后半期，才在 DRAM 的电容中使用堆叠单元构造和沟槽单元构造等 3 维构造。即便在这些堆叠单元构造和沟槽单元构

造中，由于平面尺寸与3维深度之比最近才稍稍超过了10，呈纸卷香烟形状，在沟槽单元情形中对硅衬底的刻蚀界限，在堆叠单元的情形中与电容构造的下方物体和上方物体接触的接触孔的开口和进入其中的导体充填，电介质均匀覆盖性都成为问题，不能忍受100nm以下尺寸的进一步微细化。

很早以来就进行了利用MOS的增益缩小电容的试验，并将这种类型的单元称为增益单元。因为通过读出MOS晶体管的栅极电位或者背栅电位，使漏电流发生变化，所以能够将增益单元大致分成将栅极作为存储节点，和将沟道体作为存储节点两大类。将读出MOS晶体管的栅极作为存储节点，过去就有Intel（英特尔）公司用于1k比特DRAM的3个晶体管和1个电容的构成与2个晶体管和1个电容的构成。至于电容可以利用主动形成的电容和寄生电容。无论用哪种电容，都存在着元件数在2以上，栅极（字线），漏极（位线）不共用，分成用于写入和用于读出两类，连线数也很多，不利于这些增益单元微细化等方面。

也已经提出了用SOI（半导体氧化物绝缘体）衬底，将读出用MOS的沟道体作为存储节点存储电荷，利用背栅偏压效果的那种类型的增益单元的方案。例如，如下列文献所示。

(1) H.Wann and C.Hu, "A capacitorless DRAM Cell on SOI Sustrate", IEDM Digest of Technical Papers, pp.635-638, Dec., 1933, 和

(2) M.R.Tack, et al, "The Multistable Charge Controlled Memory Effect in SOI MOS Transistors at Low Temperatures", IEEE Transactions on Electron Devices, Vol.no.5, pp.1371-1382, May 1990.

文献(1)乍一看可以看作是1个栅极的1个晶体管构成，但是实际上在栅极下面具有PMOS晶体管区域和NMOS晶体管区域，与简单的1个晶体管构造比较，尺寸变大。又，在写入“1”以前必须先写入“0”。即便从写入速度来说，与通常的SRAM，DRAM比较也是不利的。在由同一作者提出的特表平9-509284号公报中，也显示了在写入“1”以前不需要先写入“0”的工作例，但是在栅极下面具有PMOS晶体管区域和NMOS晶

体管区域这一点没有改变。

文献(2)，对于共用字线的单元，不能同时写入“1”和“0”，需要利用 SOI 衬底的消去工作。写入速度与通常的 SRAM, DRAM 比较也是不利的。

在日本平成 3 年公开的 3-171768 号专利公报中，也显示了将沟道体作为存储节点存储电荷，利用背栅偏压效果的那种类型的增益单元。它需要将不与位线连接一侧的源极/漏极分离到位线方向或字线方向，从而尺寸变大。又，在写入“1”以前必须先写入“0”，从写入速度来说，与通常的 SRAM, DRAM 比较是不利的。

日本平成 8 年公开的 8-213624 号专利公报是将沟道体作为存储节点存储电荷，利用由沟道体的电位引起的寄生双极的收集极电流中的差的那种类型的增益单元。它也在写入“0”以前必须先写入“1”，从写入速度来说，与通常的 SRAM, DRAM 比较是不利的。

如上所述，最近提出的新的 DRAM 方案需要特殊的晶体管构造等，构造复杂，或者即便构造比较简单但是在控制性方面存在难点，难以达到高集成化和高性能的目的。

发明内容

本发明提供了一种半导体存储器件，具有用于构成多个存储单元的多个 MIS 晶体管，其特征在于：各 MIS 晶体管包括：半导体层，在上述半导体层上形成的源极区域，在上述半导体层上与上述源极区域分离形成的漏极区域，使得上述源极区域和上述漏极区域之间的上述半导体层成为浮动状态的沟道体，设置在上述源极区域和上述漏极区域之间、用于在上述沟道体内、于上述源极区域和上述漏极区域之间形成沟道的主栅极，和为了通过电容耦合控制上述沟道体的电位、与上述主栅极分别设置的辅助栅极，该辅助栅极与上述主栅极同步驱动，并且上述 MIS 晶体管具有将上述沟道体设定在第 1 电位的第 1 数据状态和将上述沟道体设定在第 2 电位的第 2 数据状态。

本发明还提供了一种半导体存储器件，具有用于构成多个存储单元

的多个 MIS 晶体管,其中各 MIS 晶体管是具有第 1 数据状态和第 2 数据状态的半导体存储器件,该半导体存储器件包括:第 1 半导体衬底,在上述第 1 半导体衬底的表面上、以底面和侧面被绝缘膜覆盖的状态在一个方向上连续地形成的上述 MIS 晶体管的辅助栅极,隔着第 1 栅极绝缘膜设置在上述辅助栅极表面上的第 2 半导体衬底,在上述第 2 半导体衬底表面上、隔着第 2 栅极绝缘膜与上述辅助栅极并行连续地形成的上述 MIS 晶体管的主栅极,在上述第 2 半导体衬底上的、上述主栅极和上述辅助栅极的间隙部分上形成的源极区域,在上述第 2 半导体衬底上的、上述主栅极和上述辅助栅极的间隙部分上与上述源极区域分离地形成的漏极区域,与上述源极区域接触的,与上述主栅极和上述辅助栅极并行连续地设置的源极配线,覆盖上述源极配线的层间绝缘膜,和在上述层间绝缘膜上,在与上述主栅极和上述辅助栅极交叉的方向上形成的,与上述漏极区域接触的位线。

本发明提供了一种半导体存储器件的制造方法,其特征在于包括下列步骤:隔着第 1 绝缘膜在半导体衬底上形成半导体层,在上述半导体层中埋入用于在第 1 方向上划分使元件分离的元件形成区域的元件分离绝缘膜,在上述元件分离绝缘膜中,隔着第 1 栅极绝缘膜,埋入与上述半导体层侧面相对的主栅极,在上述半导体层上面,以与上述主栅极电连接的状态并且用功函数与上述主栅极不同的材料、隔着第 2 栅极绝缘膜形成与上述半导体层相对的辅助栅极,和将上述辅助栅极作为掩模,在上述半导体层中离子注入杂质形成源极区域和漏极区域。

本发明还提供了一种半导体存储器件的制造方法,其特征在于包括下列步骤:隔着第 1 绝缘膜在第 1 半导体衬底上形成栅极电极材料膜,隔着第 1 栅极绝缘膜、将第 2 半导体衬底粘合在上述栅极电极材料膜上,在上述第 2 半导体衬底上形成元件分离绝缘膜,带状地划分在第 1 方向连续的元件形成区域,在划分上述元件形成区域的第 2 半导体衬底上,淀积第 2 绝缘膜,将它作为在与上述第 1 方向交叉的第 2 方向上连续的伪栅极形成布局图案,将上述伪栅极作为掩模,依次刻蚀上述第 2 半导体衬底,上述第 1 栅极绝缘膜和上述栅极材料膜,在上述第 2 方向上连

续地形成由上述栅极电极材料膜构成的辅助栅极，在上述伪栅极的间隙中埋入第3绝缘膜，直至第2半导体衬底的厚度方向的中间，在上述伪栅极的间隙中的上述第3绝缘膜上，形成侧面与上述第2半导体衬底连接的半导体层，除去上述伪栅极，在露出的上述第2半导体衬底的表面上形成第2栅极绝缘膜，在上述半导体层的间隙部分埋入与上述辅助栅极并行地连续的主栅极，通过在上述半导体层中离子注入杂质形成源极区域和漏极区域，形成与上述源极区域接触、在上述第2方向上连续的源极配线，和形成覆盖上述源极配线的层间绝缘膜，在该层间绝缘膜上形成与上述漏极区域接触的、在上述第1方向上连续的位线。

附图说明

图1是表示用于各实施形态的DRAM单元的基本构造的图。

图2是表示用于说明同一DRAM单元的工作原理的体电位与栅极偏压之间关系的图。

图3是表示根据本发明实施形态1的DRAM单元的截面构造的图。

图4是用同一DRAM单元的单元阵列的等效电路图。

图5是同一单元阵列的布局图。

图6A是图5的A-A'线截面图。

图6B是图5的B-B'线截面图。

图7A是表示用相同材料形成第1栅极和第2栅极时，同一DRAM单元的写入工作的波形图。

图7B是表示用具有不同功函数的材料形成第1栅极和第2栅极时，同一DRAM单元的写入工作的波形图。

图7C是表示为了产生图7B的写入工作波形的字线驱动器和行译码器的电路构成的一个例子的图。

图7D是表示图7C所示的字线驱动器的变型例的图。

图7E是表示当对于存储单元阵列配置图7C或图7D所示的行译码器和字线驱动器时的布局的一个例子的图（单侧配置）。

图7F是表示当对于存储单元阵列配置图7C或图7D所示的行译码

器和字线驱动器时的布局的一个例子的图（两侧配置）。

图 7G 是表示为了产生图 7A 的写入工作波形的字线驱动器和行译码器的电路构成的一个例子的图。

图 7H 是表示图 7G 所示的字线驱动器的变形例的图。

图 7I 是表示当对于存储单元阵列配置图 7G 或图 7H 所示的行译码器和字线驱动器时的布局的一个例子的图（对于由第 1 字线和第 2 字线组成的字线对，左右互交地设置行译码器和字线驱动器的情形）。

图 7J 是表示当对于存储单元阵列配置图 7G 或图 7H 所示的行译码器和字线驱动器时的布局的一个例子的图（在单侧设置用于第 1 字线的行译码器和字线驱动器，在另一单侧设置用于第 2 字线的行译码器和字线驱动器的情形）。

图 7K 是表示在采用图 7J 所示布局的情形中，用于第 1 字线的行译码器和字线驱动器的电路构成的一个例子的图。

图 7L 是表示在采用图 7J 所示布局的情形中，用于第 2 字线的行译码器和字线驱动器的电路构成的一个例子的图。

图 7M 表示图 7K 所示的字线驱动器的变形例的图。

图 7N 是表示配置了用各施形态中的存储单元构成的存储单元阵列及其行译码器和字线驱动器的存储芯片的布局的一个例子的图。

图 8 是表示根据实施形态 2 的 DRAM 单元的截面构造的图。

图 9 是表示根据实施形态 3 的 DRAM 单元的截面构造的图。

图 10A 是根据实施形态 4 的 DRAM 单元阵列的布局图。

图 10B 是图 10A 的 A-A' 线截面图。

图 10C 是图 10A 的 B-B' 线截面图。

图 11 是表示根据实施形态 5 的 DRAM 单元的截面构造的图。

图 12 是表示与图 3 所示的实施形态 1 有关的存储单元的制造工序中标记形成工序的图。

图 13 是表示同一制造工序的标记形成工序的图。

图 14 是表示同一制造工序的栅极（G2）形成工序的图。

图 15 是表示同一制造工序的衬底贴合工序的图。

图 16 是表示同一制造工序的衬底研磨工序的图。

图 17 是表示同一制造工序的栅极 (G1) 形成工序的图。

图 18 是表示同一制造工序的位线形成工序的图。

图 19 是表示与图 8 所示的实施形态 2 有关的存储单元的制造工序中
标记形成工序的图。

图 20 是表示同一制造工序的标记形成工序的图。

图 21 是表示同一制造工序的栅极 (G1) 形成工序的图。

图 22 是表示同一制造工序的衬底贴合工序的图。

图 23 是表示同一制造工序的衬底研磨工序的图。

图 24 是表示同一制造工序的绝缘膜形成工序的图。

图 25 是表示同一制造工序的栅极 (G2) 形成工序的图。

图 26 是表示同一制造工序的位线形成工序的图。

图 27 是表示与图 9 所示的实施形态 3 有关的存储单元的制造工序中
标记形成工序的图。

图 28 是表示同一制造工序的标记形成工序的图。

图 29 是表示同一制造工序的栅极 (G2) 形成工序的图。

图 30 是表示同一制造工序的衬底贴合工序的图。

图 31 是表示同一制造工序的衬底研磨工序的图。

图 32 是表示同一制造工序的栅极 (G1) 形成工序的图。

图 33 是表示同一制造工序的位线形成工序的图。

图 34A 是表示与图 10A 到图 10C 所示的实施形态 4 有关的存储单元
的制造工序中元件分离工序的图 (在图 10A 中的 A-A' 线截面图)。

图 34B 是表示与图 10A 到图 10C 所示的实施形态 4 有关的存储单元
的制造工序中元件分离工序的图 (在图 10A 中的 B-B' 线截面图)。

图 35A 是表示同一制造工序的栅极埋入部分形成工序的图 (图 10A
中的 A-A' 线截面图)。

图 35B 是表示同一制造工序的栅极埋入部分形成工序的图 (图 10A
中的 B-B' 线截面图)。

图 36A 是表示同一制造工序的栅极 (G1) 埋入工序的图 (图 10A 中

的 A-A'线截面图)。

图 36B 是表示同一制造工序的栅极 (G1) 埋入工序的图 (图 10A 中的 B-B'线截面图)。

图 37A 是表示同一制造工序的栅极 (G2) 形成工序的图 (图 10A 中的 A-A'线截面图)。

图 37B 是表示同一制造工序的栅极 (G2) 形成工序的图 (图 10A 中的 B-B'线截面图)。

图 38A 是表示同一制造工序的固定电位线形成工序的图 (图 10A 中的 A-A'线截面图)。

图 38B 是表示同一制造工序的固定电位线形成工序的图 (图 10A 中的 B-B'线截面图)。

图 39A 是与图 11 的实施形态对应的单元阵列的布局图。

图 39B 是图 39A 的 A-A'线截面图。

图 39C 是图 39A 的 B-B'线截面图。

图 40A 是表示图 39 的单元阵列的制造工序中柱状硅形成工序的图 (图 39A 中的 A-A'线截面图)。

图 40B 是表示图 39 的单元阵列的制造工序中柱状硅形成工序的图 (图 39A 中的 B-B'线截面图)。

图 41A 是表示同一制造工序的柱状硅形成工序的图 (图 39A 中的 A-A'线截面图)。

图 41B 是表示同一制造工序的柱状硅形成工序的图 (图 39A 中的 B-B'线截面图)。

图 42A 是表示同一制造工序的栅极材料淀积工序的图 (图 39A 中的 A-A'线截面图)。

图 42B 是表示同一制造工序的栅极材料淀积工序的图 (图 39A 中的 B-B'线截面图)。

图 43A 是表示同一制造工序的栅极形成工序的图 (图 39A 中的 A-A'线截面图)。

图 43B 是表示同一制造工序的栅极形成工序的图 (图 39A 中的 B-B'

线截面图)。

图 44A 是表示同一制造工序的平坦化工序的图(图 39A 中的 A-A' 线截面图)。

图 44B 是表示同一制造工序的平坦化工序的图(图 39A 中的 B-B' 线截面图)。

图 45A 是表示与图 11 所示的实施形态 5 有关的存储单元中其他单元阵列的布局图。

图 45B 是图 45A 的 A-A' 线截面图。

图 45C 是图 45A 的 B-B' 线截面图。

图 46A 是表示图 45 的单元阵列的制造工序中柱状硅形成工序的图(图 45A 中的 A-A' 线截面图)。

图 46B 是表示图 45 的单元阵列的制造工序中柱状硅形成工序的图(图 45A 中的 B-B' 线截面图)。

图 47A 是表示同一制造工序的柱状硅形成工序的图(图 45A 中的 A-A' 线截面图)。

图 47B 是表示同一制造工序的柱状硅形成工序的图(图 45A 中的 B-B' 线截面图)。

图 48A 是表示同一制造工序的栅极材料淀积工序的图(图 45A 中的 A-A' 线截面图)。

图 48B 是表示同一制造工序的栅极材料淀积工序的图(图 45A 中的 B-B' 线截面图)。

图 49A 是表示同一制造工序的栅极(G1)形成工序的图(图 45A 中的 A-A' 线截面图)。

图 49B 是表示同一制造工序的栅极(G1)形成工序的图(图 45A 中的 B-B' 线截面图)。

图 50A 是表示同一制造工序的平坦化工序的图(图 45A 中的 A-A' 线截面图)。

图 50B 是表示同一制造工序的平坦化工序的图(图 45A 中的 B-B' 线截面图)。

图 51A 是表示同一制造工序的栅极 (G2) 形成区域的开口工序的图 (图 45A 中的 A-A' 线截面图)。

图 51B 是表示同一制造工序的栅极 (G2) 形成区域的开口工序的图 (图 45A 中的 B-B' 线截面图)。

图 52A 是表示同一制造工序的栅极材料淀积工序的图 (图 45A 中的 A-A' 线截面图)。

图 52B 是表示同一制造工序的栅极材料淀积工序的图 (在图 45A 中的 B-B' 线截面图)。

图 53A 是表示同一制造工序的栅极 (G2) 形成工序的图 (图 45A 中的 A-A' 线截面图)。

图 53B 是表示同一制造工序的栅极 (G2) 形成工序的图 (图 45A 中的 B-B' 线截面图)。

图 54A 是表示图 39A 的实施形态中追加分路配线的实施形态的布局图。

图 54B 是图 54A 的 A-A' 线截面图。

图 54C 是图 54A 的 B-B' 线截面图。

图 55A 是当用其它分路配线构造时图 54A 的 A-A' 线截面图。

图 55B 是当用其它分路配线构造时图 54A 的 B-B' 线截面图。

图 56 是与图 3 对应地表示当将与实施形态 1 有关的 n 沟道型 MIS 晶体管变形为 p 沟道型时的存储单元构造的图。

图 57 是与图 8 对应地表示当将与实施形态 2 有关的 n 沟道型 MIS 晶体管变形为 p 沟道型时的存储单元构造的图。

图 58 是与图 9 对应地表示当将与实施形态 3 有关的 n 沟道型 MIS 晶体管变形为 p 沟道型时的存储单元构造的图。

图 59A 是与图 10 对应地表示当将与实施形态 4 有关的 n 沟道型 MIS 晶体管变形为 p 沟道型时的存储单元构造的图。

图 59B 是与图 10C 对应地表示当将与实施形态 4 有关的 n 沟道型 MIS 晶体管变形为 p 沟道型时的存储单元构造的图。

图 60A 是与图 11 对应地表示当将与实施形态 5 有关的 n 沟道型 MIS

晶体管变形为 p 沟道型时的存储单元构造的图。

图 60B 是与图 7A 对应地表示当用 p 沟道型 MIS 晶体管时的驱动电压波形的图。

图 60C 是与图 7B 对应地表示当用 p 沟道型 MIS 晶体管时的驱动电压波形的图。

图 61 是表示用于图 3 实施形态的单元模拟的晶体管参数的图。

图 62 是表示根据同一模拟写入“0”和其后的读出工作的电压波形的图。

图 63 是表示根据同一模拟写入“1”和其后的读出工作的电压波形的图。

图 64 是表示根据同一模拟写入“0”，“1”数据时单元的漏极电流-栅极电压特性的图。

图 65 是表示根据使辅助栅极处于固定电位的模拟写入“0”和其后的读出工作的电压波形的图。

图 66 是表示根据同一模拟写入“1”和其后的读出工作的电压波形的图。

图 67 是表示根据同一模拟写入“0”，“1”数据时单元的漏极电流-栅极电压特性的图。

图 68A 是根据实施形态 6 的单元阵列的平面图。

图 68B 是图 68A 的 I-I' 截面图。

图 68C 是图 68A 的 II-II' 截面图。

图 69 是表示同一实施形态的制造工序中在第 1 硅衬底上形成栅极材料膜的工序的截面图。

图 70 是表示同一制造工序中在第 2 硅衬底上进行氢离子注入工序的截面图。

图 71 是表示同一制造工序中衬底贴合工序的截面图。

图 72 是表示同一制造工序中贴合衬底厚度调整工序的图。

图 73A 是表示同一制造工序中元件分离工序的平面图。

图 73B 是图 73A 的 II-II' 截面图。

图 74 是表示同一制造工序中用于虚设字线的绝缘膜淀积工序的截面图。

图 75 是表示同一制造工序中虚设字线形成工序和用虚设字线的辅助栅极分离工序的截面图。

图 76 是表示同一制造工序中硅氮化膜形成工序的截面图。

图 77 是表示同一制造工序中将绝缘膜埋入分离沟的工序的截面图。

图 78 是表示同一制造工序中除去硅氮化膜的工序的截面图。

图 79 是表示同一制造工序中生长硅层的工序的截面图。

图 80 是表示同一制造工序中除去虚设字线的工序的截面图。

图 81 是表示同一制造工序中栅极绝缘膜形成工序和硅氮化膜形成工序的截面图。

图 82 是表示同一制造工序中主栅极埋入工序的截面图。

图 83 是表示同一制造工序中硅氮化膜淀积工序的截面图。

图 84A 是表示同一制造工序中硅氮化膜刻蚀工序的平面图。

图 84B 是图 84A 的 I-I' 截面图。

图 85 是表示同一制造工序的元件分离工序的平面图。

图 86 是表示同一制造工序中源极，漏极扩散层形成工序的截面图。

图 87 是表示同一制造工序中层间绝缘膜形成工序的截面图。

图 88 是表示同一制造工序中源极配线埋入沟形成工序的截面图。

图 89 是表示同一制造工序中源极配线埋入工序的截面图。

图 90 是表示同一制造工序中层间绝缘膜形成工序的截面图。

图 91 是表示同一制造工序中位线接触孔和配线沟形成工序的截面图。

图 92 是与根据其它实施形态的单元阵列的图 68B 对应的截面图。

具体实施方式

下面，我们参照附图说明与本发明有关的几个实施形态。首先，在说明具体的实施形态前，先说明下面述说的实施形态中使用的存储单元

的基本原理。

图 1 表示 DRAM 的单个存储单元的基本截面构造。存储单元 MC 由 SOI 构造的 n 沟道 MIS 晶体管构成。即，在硅衬底 10 上形成硅氧化膜 11 作为绝缘膜，用在这个硅氧化膜 11 上形成 p 型硅层 12 的 SOI 衬底。在这个 SOI 衬底的硅层 12 上，通过栅极氧化膜 16 形成栅极 13，与栅极 13 自匹配地形成 n 型漏极扩散层 14 和 n 型源极扩散层 15。

漏极扩散层 14 和源极扩散层 15 形成达到底部的硅氧化膜 11 的深度。所以，由 p 型硅层 12 构成的沟道体区域，如果用氧化膜实施沟道宽度方向（与图的纸面垂直的方向）上的分离，则底面和沟道宽度方向的侧面与其它部分绝缘分离，沟道长度方向形成 pn 结分离的浮动状态。

这种由 MIS 晶体管构成构成的 DRAM 单元的工作原理利用是晶体管沟道体（与其它部分绝缘分离的 p 型硅层 12）的多数载流子的空穴的积累状态。即，通过使晶体管工作在 5 极管区域，从漏极 14 流出大电流，在漏极 14 附近引起碰撞离子化。使由这个碰撞离子化产生的作为多数载流子的空穴保持在 p 型硅层 12 中，例如将这个空穴的积累状态取为数据“1”，将漏极 14 和 p 型硅层 12 之间的 pn 结作为正向偏压，将 p 型硅层 12 的空穴放出到漏极一侧的状态取为数据“0”。

数据“0”，“1”是沟道体的电位差，作为 MIS 晶体管的阈值电压差存储起来。图 2 表示给予栅极的驱动电位 VWL 和体电位 VB 之间的关系。如图 2 所示通过空穴积累，体电位 VB 高的数据“1”状态的阈值电压 V_{th1} 比数据“0”状态的阈值电压 V_{th0} 低。为了保持在体内积累是多数载流子的空穴的“1”状态，必须在栅极 13 上加上负的体电压。这个数据保持状态，限于不进行逆数据的写入工作（消去），即便进行读出工作也不改变。即，与利用电容的电荷积累的 1 个晶体管/1 个电容的 DRAM 不同，可以进行非破坏读出。

在以上基本的 DRAM 单元构成中，是否能够只使数据“0”，“1”的阈值电压差中哪一个变大成为重要的问题。如从上述工作原理可以看到的那样，通过来自栅极 13 的电容耦合控制体电位，决定数据的写入特性和保持特性。可是，因为对于体电位阈值电压大致以平方根起作用，所以

要实现数据“0”，“1”之间大的阈值电压差是不容易的。而且，在上述写入工作中，写入“0”的存储单元 MC 进行 3 极管工作，所以当形成沟道时栅极 13 和沟道体没有电容耦合，不能够使体电位上升。

因此在下面的实施形态中，除了对于上述的基本存储单元构造，设置用于形成沟道的主栅极（第 1 栅极）外，还对于 MIS 晶体管的沟道体设置用于通过电容耦合控制体电位的辅助栅极（第 2 栅极）。而且，通过与第 1 栅极同步地驱动第 2 栅极，可以实现更确实的数据写入，并且可以存储阈值电压差大的数据“0”，“1”。

下面我们说明具体的实施形态。

[实施形态]

图 3 与图 1 的基本构造对应地表示根据实施形态 1 的存储单元 MC 的构造。与图 1 不同之处在于除了是用于晶体管沟道控制的前栅极的第 1 栅极（G1）13 外，还设置了用于控制体电位的第 2 栅极（G2）20。在本实施形态中，第 2 栅极 20 作为通过栅极绝缘膜 19 与硅层 12 的底面进行电容耦合的相对的后栅极，埋入硅层 12 下面的氧化膜 11 内。

图 4 表示用多个这样的存储单元 MC 进行矩阵配列的存储单元阵列的等效电路图。并列在一个方向上的多个存储单元 MC 的第 1 栅极（G1）13 与第 1 字线 WL1 连接，第 2 栅极（G2）20 与第 2 字线 WL2 连接。在与这些字线 WL1，WL2 交叉的方向上，配置与存储单元 MC 的漏极连接的位线 BL。所有的存储单元 MC 的源极 15 都与固定电位线（接地电位线 VSS）连接。

图 5 表示存储单元阵列的布局，图 6A 和图 6B 分别表示图 5 的 A-A' 线截面图和 B-B' 线截面图。p 型硅层 12 通过埋入硅氧化膜 21 形成格子状的图案。即共有漏极 14 的 2 个晶体管的区域在字线 WL1，WL2 的方向上由硅氧化膜 21 进行分离元件地配列。或者代替埋入硅氧化膜 21，也可以通过硅层 12 进行刻蚀，实施横方向上的元件分离。在一个方向上连续地形成第 1 栅极 13 和第 2 栅极 20，使它们成为字线 WL1，WL2。在字线 WL1，WL2 的方向上连续地形成源极 15，使它成为固定电位线（共同的源线）。在晶体管上覆盖层间绝缘膜 17，在层间绝缘膜 17 上形

成位线 (BL) 18。位线 18 与 2 个晶体管共有的漏极 14 接触, 与字线 WL1, WL2 交叉那样地进行配置。

因此, 作为各晶体管的沟道体的硅层 12 在底面和沟道宽度方向的侧面由氧化膜相互分离, 在沟道长方向由 pn 结相互分离, 保持在浮动状态中。

而且在这种存储单元阵列构成中, 通过以最小加工尺寸 F 的间隔形成字线 WL1, WL2 和位线 BL, 单个单元面积如图 5 的虚线所示, 成为 $2F \times 2F = 4F^2$ 。

如上所述, 将一个 MIS 晶体管作为 1 比特的存储单元 MC, 构成能够进行定时存储的存储单元阵列。

图 7A 和图 7B 表示写入数据时的字线 WL1, WL2 和位线 BL 的电压波形图。同步地驱动成对的第 1 字线 WL1 和第 2 字线 WL2。图 7A 是当用相同材料构成第 1 栅极 13 和第 2 栅极 20 时, 通过将第 2 栅极 20 控制在比第 1 栅极 13 低的电位上, 在沟道体的第 2 栅极 20 一侧可以积累多数载流子。另一方面, 图 7B 是当用功函数不同的电极材料构成第 1 栅极 13 和第 2 栅极 20 时, 通过给予两者相同的电位, 在沟道体的第 2 栅极 20 一侧可以积累多数载流子。

在图 7A 的情形中, 当写入数据“1”时, 将比基准电位 VSS 高的正电位 VWL1H 给予选出的第 1 字线 WL1, 同时将比这个电位低的电位 VWL2H (在图例中比基准电位 VSS 低的负电位) 给予选出的第 2 字线 WL2, 将比基准电位 VSS 高的正电位 VBLH 给予选出的位线 BL。因此, 在选出的存储单元 MC 中, 产生由 5 极管工作引起的碰撞离子化, 在沟道体中积累空穴。

数据保持是将比基准电位 VSS 低的负电位 VWL1L 给予第 1 字线 WL1, 并将比这个电位更低的低电位 VWL2L 给予选出的第 2 字线 WL2。因此, 保持表示在沟道体中积累过剩空穴状态的数据“1”。

当写入数据“0”时, 分别将与写入数据“1”时相同的电位 VWL1H 和 VWL2H 给予选出的第 1 和第 2 字线 WL1 和 WL2, 并将比基准电位 VSS 低的负电位 VBLL 给予选出的位线 BL。因此, 在选出的存储单元 MC

中，漏结处于顺偏压，将沟道体中的空穴排出到漏极 14，写入表示体电位低的状态的数据“0”。

在图 7B 的情形中，当写入数据“1”时，将比基准电位 VSS 高的正电位 VWLH 给予选出的第 1 和第 2 字线 WL1 和 VW2，将比基准电位 VSS 高的正电位 VBLH 给予选出的位线 BL。因此，在选出的存储单元 MC 中，产生由 5 极管工作引起的碰撞离子化，在沟道体中积累空穴。

数据保持是将比基准电位 VSS 低的负电位 VWLL 给予第 1 和第 2 字线 WL1 和 WL2。因此，保持表示在沟道体中积累过剩空穴的状态的数据“1”。

当写入数据“0”时，分别将与写入数据“1”时相同的电位 VWLH 给予选出的第 1 和第 2 字线 WL1 和 WL2，将比基准电位 VSS 低的负电位 VBLL 给予选出的位线 BL。因此，在选出的存储单元 MC 中，漏结处于顺偏压，将沟道体中的空穴排出到漏极 14，写入表示体电位低的状态的数据“0”。

这样，如果用功函数不同的材料构成 2 个栅极 13 和 20，则通过用相同的电位同步驱动第 1 字线 WL1 和第 2 字线 WL2，能够控制到沟道体的空穴积累。

在以上那样的这个实施形态中，通过与主栅极（第 1 栅极）13 一起驱动辅助栅极（第 2 栅极）20，能够写入阈值电压差大的数据“0”，“1”。即，在第 2 栅极 20 上加上负电位处于数据保持状态，很好地保持数据“1”的空穴积累状态，同时通过当写入数据时提高这个第 2 栅极 20 的电位，由于电容耦合使体电位上升，能够确实地写入数据。

当写入数据“0”时，即便在第 1 栅极 13 一侧形成沟道，因为通过驱动第 2 栅极 20 能够使体电位上升，所以可以确实地写入数据“0”。

由于上述情况，能够存储阈值电压差大的数据“0”，“1”。

又，通过降低非选出的第 1 字线 WL1 的电位进行数据保持，但是因为这时成对的第 2 字线 WL2 的电位也下降向下控制体电位，所以在与相同位线 BL 连接的其它单元中进行数据“0”的写入时，能够确实地防止破坏在保持数据“1”的非选出的存储单元 MC 中的数据。进一步，在与写入

“1”的位线 BL 连接的非选出的数据“0”单元中,存在着由于表面电压击穿和 GIDL (Gate Induced Drain Leakage, 栅极感应漏极泄漏) 电流引起数据破坏的悬念,但是在本实施形态的情形中,通过降低第 2 字线 WL2 的体电位,也能够解除这些悬念。

进一步,当写入“0”时,使位线 BL 的电位很大下降,从源极 15 到位线 BL 流动着电流,但是在本实施形态的情形中,因为由于第 2 栅极 20 使体电位上升,所以不需要使位线 BL 有这种程度的下降。因此,例如,可以使位线 BL 的电位与源极的基准电位 VSS 大致相同,从而能够抑制从源极 15 到位线 BL 流动的电流。

又当读出数据时,为了不会错误地写入“1”,需要进行 3 极管工作。因此,位线 BL 的电位比写入“1”时的低,但是因此在漏极 14 和沟道体之间的耗散层的伸展比写入“1”时小,从而使位线 BL 和沟道体之间的电容耦合变大。这成为写入时使注入沟道体的载流子进行电容再分配,体电位下降的原因。在本实施形态中,由于第 2 栅极 20 的控制,能够很好地保持沟道体的多数载流子积累状态。

其次,我们说明在本实施形态中行译码器和字线驱动器的具体电路构成的一个例子。图 7C 是行译码器的一个例子,是表示用于产生图 7B 所示的字线 WL1, WL2 的电压波形的字线驱动器 WDDV1 的一个例子的图。

如这个图 7C 所示,行译码器 RDEC 由 NAND 电路 C10 构成,字线驱动器 WDDV1 由反相电路 C11,电平变换电路 C12,电平变换电路 C13,和输出缓冲电路 C14 构成。通过这种构成,由行译码器 RDEC 选出的字线驱动器 WDDV1 将高电位的电位变换成比正电位 VCC 高的电位 VWLH,供给字线 WL1, WL2。

更具体地,将行地址信号 RADD 和字线启动信号 WLEN 输入 NAND 电路 C10。将所有的高电位的行地址信号 RADD 和高电位的字线启动信号 WLEN 输入与选出的字线 WL1, WL2 对应的字线驱动器 WDDV1。所以,与选出的字线 WL1, WL2 对应的字线驱动器 WDDV1 的 NAND 电路 C10 的输出成为低电平,即基准电位 VSS。将 NAND 电路 C10 的

输出输入到反相电路 C11。

这个反相电路 C11 反转输入的信号并输出。所以，在选出的字线驱动器 WDDV1 中，反相电路 C11 的输出成为高电平，即正的电位 VCC。将这个反相电路 C11 的输出输入到电平变换电路 C12 和电平变换电路 C13。又，也将 NAND 电路 C10 的输出输入到电平变换电路 C12 和电平变换电路 C13。

将这个电平变换电路 C12 和电平变换电路 C13 的输出输入到输出缓冲电路 C14。通过电平变换电路 C12 和输出缓冲电路 C14 将是反相电路 C11 的高电平输出电位 VCC 的输出变换成比 VCC 高的正电位 VWLH，供给字线 WL1, WL2。又，通过电平变换电路 C13 和输出缓冲电路 C14，将反相电路 C11 的低电平输出电位 VSS 的输出变换成比 VSS 低的电位 VWLL，供给字线 WL1, WL2。

在本实施形态中，电平变换电路 C12 通过备有 p 型 MOS 晶体管 PM10, PM11 和 n 型 MOS 晶体管 NM10, NM11 构成。p 型 MOS 晶体管 PM10, PM11 的源极端子分别与电位 VWLH 的供给线连接，其漏极端子分别与 n 型 MOS 晶体管 NM10, NM11 的漏极端子连接。又，p 型 MOS 晶体管 PM10 的栅极端子与在 p 型 MOS 晶体管 PM11 和 n 型 MOS 晶体管 NM11 之间的节点连接，p 型 MOS 晶体管 PM11 的栅极端子与在 p 型 MOS 晶体管 PM10 和 n 型 MOS 晶体管 NM10 之间的节点连接。

将反相电路 C11 的输出输入到 n 型 MOS 晶体管 NM10 的栅极端子，将 NAND 电路 C10 的输出输入到 n 型 MOS 晶体管 NM11 的栅极端子。这些 n 型 MOS 晶体管 NM10, NM11 的源极端子分别与电位 VSS 的供给线连接。另一方面，电平变换电路 C13 通过备有 p 型 MOS 晶体管 PM12, PM13 和 n 型 MOS 晶体管 NM12, NM14 构成。p 型 MOS 晶体管 PM12, PM13 的源极端子分别与电位 VCC 的供给线连接，其漏极端子分别与 n 型 MOS 晶体管 NM12, NM13 的漏极端子连接。又，将反相电路 C11 的输出输入到 p 型 MOS 晶体管 PM12 的栅极端子，将 NAND 电路 C10 的输出输入到 p 型 MOS 晶体管 PM13 的栅极端子。

n 型 MOS 晶体管 NM12 的栅极端子与在 p 型 MOS 晶体管 PM13 和

n 型 MOS 晶体管 NM13 之间的节点连接, n 型 MOS 晶体管 NM13 的栅极端子与在 p 型 MOS 晶体管 PM12 和 n 型 MOS 晶体管 NM12 之间的节点连接。又, 这些 n 型 MOS 晶体管 NM12, NM13 的源极端子分别与电位 VWLL 的供给线连接。

输出缓冲电路 C14 是通过将 p 型 MOS 晶体管 PM14, PM15 和 n 型 MOS 晶体管 NM14, NM15 串联地连接起来构成的。

p 型 MOS 晶体管 PM14 的源极端子与电位 VWLH 的供给线连接, 其栅极端子与在电平变换电路 C12 中的 p 型 MOS 晶体管 PM11 的栅极端子连接。p 型 MOS 晶体管 PM14 的漏极端子与 p 型 MOS 晶体管 PM15 的源极端子连接。将电位 VSS 输入到这个 p 型 MOS 晶体管 PM15 的栅极端子。因此, p 型 MOS 晶体管 PM15 成为常通的 MOS 晶体管。又, p 型 MOS 晶体管 PM15 的漏极端子与 n 型 MOS 晶体管 NM14 的漏极端子连接。从这些 p 型 MOS 晶体管 PM15 和 n 型 MOS 晶体管 NM14 之间的节点输出用于驱动字线 WL1, WL2 的电压。

将电位 VCC 供给 n 型 MOS 晶体管 NM14 的栅极端子。因此, n 型 MOS 晶体管 NM14 的栅极端子成为常通的 MOS 晶体管。n 型 MOS 晶体管 NM14 的源极端子与 n 型 MOS 晶体管 NM15 的漏极端子连接。这个 n 型 MOS 晶体管 NM15 的栅极端子与在电平变换电路 C13 中的 n 型 MOS 晶体管 NM13 的栅极端子连接。又, n 型 MOS 晶体管 NM15 的源极端子与电位 VWLL 的供给线连接。

用如上构成的行译码器 RDEC 和字线驱动器 WDDV1, 产生图 7B 所示的电位 VWLH, VWLL, 供给字线 WL1, WL2。此外, 在图 7C 中, 在各 MOS 晶体管上实施后栅极连接, 但是不一定需要这样做。

此外, 这个字线驱动器 WDDV1 的输出缓冲电路 C14 备有常通的 MOS 晶体管 PM15, NM14, 但是这是为了不将电位 VWLH 和电位 VWLL 的电位差直接加到 MOS 晶体管 PM14, NM15 上。即, 通过常通的 MOS 晶体管 PM15, NM14, 电位差只减少与这个阈值下降相当的电压。所以, 如果也可以将这个电位差直接加到 MOS 晶体管 PM14, PM15 上, 则如图 7D 所示, 也可以省略 MOS 晶体管 PM15, NM14。

将这些图 7C 或图 7D 所示的行译码器 RDEC 和字线驱动器 WDDV1 配置在存储单元阵列 MCA 上的布局图如图 7E 所示。如这个图 7E 所示，当字线驱动器 WDDV1 的布局间隔与字线 WL1, WL2 的配线间隔一致时，能够将行译码器 RDEC 和字线驱动器 WDDV1 配置在存储单元阵列 MCA 的一侧。

与此相对，当字线驱动器 WDDV1 的布局面积增大，能够使字线驱动器 WDDV1 的布局间隔与字线 WL1, WL2 的配线间隔不一致时，可以考虑如图 7F 所示的布局。即，将行译码器 RDEC 和字线驱动器 WDDV1 配置在存储单元阵列 MCA 的两侧，例如，用在存储单元阵列 MCA 左侧的行译码器 RDEC 和字线驱动器 WDDV1 驱动奇数号码的字线 WL1, WL2 的译码，用在存储单元阵列 MCA 右侧的行译码器 RDEC 和字线驱动器 WDDV1 驱动偶数号码的字线 WL1, WL2 的译码。

其次，我们说明与图 7A 对应的行数据和字线驱动器的电路构成。图 7G 是行译码器的一个例子，是表示用于产生图 7A 所示的字线 WL1, WL2 的电压波形的字线驱动器 WDDV2 的一个例子的图。

如这个图 7G 所示，行译码器 RDEC 由 NAND 电路 C10 构成，字线驱动器 WDDV2 由反相电路 C11, 电平变换电路 C22, 电平变换电路 C23, 输出缓冲电路 C24, 电平变换电路 C25 和输出缓冲电路 C26 构成。这里的电压高低关系，按照图 7A 的例子，为 $V_{WL1H} > V_{SS} > V_{WL2H} > V_{WL1L} > V_{WL2L}$ 。

当只说明与图 7C 不同之处时，电平变换电路 C22 具有基本上与图 7C 的电平变换电路 C12 相同的构成，备有 p 型 MOS 晶体管 PM20, PM21 和 n 型 MOS 晶体管 NM20, NM21。但是，p 型 MOS 晶体管 PM20, PM21 的源极端子与电位 V_{WL1H} 的供给线连接。

电平变换电路 C23 也具有基本上与图 7C 的电平变换电路 C13 相同的构成，备有 p 型 MOS 晶体管 PM22, PM23 和 n 型 MOS 晶体管 NM22, NM23。但是，n 型 MOS 晶体管 NM22, NM23 的源极端子与电位 V_{WL1L} 的供给线连接。

输出缓冲电路 C24 也具有基本上与图 7C 的输出缓冲电路 C14 相同

的构成，备有串联连接的 p 型 MOS 晶体管 PM24，PM25 和 n 型 MOS 晶体管 NM24，NM25。但是，p 型 MOS 晶体管 PM24 的源极端子与电位 VWL1H 的供给线连接，n 型 MOS 晶体管 NM25 的源极端子与电位 VWL1L 的供给线连接。

此外，图 7G 的字线驱动器 WDDV2 备有电平变换电路 C25 和输出缓冲电路 C26。电平变换电路 C25 的构成与电平变换电路 C23 的构成相同，备有 p 型 MOS 晶体管 PM26，PM27 和 n 型 MOS 晶体管 NM26，NM27。但是，n 型 MOS 晶体管 NM26，NM27 的源极端子与电位 VWL2L 的供给线连接。

输出缓冲电路 C26 具有与输出缓冲电路 C24 相同的构成，但是由 p 型 MOS 晶体管 PM28 和 n 型 MOS 晶体管 NM28 这样 2 个 MOS 晶体管构成。而且，p 型 MOS 晶体管 PM28 的源极端子与电位 VWL2H 的供给线连接，n 型 MOS 晶体管 NM28 的源极端子与电位 VWL2L 的供给线连接。

不插入常通 MOS 晶体管的原因是，如从图 7A 可以看到的那样，因为电位 VWL2H 和电位 VWL2L 之间的电位差没有大到这种程度，所以即便将这个电位差直接加到 MOS 晶体管 PM28，NM28 上，也不会发生问题。

如从这种构成可以看到的那样，输出缓冲电路 C24 的输出，在电位 VWL1H 和电位 VWL1L 之间振荡，因此，驱动第 1 字线 WL1。又，输出缓冲电路 C26 的输出，在电位 VWL2H 和电位 VWL2L 之间，与输出缓冲电路 C24 的输出同步地振荡，因此，驱动第 2 字线 WL2。此外，在图 7G 中，在各 MOS 晶体管中实施后栅极连接，但是不一定需要这样做。

又，与图 7D 所示的字线驱动器 WDDV1 相同，即便在图 7H 所示的字线驱动器 WDDV2 中，也可以省略 p 型 MOS 晶体管 PM25 和 n 型 MOS 晶体管 NM24。

将这些图 7G 或图 7H 所示的行译码器 RDEC 和字线驱动器 WDDV2 配置在存储单元阵列 MCA 上的布局图如图 7I 所示。在如图 7G 和图 7H 所示的字线驱动器 WDDV2 中，根据用不同的电位同步地驱动第 1 字线

WL1 和第 2 字线 WL2 的关系, 这个布局面积比图 7C 和图 7D 所示的字线驱动器 WDDV1 大。所以, 我们考虑要使字线驱动器 WDDV2 的布局间隔与字线 WL1, WL2 的配线间隔一致是困难的。因此, 在图 7I 所示的布局中, 将行译码器 RDEC 和字线驱动器 WDDV2 配置在存储单元阵列 MCA 的两侧, 例如, 用在存储单元阵列 MCA 左侧的行译码器 RDEC 和字线驱动器 WDDV2 驱动奇数号码的字线 WL1, WL2 的译码, 用在存储单元阵列 MCA 右侧的行译码器 RDEC 和字线驱动器 WDDV2 驱动偶数号码的字线 WL1, WL2 的译码。

又, 如图 7J 所示, 例如, 也可以将用于第 1 字线 WL1 的字线驱动器 WDDV3 配置在存储单元阵列 MCA 左侧, 将用于第 2 字线 WL2 的字线驱动器 WDDV4 配置在存储单元阵列 MCA 右侧。通过这样的配置, 能够很容易地进行电源配线的来回布局。即, 可以只在具有用于第 1 字线 WL1 的字线驱动器 WDDV3 的存储单元阵列 MCA 左侧, 配置电位 VWL1H 和电位 VWL1L 的电位供给线, 只在具有用于第 2 字线 WL2 的字线驱动器 WDDV4 的存储单元阵列 MCA 右侧, 配置电位 VWL2H 和电位 VWL2L 的电位供给线。

但是, 在这种布局的情形中, 字线驱动器 WDDV3 和字线驱动器 WDDV4 两者分别需要行译码器 RDEC。这种字线驱动器 WDDV3 的例子如图 7K 所示, 这种字线驱动器 WDDV4 的例子如图 7L 所示。

如图 7K 所示, 用于第 1 字线 WL1 的字线驱动器 WDDV3 备有通过反相电路 C11 与行译码器 RDEC 连接的电平变换电路 C22, 直接与行译码器 RDEC 连接的电平变换电路 C23, 和输出缓冲电路 C24。这些构成与上述图 7G 的字线驱动器 WDDV2 相同。

另一方面, 如图 7L 所示, 用于第 2 字线 WL2 的字线驱动器 WDDV4 通过备有行译码器 RDEC, 反相电路 C11, 电平变换电路 C25, 和输出缓冲电路 C26 构成。电平变换电路 C25 和输出缓冲电路 C26 的构成与上述图 7G 的字线驱动器 WDDV2 相同。但是, 因为字线驱动器 WDDV4 设置在存储单元阵列 MCA 右侧, 不能与字线驱动器 WDDV3 共用行译码器 RDEC, 所以要独立地设置行译码器 RDEC 和反相电路 C11。

因为同步地将行地址信号 **RADD** 和 **WLEN** 输入字线驱动器 **WDDV3** 的行译码器 **RDEC** 和字线驱动器 **WDDV4** 的行译码器 **RDEC**，所以结果以不同的电压振幅输出同步的字线驱动电位。

此外，在图 7K 和图 7L 中，在各 MOS 晶体管中实施后栅极连接，但是不一定需要这样做。又，即便在图 7K 所示的字线驱动器 **WDD3** 中，如图 7M 所示，也可以省略 p 型 MOS 晶体管 **PM25** 和 n 型 MOS 晶体管 **NM24**。

图 7N 是表示具有上述存储单元阵列 **MCA**，行译码器 **RDEC** 和字线驱动器 **WDDV** 的存储芯片 **MCP** 的全体布局的一个例子的图。如这个图 7N 所示，输入低电压侧的供给电压 **VSS** 和高电压侧的供给电压 **VCC**。将这个电位 **VSS** 和电位 **VCC** 供给由升压电路组及其驱动器构成的电路 **BST**，产生这个存储芯片 **MCP** 必需的各种电压。这里，与图 7B 的电压波形对应，显示了产生 4 类电位 **VWLH**，**VWLL**，**VBLH**，**VBLL** 的例子。在用图 7A 的电压波形的存储单元阵列 **MCA** 的情形中，产生 6 类电位 **VWL1H**，**VWL1L**，**VWL2H**，**VWL2L**，**VBLH**，**VBLL**。通过电位供给线将在这个电路 **BST** 中产生的各种电位供给需要的电路。特别是，将这个图所示的 4 类电位，如上所述地，供给行译码器 **RDEC** 和字线驱动器 **WDDV**。

又，将对于存储芯片 **MCP** 特定进行数据写入，数据读出的存储单元的地址输入这个存储芯片 **MCP**。将这个地址输入地址接收机 **ADRV**，分离成行地址信号和列地址信号。然后，将行地址信号供给行地址译码器 **RDEC**，将列地址信号供给列地址译码器 **CDEC**。

从数据 I/O 端子进行数据的输入输出。即，从这个数据 I/O 端子输入写入存储单元阵列 **MCA** 的数据，并将该数据输入到输入接收机 **INRV**。然后，通过数据驱动器 **DTDV**，供给列选择栅极 **CSG**，进行到存储单元阵列 **MCA** 的数据写入。

另一方面，将从存储单元阵列 **MCA** 读出的信号从列选择栅极 **CSG** 输出到读出放大器 **SA**，在这个读出放大器 **SA** 上进行数据检测。通过输出驱动器 **ODTV** 从数据 I/O 端子输出检测出的数据。

又,在这个存储芯片 MCP 中,具有输入各种控制信号的控制信号接收机 CSRV。这个控制信号接收机 CSRV,根据从这个存储芯片 MCP 外部输入的控制信号,在内部产生必需的各种控制信号,并进行输出。

此外,在这个图 7N 的存储芯片 MCP 中,表示了将行译码器 RDEC 和字线驱动器 WDDV 设置在存储单元阵列 MCA 两侧时的布局例,如上所述,也存在只将行译码器 RDEC 和字线驱动器 WDDV 设置在存储单元阵列 MCA 一侧的情形。

此外,至今说明的字线驱动器 WDDV1, WDDV2, WDDV3, WDDV4 的构成和存储芯片 MCP 的构成也可以分别适用于下面说明的各实施形态。

[实施形态 2]

图 8 与图 3 对应地表示根据实施形态 2 的 DRAM 单元的构造。在这个实施形态中,将第 1 栅极 (G1) 13 埋入硅层 12 下面的氧化膜 11 内。将第 2 栅极 (G2) 20 配置在硅层 12 的上方,但是不直接与硅层 12 相对。即,在硅层 12 和第 2 栅极 20 之间设置与硅层 12 连接的中继电极 25。然后,第 2 栅极 20 通过绝缘膜 26 与中继电极 25 相对,由它们构成电容。

在这个实施形态中,第 2 栅极 20 通过电容耦合对硅层 12 相对进行电位控制,这与以前的实施形态相同。而且,存储单元 MC 的第 1 栅极 13,第 2 栅极 20 分别与第 1,第 2 字线 WL1, WL2 连接,漏极 14 与位线 BL 连接,构成如图 4 那样的存储单元阵列。

即便根据本实施形态也能得到与以前的实施形态相同的效果。又,因为第 2 栅极 20 不直接与沟道体相对,在与中继电极 25 之间构成电容,所以中继电极 25 的面积比实际的沟道体区域的面积大,可以给出更大的电容耦合。

[实施形态 3]

图 9 与图 3 对应地表示根据实施形态 3 的 DRAM 单元的构造。在这个实施形态中,与图 3 相同在硅层 12 上面与硅层 12 相对地形成第 1 栅

极 13, 为了形成与图 8 相同的电容构造, 将第 2 栅极 20 埋入在硅层 12 的下面的氧化膜 11 中。

即便根据本实施形态也能得到与以前的实施形态相同的效果。又, 由于与实施形态 2 相同的理由, 能够增大对于第 2 栅极 20 的沟道体的电容耦合。

[实施形态 4]

图 10A 表示根据实施形态 4 的 DRAM 单元阵列的布局, 图 10B 表示图 10A 的 A-A' 线截面图。图 10C 表示图 10A 的 B-B' 线截面图。

在这个实施形态中, 如图 10B 所示, 在硅层 12 上面与硅层 12 相对地形成第 2 栅极 (G2) 20, 如图 10A 和图 10C 所示, 与硅层 12 的两个侧面相对地形成第 1 栅极 (G1) 13。即构成使硅层 12 的侧面成为沟道的 MIS 晶体管。如从那里可以看到的那样, 在本实施形态中, 在硅层的两个侧面上形成沟道。如图 10A 所示, 在位线 BL 的方向在每个存储单元 MC 上不连续地配置第 1 栅极 13。而且, 通过共同连接这些第 1 栅极 13 连续地形成第 2 栅极 20 作为位线 WL。所以, 能够用同一个电位对第 1 和第 2 栅极 13 和 20 进行控制。

层间绝缘膜 17 具有第 1 层 17a 和第 2 层 17b 的二层构造, 在第 1 层 17a 上配置与源极 15 共同连接的固定电位线 23, 在第 2 层 17b 上配置位线 18。

在这个实施形态中, 当通过第 1 栅极 13 在硅层 12 的侧面上形成沟道时, 同时避免了就在第 2 栅极 20 的下面形成沟道。这对于能够通过第 2 栅极 20 对就在它下面的沟道体电位进行控制是必要的。因此, 第 1 栅极 13 和第 2 栅极 20 可以用功函数不同的材料。例如, 如果如本实施形态那样存储单元 MC 是 n 型沟道 MIS 晶体管时, 则第 1 栅极 13 用 n 型多晶硅, 第 2 栅极 20, 为了能够用 p 型沟道体构成硅层 12 保持积累状态, 用功函数比 n 型多晶硅大的 p 型多晶硅或铂等金属。又, 第 2 栅极 20 下面的栅极绝缘膜 (电容绝缘膜) 19 例如用硅氮化膜。

如果存储单元是 p 型沟道, 则也可以用 p 型多晶硅作为第 1 栅极 13,

例如用钨等金属作为第 2 栅极 20。

即便根据本实施形态也能得到与以前的实施形态相同的效果。

[实施形态 5]

图 11 表示根据实施形态 5 的 DRAM 单元的截面构造。在这个实施形态中，在不在 SOI 衬底上而是在硅衬底 10 上形成的 p 型柱状硅部分 30 上构成纵型 MIS 晶体管。即，在柱状硅部分 30 的上部形成 n 型漏极 14，在底部形成 n 型源极 15。又，与柱状硅部分 30 的两个侧面相对地形成第 1 栅极 (G1) 13 和第 2 栅极 (G2) 20。从而，用将不是 SOI 衬底而是柱状硅部分 30 制成浮动的沟道体的纵型 MIS 晶体管，构成存储单元 MC。

我们将这个纵型 MIS 晶体管构造称为 SGT (Surrounding Gate Transistor, 环绕栅晶体管)。

即便根据本实施形态也能得到与以前的实施形态相同的效果。

下面，我们说明与上述各实施形态对应的制造工序。

[与实施形态 1 对应的制造工序]

图 12~图 18 表示与图 3 所示的实施形态 1 对应的 DRAM 单元的制造工序。在这个实施形态中，为了将 2 个栅极 13, 20 配置在硅层的上下，用 2 块硅衬底。如图 12 所示，在第 1 硅衬底 101 上，在单元阵列区域的外侧形成重合标记，加工成沟 102。然后如图 13 所示，将氧化膜 103 埋入沟 102。沟 102 的深度比通过以后削去硅衬底 101 调整厚度的 SOI 层深。更具体地，如后所述，因为这个硅衬底 101 成为图 3 的硅层 12，所以要比这个硅层 12 的厚度深那样地形成沟 102。

此后，如图 14 所示，在硅衬底 101 上，通过栅极绝缘膜 19 连续地将第 2 栅极 20 (G2) 作为字线 WL2 形成图案。形成第 2 栅极 20 的面通过覆盖硅氧化膜 106 等的绝缘膜实现平坦化。用 CMP (Chemical Mechanical Polishing, 化学机械抛光) 进行平坦化。此后，如图 15 所示，将第 2 硅衬底 201 粘合在经平坦化后的硅氧化膜 106 的面上。

此后,如图 16 所示,研磨第 1 硅衬底 101 直到预定的 SOI 层的厚度。经过这样研磨后的硅衬底 101 成为图 3 的硅层 12。这时,因为以前埋入的硅氧化膜 103 向外突出,所以在下面的形成第 1 栅极 13 的工序中,能够将它用作与已经形成的第 2 栅极 20 实现位置重合的标记。

即,如图 17 所示,在硅衬底 101 上用 STI 法埋入元件分离氧气膜 115 进行横方向的元件分离,此后通过栅极绝缘膜 16 连续地将第 1 栅极 (G1) 13 作为字线 WL1 那样地形成图案。在图中只在位线方向画出了元件分离绝缘膜 115,但是也以规定间隔在字线方向形成元件分离绝缘膜 115,对于每个存储单元 MC 区域形成与其它区域分离的硅层 12。进一步通过离子注入形成漏极 14 和源极 15。然后,如图 18 所示,形成层间绝缘膜 17,在层间绝缘膜 17 上形成位线 18。

[与实施形态 2 对应的制造工序]

图 19~图 26 表示与图 8 所示的实施形态 2 对应的 DRAM 单元的制造工序。在这个实施形态中,为了将 2 个栅极 13, 20 配置在硅层的上下,也用 2 块硅衬底。如图 19 所示,在第 1 硅衬底 101 上,在单元阵列区域的外侧形成重合标记,加工成沟 102。然后如图 20 所示,将氧化膜 103 埋入沟 102。沟 102 的深度比通过以后削去硅衬底 101 调整厚度的 SOI 层深。更具体地,如后所述,因为这个硅衬底 101 成为图 8 的硅层 12,所以要比这个硅层 12 的厚度深那样地形成沟 102。

此后,如图 21 所示,在硅衬底 101 上,通过栅极绝缘膜 16 连续地将第 1 栅极 13 (G1) 作为字线 WL1 那样地形成图案。形成第 1 栅极 13 的面通过覆盖硅氧化膜 106 等的绝缘膜实现平坦化。用 CMP (Chemical Mechanical Polishing, 化学机械抛光) 进行平坦化。此后,如图 22 所示,将第 2 硅衬底 201 粘合在经平坦化后的硅氧化膜 106 的面上。

此后,如图 23 所示,研磨第 1 硅衬底 101 直到预定的 SOI 层的厚度。经过这样研磨后的硅衬底 101 成为图 8 的硅层 12。这时,因为以前埋入的硅氧化膜 103 向外突出,所以在下面的形成第 2 栅极 20 的工序中,能够将它用作与已经形成的第 1 栅极 13 实现位置重合的标记。

在经过厚度调整后的硅衬底 101 上, 如图 24 所示, 埋入元件分离氧化膜 115 后, 淀积硅氧化膜 203, 在与晶体管的沟道体对应的位置上开出开口 204。在图中只在位线方向画出了元件分离绝缘膜 115, 但是也以规定间隔在字线方向形成元件分离绝缘膜 115, 对于每个存储单元 MC 区域形成与其它区域分离的硅层 12。然后, 如图 25 所示, 形成通过开口与沟道体连接的中继电极 25, 通过电容绝缘膜 26 在它上面形成第 2 栅极 20 (G2)。可以使中继电极 25 和第 2 栅极 20 夹着电容绝缘膜 26 连续地成膜后, 将它们一体化地作为字线 WL2 形成布局图案。然后, 将第 2 栅极 20 作为掩模, 从硅氧化膜 203 上进行对硅层 12 的离子注入, 形成漏极 14 和源极 15。此后, 如图 26 所示, 形成层间绝缘膜 17, 在层间绝缘膜 17 上形成位线 18。

[与实施形态 3 对应的制造工序]

图 27~图 33 表示与图 9 所示的实施形态 3 对应的 DRAM 单元的制造工序。在这个实施形态中, 为了将 2 个栅极 13, 20 配置在硅层的上下, 也用 2 块硅衬底。如图 27 所示, 在第 1 硅衬底 101 上, 在单元阵列区域的外侧形成重合标记, 加工成沟 102。然后如图 28 所示, 将氧化膜 103 埋入沟 102。沟 102 的深度比通过以后削去硅衬底 101 调整厚度的 SOI 层深。更具体地, 如后所述, 因为这个硅衬底 101 成为图 9 的硅层 12, 所以要比这个硅层 12 的厚度深那样地形成沟 102。

此后, 如图 29 所示, 淀积硅氧化膜 209, 在与晶体管的沟道体对应的位置上形成开口 209a。然后, 形成通过开口 209a 与沟道体连接的中继电极 25, 通过电容绝缘膜 26 在它上面形成第 2 栅极 20 (G2)。可以使中继电极 25 和第 2 栅极 20 夹着电容绝缘膜 26 连续地成膜后, 将它们一体化地作为字线 WL2 形成布局图案。

通过用硅氧化膜 210 等的绝缘膜覆盖形成第 2 栅极 20 的面实现平坦化。用 CMP (Chemical Mechanical Polishing, 化学机械抛光) 进行平坦化。此后, 如图 30 所示, 将第 2 硅衬底 201 粘合在经平坦化后的硅氧化膜 210 的面上。

此后,如图 31 所示,研磨第 1 硅衬底 101 直到预定的 SOI 层的厚度。经过这样研磨后的硅衬底 101 成为图 9 的硅层 12。这时,因为以前埋入的硅氧化膜 103 向外突出,所以在下面的形成第 1 栅极 13 的工序中,能够将它用作与已经形成的第 2 栅极 20 实现位置重合的标记。

在经过厚度调整后的硅衬底 101 上,如图 32 所示,埋入元件分离氧化膜 115 后,通过栅极绝缘膜 16 连续地将第 1 栅极 13 (G1) 作为字线 WL1 那样地形成图案。在图中只在位线方向画出了,但是也以规定间隔在字线方向形成元件分离绝缘膜 115,对于每个存储单元 MC 区域形成与其它区域分离的硅层 12。进一步通过离子注入,形成漏极 14 和源极 15。此后,如图 33 所示,形成层间绝缘膜 17,在层间绝缘膜 17 上形成位线 18。

[与实施形态 4 对应的制造工序]

图 34A 和图 34B~图 38A 和图 38B 与图 10B 和图 10C 的截面对应地表示与图 10A 到图 10C 所示的实施形态 4 对应的单元阵列的制造工序。

如图 34A 和图 34B 所示,在硅衬底 10 上形成氧化膜 11,在这个氧化膜 11 上形成规定厚度的 p 型硅层 12。在这个硅层 12 上形成由例如硅氮化膜 19 和硅氧化膜 301 构成的层积膜作为电容绝缘膜。接着,使这个层积膜的硅氧化膜 301 形成在字线方向连续的带状图案,将它作为掩模一直达到氧化膜 11 那样地对硅氮化膜 19 和硅层 12 进行刻蚀,并埋入元件分离绝缘膜 302。因此硅层 12 被划分成在位线方向连续的多个带状图案的元件形成区域。

接着,如图 35A 和图 35B 所示,通过对要埋入第 1 栅极 13 的区域中的硅氧化膜 301, 302 和硅氮化膜 19 进行刻蚀,露出 p 型硅层 12 的晶体管形成区域的侧面。这时,在字线方向邻接的 p 型硅层 12 之间,除去硅氧化膜 302,进一步对下面的氧化膜 11 的一部分进行过量刻蚀。

然后,如图 36A 和图 36B 所示,在硅层 12 的两个侧面上形成栅极绝缘膜 16 后,通过淀积多晶硅并进行刻蚀,形成第 1 栅极 (G1) 13 并将它埋入各存储单元 MC 区域中的硅层 12 之间。

其次，如图 37A 和图 37B 所示，在氧化膜 301 之间，埋入与第 1 栅极 13 共同连接的成为字线 WL 的第 2 栅极 20。如上所述用功函数比第 1 栅极 13 大的铂等金属材料作在第 2 栅极 20。此外，为了阻止第 1 栅极 13 的多晶硅和第 2 栅极 20 的铂发生反应，在淀积第 1 栅极 13 后，也可以淀积用于防止反应的阻挡层金属（例如，TiN 和 TaN 等）。此后，从硅氧化膜 301 上进行对硅层 12 的离子注入，在硅层 12 形成漏极 14 和源极 15。

其次，如图 38A 和图 38B 所示，淀积层间绝缘膜 17a，在层间绝缘膜 17a 上钻出接触孔，形成与源极 15 在字线方向共同连接的固定电位线 23。此后，如图 10B 和图 10C 所示，淀积层间绝缘膜 17b，钻出接触孔，形成与漏极 14 连接的位线 18。

[与实施形态 5 对应的制造工序]

图 39A 表示图 11 所示的 DRAM 单元的具体单元阵列的布局，图 39B 表示图 39A 的 A-A' 线截面图，图 39C 表示图 39A 的 B-B' 线截面图。用同样的材料在柱状硅部分 30 的侧面形成第 1 栅极 13 和第 2 栅极 20。这些栅极 13, 20 在一个方向上连续地形成布局图案，分别成为第 1 字线 WL1 和第 2 字线 WL2。

图 40A 图 40B~图 44A 和图 44B 是说明用与图 39B 和图 39C 对应的截面的制造工序的图。如图 40A 和图 40B 所示，在硅衬底 10 上预先全面地形成成为源极 15 的 n 型层。然后，在这个 n 型层上，外延生长出 p 型硅层 400。在这样的外延衬底上，形成硅氮化膜 401 的掩模图案，对硅层 400 进行刻蚀，加工成在位线方向连续的带状的沟，在这个沟中埋入元件分离氧化膜 402。

此外，作为其它的例子，也可以不使用外延生长法，通过向通常的 p 型硅衬底进行离子注入，形成成为源极 15 的 n 型层。

进一步，如图 41A 和图 41B 所示，变形为使硅氮化膜 401 也在位线方向分离的图案。然后，用这个硅氮化膜 401 作为掩模，再次对形成带状的硅层 400 进行刻蚀。因此，使硅层 400 在位线方向和字线方向分离，

在每个存储单元 MC 区域中得到分离的柱状硅部分 30。

其次，在元件分离氧化膜 402 中，对埋入字线的区域部分选择地进行刻蚀后，除去硅氮化膜 401，如图 42A 和图 42B 所示，在柱状硅部分 30 的周围形成栅极绝缘膜 403（与图 11 的栅极绝缘膜 16，19 对应），淀积多晶硅膜 404。

其次，如图 43A 和图 43B 所示，用 RIE 对这个多晶硅膜 404 进行刻蚀，连续地形成第 1 栅极 13 和第 2 栅极 20 作为字线 WL1 和 WL2。即，用侧壁余留技术对多晶硅膜 404 进行刻蚀，形成栅极 13 和 20。

此次，如图 44A 和图 44B 所示，通过进行离子注入在柱状硅部分 30 上部形成 n 型漏极 14。接着，在淀积硅氧化膜 405 后，对其进行平坦化。此后，如图 39B 和图 39C 所示，淀积层间绝缘膜 17，在层间绝缘膜 17 上钻出接触孔形成位线 18。

[与实施形态 5 对应的其它单元阵列及其制造工序]

在图 39A 和图 39B 中，用相同的电极材料制作第 1 栅极 13 和第 2 栅极 20，但是与图 39A 到图 39C 对应地在图 45A 到图 45C 表示在同样的单元阵列构造中用别的电极材料制作第 1 栅极 13 和第 2 栅极 20 时的构造。

在柱状硅部分 30 的两侧通过栅极氧化膜 16，19 形成第 1 栅极 (G1) 13 和第 2 栅极 (G2) 20 这一点与图 39A 到图 39C 相同。但是，在用不同材料制作这些栅极 13，20，在与位线 BL 方向邻接的存储单元 MC 之间交互地相反配置第 1 栅极 13 和第 2 栅极 20 一点是不同的。即，用不同的工序形成第 1 字线 WL1 和第 2 字线 WL2，在柱状硅部分 30 之间使每 2 条第 1 字线 WL1 和第 2 字线 WL2 交互地配置。

图 46A 图 46B~图 53A 和图 53B 是与图 45B 和图 45C 的截面对应地说明其制造工序的图。如图 46A 和图 46B 所示，在硅衬底 10 上预先全面地形成成为源极 15 的 n 型层。在这个 n 型层上，外延生长出 p 型硅层 400。在这样的外延衬底上，形成硅氮化膜 401 的掩模图案，对硅层 400 进行刻蚀，加工成在位线方向连续的带状的沟，在这个沟中埋入元件分

离氧化膜 402。

此外，作为其它的例子，也可以不使用外延生长法，通过向通常的 p 型硅衬底进行离子注入，形成成为源极 15 的 n 型层。

进一步，如图 47A 和图 47B 所示，变形为使硅氮化膜 401 也在位线方向分离的图案。然后，用这个硅氮化膜 401 作为掩模，再次对形成带状的硅层 400 进行刻蚀。因此，使硅层 400 在位线方向和字线方向分离，作为分离的柱状硅部分 30 在每个存储单元 MC 区域中余留下来。

其次，在元件分离氧化膜 402 中，对埋入字线的区域部分选择地进行刻蚀后，除去硅氮化膜 401，如图 48A 和图 48B 所示，在柱状硅部分 30 的周围形成栅极氧气膜 16，淀积多晶硅膜 404。如图 49A 和图 49B 所示，用 RIE 对这个多晶硅膜 404 进行刻蚀，形成连续的第 1 栅极 13 作为字线 WL1。即，用侧壁余留技术对多晶硅膜 404 进行刻蚀，形成第 1 栅极 13。

在这个阶段，在柱状硅部分 30 的两个侧面上形成由连续形成的第 1 栅极 13 构成的字线 WL1。此后，如图 50A 和图 50B 所示，通过进行离子注入在硅层 30 的上部形成 n 型漏极 14。然后，在淀积硅氧化膜 405 后，不使柱状硅部分 30 露出那样地对这个硅氧化膜 405 进行平坦化。

然后，如图 51A 和图 51B 所示，在要埋入第 2 栅极 20 的区域中，在硅氧化膜 405 上钻出开口，除去从这个开口露出的第 1 栅极 13 和栅极氧化膜 16。此后，如图 52A 和图 52B 所示，在露出的柱状硅部分 30 的侧面上形成栅极氧化膜 19，用与第 1 栅极 13 不同的材料淀积栅极材料膜 406。

其次，如图 53A 和图 53B 所示，对这个栅极材料膜 406 进行刻蚀，形成由连续形成的第 2 栅极 20 构成的第 2 字线 WL2。即，用侧壁余留技术对栅极材料膜 406 进行刻蚀，形成第 2 栅极 20。此后，如图 45B 和图 45C 所示，通过层间绝缘膜 17 形成位线 18。

[与实施形态 5 对应的另一个其它单元阵列]

图 54A 是表示图 39A 的实施形态的单元阵列中，附加了用于使字线

WL1, WL2 低电阻化的分路配线的实施形态的布局图。图 54B 是图 54A 的 C-C'线截面图, 图 54C 是图 54A 的 D-D'线截面图。即, 在形成与图 39A 到图 39C 说明的相同单元阵列后, 在位线 18 上形成层间绝缘膜 409, 在这个层间绝缘膜 409 上形成分路配线 500。

分路配线 500 通过在适当的位线 18 之间形成贯通层间绝缘膜 409 和 17 并达到第 1 和第 2 栅极 13 和 20 的接触孔 501, 通过这个接触孔 501 与栅极 13 和 20 接触。这时, 为了在位线 18 之间自对准地形成接触孔 501, 用硅氮化膜 408 覆盖位线 18。

通过形成这样的分路配线 500, 能够减小字线 WL1, WL2 的信号传输延迟。

进一步, 图 55A 和图 55B 表示在图 54B 和图 54C 中, 对于字线 WL1 (第 1 栅极 13) 和字线 WL2 (第 2 栅极 20) 的分路配线层或配线材料不同的情形。这时, 通过在覆盖位线 18 的层间绝缘膜 502a 上首先形成对于第 1 栅极 13 的接触孔 501, 形成第 1 分路配线 500a。

其次, 淀积层间绝缘膜 502b, 在这个层间绝缘膜 502b 上钻出对于第 2 栅极 20 的接触孔, 形成第 2 分路配线 500b。这时, 为了在第 1 分路配线 500a 的之间不发生短路地形成第 2 分路配线 500b, 用硅氮化膜 504 覆盖第 1 分路配线 500a 周围。

此外, 如图 45A 到图 45C 所示, 在由不同材料形成字线 WL1, WL2 的单元阵列中, 也可以形成同样的分路配线。这时, 如果与栅极材料同样, 使对于第 1 栅极 13 的分路配线和对于第 2 栅极 20 的分路配线的材料不同, 则可以应用图 55A 到图 55B 的分路配线构造。但是, 这时, 因为第 1 字线 WL1 和第 2 字线 WL2 每 2 条交互地配置, 所以即便对于分路配线, 也可以每 2 条交互地用不同材料形成分路配线。

[与实施形态 1 对应的单元模拟]

下面, 我们说明与用图 3 说明的实施形态 1 对应的 DRAM 单元的二维器件模拟结果。图 61 表示器件参数, p 型硅层 (沟道体) 厚度为 $t_{Si}=50\text{nm}$, 受主浓度 $N_A=5\times 10^{18}/\text{cm}^3$, 源极和漏极扩散层的施主浓度

$N_D=2\times 10^{19}/\text{cm}^3$ 。主栅极 G1 和辅助栅极 G2 都是 p^+ 型多晶硅，栅极长 $L=0.07\mu\text{m}$ ，主栅极 G1 一侧的栅极氧化膜厚度 tox_f 和辅助栅极 G2 一侧的栅极氧化膜厚度 tox_b ，都为 $\text{tox}_f=\text{tox}_b=4\text{nm}$ 。

图 62 是写入“0”和其后读出工作的模拟结果。写入时，给予主栅极 G1， $V_{W1}=0\sim 2\text{V}$ 的振幅，给予辅助栅极 G2， $V_{W2}=-1.5\sim 0\text{V}$ 的振幅，给予漏极（位线）， $V_{BL}=-1.5\text{V}$ 。在时刻 t_0-t_5 进行写入，在时刻 t_5 进行数据保持（只是一个点），其后读出的工作。在图 62 中，表示了这种工作时的沟道体的空穴的准费米能级。

如果将空穴的准费米能级看作沟道体电位，则数据保持时（时刻 t_5 ），该沟道体电位成为 -1.6V 。

图 63 表示写入“1”和其后读出工作的模拟结果。写入时，给予主栅极 G1， $V_{W1}=0\sim 2\text{V}$ 的振幅，给予辅助栅极 G2， $V_{W2}=-1.5\sim 0\text{V}$ 的振幅，给予漏极（位线）， $V_{BL}=1.5\text{V}$ 。这时，数据保持时（时刻 t_5 ）的沟道体电位成为 -0.6V 。

从以上结果我们可以看到数据“0”和“1”的沟道体电位差为 1V ，利用由这个衬底偏压效果引起的阈值差可以读出数据。读出数据“0”和“1”时的漏极电流 I_{ds} 和栅极电压 V_{gs} 之间的关系成为图 64 所示的那样。我们得到数据“1”的阈值 $V_{th1}=1.6\text{V}$ ，数据“0”的阈值 $V_{th0}=1.9\text{V}$ ，阈值差 $\Delta V_{th}=300\text{mV}$ 。

对于以上的单元工作重要的是当写入“0”时，是否不破坏与选出位线（ $V_{BL}=-1.5\text{V}$ ）连接的非选出单元（主栅极保持 0V ，辅助栅极保持 -1.5V ）的数据“1”，并能够将选出单元的数据从“1”反转“0”。它的条件是，数据“1”单元的沟道体电位处于保持状态，与写入数据“0”的单元的沟道体电位相等，或较低。在上述例子中，与数据“1”单元的沟道体电位在保持状态为 -0.6V 相对应，当写入数据“0”时（时刻 t_4 ）的沟道体电位为 -0.75V ，虽然发生少量（ 0.15V ）逆转，但是没有达到发生破坏数据的程度。

相对于主栅极 G1 在 2V 偏置的状态同步地给予辅助栅极 G2 电压振幅的理由是因为通过使各栅极和沟道体之间的电容耦合，比只有主栅极 G1 的情形或使辅助栅极 G2 处于固定电位的情形大，具有良好的对沟道

体栅极的追随性，一直下降到不破坏沿选出位线的非选出的数据“1”单元的沟道体的电位。因此，使主栅极 G1 的保持电位为 0V，能够将字线振幅抑制到 2V。

作为参考，分别与图 62，图 63 和图 64 对应，在图 65，图 66 和图 67 中表示出当使辅助栅极 G2 处于固定电位 ($V_{WL2} = -1.5V$) 时写入“0”和写入“1”的模拟结果。使主栅极 G1 的振幅为 $V_{WL1} = -2.5V \sim 2V$ 。

从这个结果可以看到，在使辅助栅极 G2 处于固定电位的情形中，保持数据时，如果不使主栅极 G1 下降到 -2.5V，则不能使数据“1”的沟道体电位下降到 -0.7V。所以，与主栅极同步地给予辅助栅极电压振幅，但是这对于低电压化是有效的。

这里，我们说明了主栅极 G1，辅助栅极 G2 都是 p^+ 型多晶硅的情形，但是也可以用 n^+ 型多晶硅。特别是，只在主栅极 G1 一侧使用 n^+ 型多晶硅对于进一步低电压化更有利。即，当主栅极 G1 用 n^+ 型多晶硅时，主栅极 G1 的电位能够向负侧移动 1V。当位线写入“0”时，因为成为 -1.5V，所以栅极·漏极之间的最大电压成为 2.5V。如果能够使当写入“0”时的位线电位上升到 -1V，则与栅极绝缘膜有关的最大电压成为 2.0V，实现了低电压化。

[实施形态 6 的单元阵列及其制造工序]

我们已经简单地说明了在图 3~图 6 的实施形态 1 中，单元面积为 $4F^2$ 的单元阵列，但是下面我们将比它更具体地说明实施形态 6。图 68A 是与实施形态 6 有关的单元阵列的布局，图 68B 是图 68A 的 I-I' 截面图，图 68C 是图 68A 的 II-II' 截面图。

在这个实施形态中，我们用将 2 块硅衬底 601，701 粘合在一起的衬底，制成由双栅极构造的 MIS 晶体管构成的存储单元阵列。在第 1 硅衬底 601 的表面，通过硅氧化膜层的绝缘膜 602，形成辅助栅极 (G2) 20 作为在一个方向上连续的字线 WL2。但是，在全面形成栅极材料膜的状态中将栅极材料膜粘合在硅衬底 601 上后形成辅助栅极 20 的图案。分离这个辅助栅极 20 的是绝缘膜 803，804。

在辅助栅极 20 的表面上形成栅极绝缘膜 19 的状态中将第 2 硅衬底 701 粘合在辅助栅极 20 的表面上。在粘合硅衬底 701 后，对它的厚度进行调整，并划分出在位线方向连续的带状的元件形成区域。在各元件形成区域通过栅极绝缘膜 16 形成主栅极 (G1) 13 与辅助栅极 20 并行地作为连续的字线 WL1 的图案。我们将在后面详细地说明具体的工序，但是在衬底粘合后，形成分离辅助栅极 20 的沟，在这个分离沟中埋入绝缘膜和半导体层。此后，埋入辅助栅极 20 和与辅助栅极 20 自对准的主栅极 13。

用硅氮化膜 809, 807 覆盖主栅极 13 的上面和侧面，作为对于层间绝缘膜等的刻蚀选择比大的保护膜。然后在主栅极 13 的间隙部分，形成漏极，源极扩散层 14, 15。将与字线 WL1, WL2 并行的源极配线 902 粘合在源极扩散层 15 里面。在形成源极配线 902 的面上形成硅氧化膜等的层间绝缘膜 900，在它的上面形成与漏极扩散层 14 接触的位线 (BL) 18。

下面我们参照图 69 到图 91 说明具体的制造工序。在下面的说明中，主要用与图 68B 的截面对应的截面图。首先，如图 69 所示，在第 1 硅衬底 601 上形成硅氧化膜等的绝缘膜 602，在它的上面淀积多晶硅膜等的栅极材料膜 603。以后栅极材料膜 603 通过形成布局图成为辅助电极 20。

另一方面，如图 70 所示，在第 2 硅衬底 701 上形成牺牲氧化膜 702，在这个状态中，向第 2 硅衬底 701 注入 H^+ 离子，在规定深度位置形成离子注入层 703。然后，一旦除去第 2 硅衬底 701 的牺牲氧化膜 702 后，变成如图 71 所示的，形成硅氧化膜等的栅极绝缘膜 19。此后，将这个第 2 硅衬底 701 的栅极绝缘膜 19 的面粘合在第 1 硅衬底 601 的栅极材料膜 603 的面上。衬底粘合后，在离子注入层 703 的位置上剥离第 2 硅衬底 701，如图 72 所示，余留下经过厚度调整的硅衬底 701 作为有源元件区域（请参照 M.Bruehl: Electronics Letters, Vol.31, p.1201, 1995）。

其次，在硅衬底 701 上，形成元件分离绝缘膜。它的样子如图 73A 和图 73B 所示。图 73A 是平面图，图 73B 是图 73A 的 II-II' 截面图（与图 68C 的截面对应）。即，用 STI (Shallow Trench Isolation, 浅沟道绝

缘)法,通过将元件分离绝缘膜 704 埋入达到栅极绝缘膜 19 的深度处,在字线方向以规定间隔配列的状态中划分出在位线方向连续的多条带状的元件形成区域。

这样,在元件分离硅衬底 701 上,如图 74 所示淀积硅氧化膜等的绝缘膜 801。然后,如图 75 所示,形成绝缘膜 801 作为伪栅极(虚设字线)的图案,进一步将它作为掩模,顺次刻蚀硅衬底 701,栅极绝缘膜 19,栅极材料膜 603,形成分离沟 802。在到绝缘膜 602 的途中停止这个分离沟的刻蚀。因此,使栅极材料膜 603 形成布局图案,作为字线 WL2 和连续的辅助栅极 20。

此后,如图 76 所示,在全面淀积薄的硅氮化膜 803 后,如图 77 所示,将硅氧化膜 804 埋入分离沟 802 内。这是通过淀积硅氧化膜,进行全面刻蚀得到的。埋入的硅氧化膜 804 的表面位置位于硅衬底 701 的厚度中间。

此后,如图 78 所示,刻蚀除去在埋入的硅氧化膜 804 上面的硅氮化膜 803,形成在分离沟 802 露出硅衬底 701 的侧面的状态。在这个状态中,如图 79 所示,在分离沟 802 内外延生长硅层 805。硅层 805 从硅衬底 701 的侧面结晶生长,具有高质量的结晶性。在与字线平行的方向即,与带状的元件形成区域的长度方向正交的方向上连续地形成硅层 805,成为被硅氮化膜 807 覆盖的状态。

此外,用硅层 805 作为源极和漏极扩散层,不一定需要高质量的结晶,例如也可以埋入多晶硅层。

其次,如图 80 所示,刻蚀除去用作虚设字线的硅氧化膜 801。然后,如图 81 所示,也在硅层 805 的侧面形成硅氮化膜后,在除去硅氧化膜 801 露出底部的硅衬底 701 的表面上形成由硅氧化膜等构成的栅极绝缘膜 16。然后,通过多晶硅膜等的栅极材料膜的淀积和刻蚀,如图 82 所示,在硅层 805 之间埋入连续的主栅极(G1) 13 形成字线 WL1。因此,使硅衬底 701 上面的主栅极 13 和下面的辅助栅极 20 自对准,在与元件形成区域的长度方向正交的方向上连续地形成布局图案分别作为字线 WL1, WL2。

此后，如图 83 所示，全面淀积硅氮化膜 809，进行平坦化。然后，直到露出硅层 805 那样地对这个硅氮化膜 809, 807 进行全面刻蚀。图 84A 是这种状态的平面图，图 84B 是图 84A 的 I-I' 截面图。因此，在用硅氮化膜 809, 807 覆盖主栅极 13 的上面和侧面的状态中得到露出硅层 805 的状态。

在这个阶段硅层 805，如图 84A 所示，在字线（主栅极 13 和辅助栅极 20）的间隙中带状连续。硅层 805 如上述那样为漏极和源极扩散层的区域，至少对于漏极扩散层，需要在字线方向进行分离。因此，用 STI 法，如图 85 所示，在硅层 805 中形成漏极扩散层的区域中埋入并形成元件分离绝缘膜 905。以与前面在图 73A 中说明的元件分离绝缘膜 704 相等的间隔埋入元件分离绝缘膜 905。

此后离子注入 n 型杂质，如图 86 所示，在达到硅层 805 底部的硅氧化膜 804 的深度形成 n 型的漏极，源极扩散层 14, 15。在字线方向分散间隔地形成漏极扩散层 14, 源极扩散层 15 在字线方向连续成为共同的源极线。但是，也可以在源极扩散层 15 的区域中同样地形成上述元件分离绝缘膜 905，与漏极扩散层 14 相同地在字线方向分散间隔地形成源极扩散层 15。

其次，如图 87 所示，淀积硅氧化膜等的层间绝缘膜 900a。然后，通过刻蚀和腐蚀，如图 88 所示，在与层间绝缘膜 900a 的源极扩散层 15 对应的位置上，开出在字线方向上连续的带状配线沟 901。其次，通过多晶硅膜的淀积和刻蚀，如图 89 所示，将源极配线 902 埋入配线沟 901 中形成源极配线 902。通过这个源极配线 902，当连续地形成源极扩散层 15 时可以使它低电阻化，当分散间隔地形成时，将它们共同地连接起来。

此后再次，如图 90 所示，淀积硅氧化膜等的层间绝缘膜 900b。然后，如图 91 所示，用双波纹（Dual Damascene）法，形成用于埋入位线的沟和接触孔 903 后，如图 68 所示，埋入位线 18。

如果根据上述这个实施形态，则用通过粘合制成的 SOI 衬底，而且能够在自对准状态将 MIS 晶体管的上下主栅极 13 和辅助栅极 20 作为字线 WL1, WL2 形成布局图案。如果以最小加工尺寸 F 的宽度和间隔

形成字线 WL1, WL2 和位线 BL, 则如图 68A 中的点划线所示, 可以得到单个单元面积为 $4F^2$ 的单元阵列。又, 因为主栅极 13 的上面和侧面被硅氮化膜 809, 807 覆盖, 所以通过使埋入层间绝缘膜 902a 的源极配线 902 与被硅氮化膜覆盖的主栅极 13 进行自对准, 能够使它与源极扩散层 15 接触。位线接触也同样地与主栅极 13 进行自对准。所以, 能够得到具有微细晶体管构造的可靠性高的 DRAM 单元阵列。

如图 68B 所示, 在这个实施形态中, 源极配线 902 没有被保护膜覆盖。因为主栅极 13 被硅氮化膜 809, 807 覆盖, 所以当在层间绝缘膜上形成位线接触孔时, 根据由硅氧化膜构成的层间绝缘膜和硅氮化膜的刻蚀选择比, 能够使位线接触孔与主栅极 13 自对准。但是, 当加大接触孔时, 由于不重合存在着发生位线和源极配线 902 短路的可能性。为了防止发生短路, 即便是源极配线 902 也最好用硅氮化膜等的保护膜加以覆盖。

这种优良的构造, 如与图 68B 对应的图 92 所示, 用硅氮化膜 905 覆盖源极配线 902 的上面和侧面。具体地为了得到这种构造, 代替图 87~图 89 说明的源极配线 902 的埋入法, 可以用下面的方法。即, 在图 86 的状态中, 淀积多晶硅膜和硅氮化膜的层积膜, 通过使这个层积膜形成图案, 形成源极配线 902。接着在源极配线 902 的侧壁形成硅氮化膜。因此, 能够得到用硅氮化膜覆盖的源极配线 902。

在图 92 中, 也表示了位线形成工序与上述实施形态不同的例子。即, 淀积层间绝缘膜 900, 在它上面形成位线接触孔, 形成并埋入由多晶硅等构成的接触插头 906。此后, 形成位线 18。

这样, 通过用硅氮化膜 905 覆盖源极配线 902, 在接触插头 906 的埋入工序中, 即便存在多少个位线接触孔的位置偏离, 也能够防止发生与源极配线 902 的短路。所以, 通过使位线接触孔增大, 能够使位线 18 对漏极扩散层 14 确实地实现低电阻接触。

[上述实施形态的变形例]

至今的实施形态是由 n 沟道型 MIS 晶体管构成 DRAM 单元, 但是

也能够用 p 沟道型 MIS 晶体管。例如，与图 3 对应地，当表示用 p 沟道型 MIS 晶体管时的单元构造时，成为图 56 那样。p 型硅层 12 的部分成为 n 型硅层 12a，在它上面形成 p 型漏极扩散层 14a 和源极扩散层 15a。同样，当表示与图 8，图 9，图 10B 和图 10C，以及图 11 对应的 p 沟道 DRAM 单元构造时，分别成为图 57，图 58，图 59A 和图 59B，以及图 60A。

用 p 沟道型的 DRAM 单元时的写入，读出等的电位关系，将与源极连接的固定电位线作为基准电位，与 n 沟道型时正好相反。作为表示具体电压波形的一个例子，与上述图 7A 和图 7B 对应地进行表示时，成为图 60B 和图 60C。

即，如图 60B 所示，在第 1 字线 WL1 和第 2 字线 WL2 用相同材料形成的情形中，当写入数据“1”时，将比基准电位 VSS 低的电位 VWL1L 给予选出的第 1 字线 WL1，将比这个电位 VWL1L 高的电位 VWL2L（在图例中比基准电位 VSS 高的正电位）给予选出的第 2 字线 WL2。又，将比基准电位 VSS 低的电位 VBLL 给予选出的位线 BL。因此，在选出的存储单元 MC 中，产生由 5 极管工作引起的碰撞离子化，在沟道体中积累是多数载流子的电子。

数据保持时，将比基准电位 VSS 高的正电位 VWL1H 给予第 1 字线 WL1，将比这个电位 VWL1H 更高的电位 VWL2H 给予第 2 字线 WL2。因此，在沟道体中保持表示积累过剩电子状态的数据“1”。

当写入数据“0”时，分别将与写入数据“1”时相同的电位 VWL1L 和 VWL2L 给予选出的第 1 和第 2 字线 WL1 和 WL2，然后，将比基准电位 VSS 高的正电位 VBLH 给予选出的位线 BL。因此，在选出的存储单元 MC 中，漏极结处于顺偏压，将沟道体中的电子排出到漏极，写入表示体电位高的状态的数据“0”。

另一方面，图 60C 表示当用功函数不同的材料构成第 1 栅极 13 和第 2 栅极 20 时，给予这些第 1 栅极 13 和第 2 栅极 20 相同的电位进行驱动的情形。如这个图 60C 所示，当写入数据“1”时，将比基准电位 VSS 低的负电位 VWLL 给予选出的第 1 和第 2 字线 WL1 和 WL2，也将比基准

电位 V_{SS} 低的负电位 V_{BLL} 给予选出的位线 BL 。因此，在选出的存储单元 MC 中，产生由 5 极管工作引起的碰撞离子化，在沟道体中积累电子。

当数据保持时，将比基准电位 V_{SS} 高的正电位 V_{WLH} 给予第 1 和第 2 字线 $WL1$ 和 $WL2$ 。因此，保持表示在沟道体中积累过剩电子的状态的数据“1”。

当写入数据“0”时，将与写入数据“1”时相同的电位 V_{WLL} 给予选出的第 1 和第 2 字线 $WL1$ 和 $WL2$ ，将比基准电位 V_{SS} 高的正电位 V_{BLH} 给予选出的位线 BL 。因此，在选出的存储单元 MC 中，漏极结处于顺偏压，将沟道体中电子排出到漏极，写入表示体电位高的状态的数据“0”。

图 1

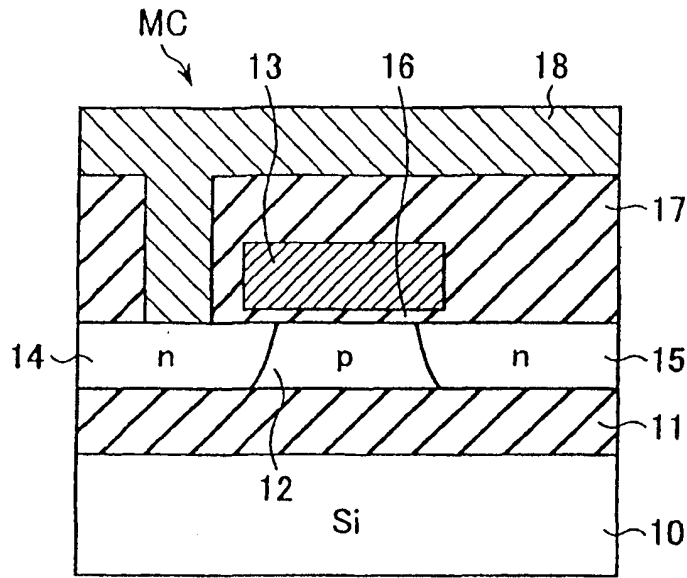


图 2

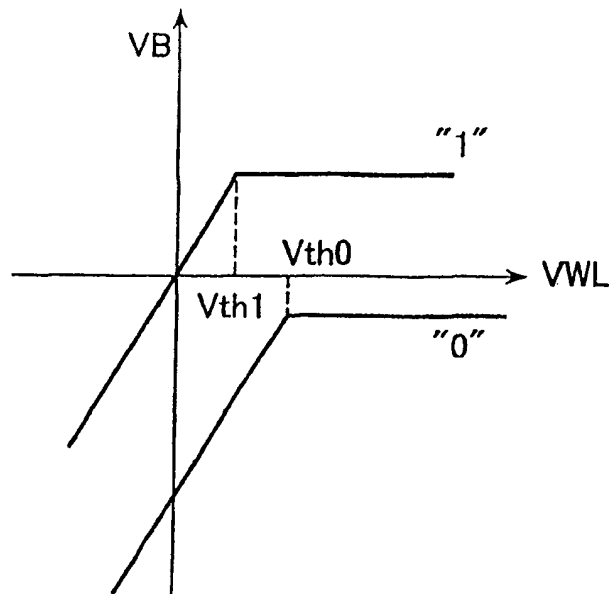


图 3

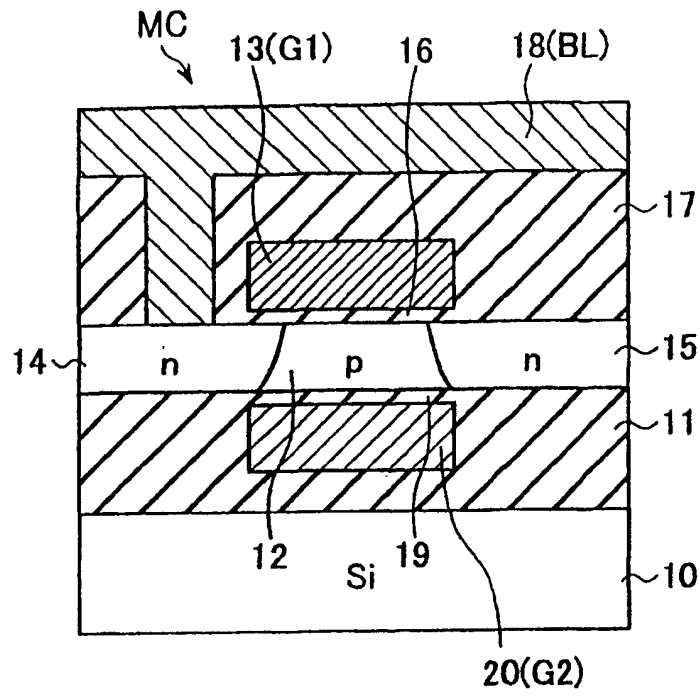


图 4

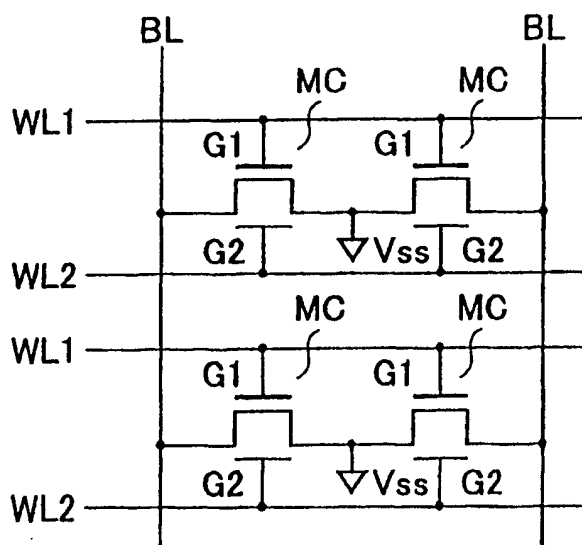


图 5

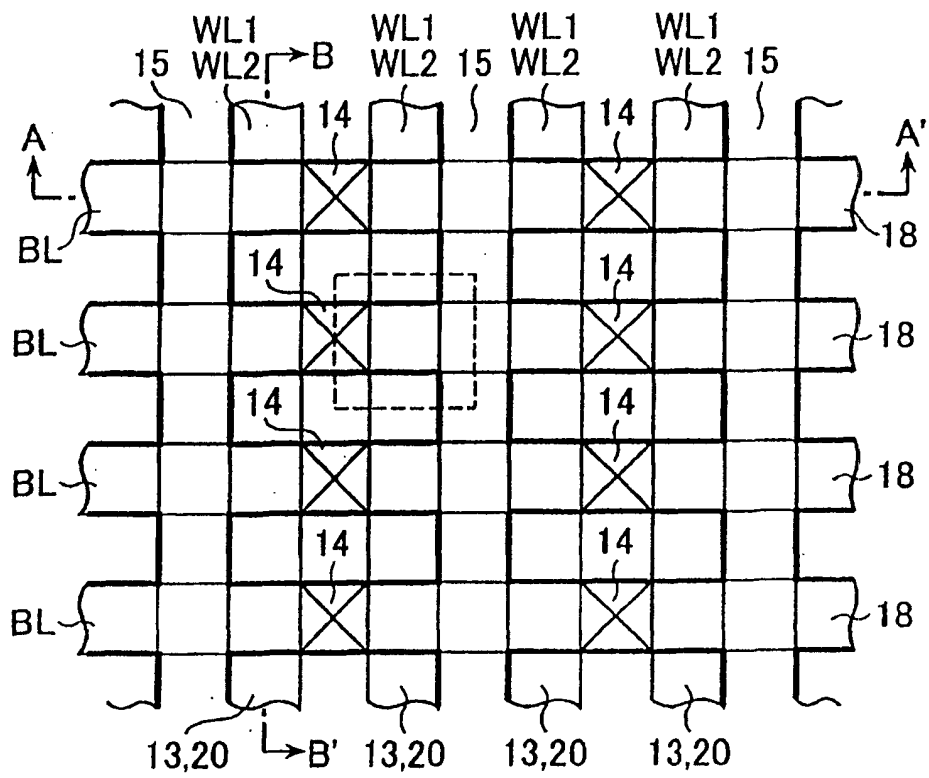


图 6A

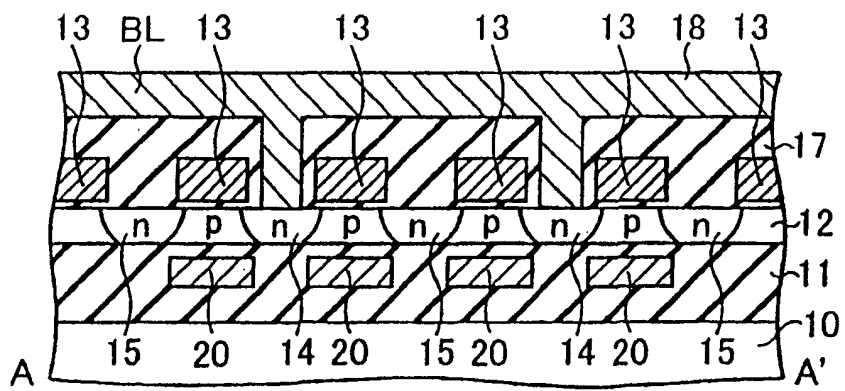


图 6B

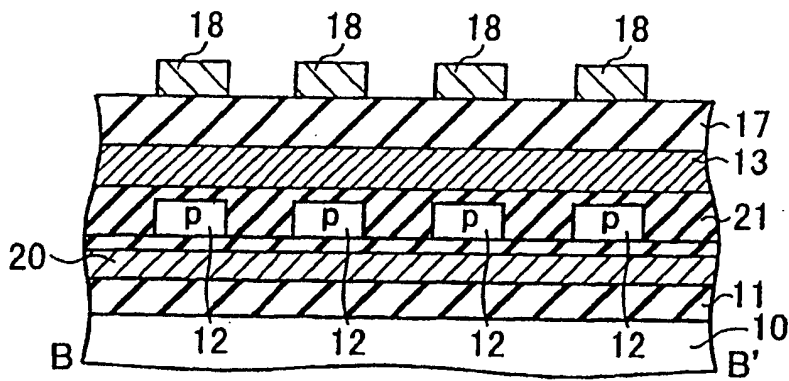


图 7A

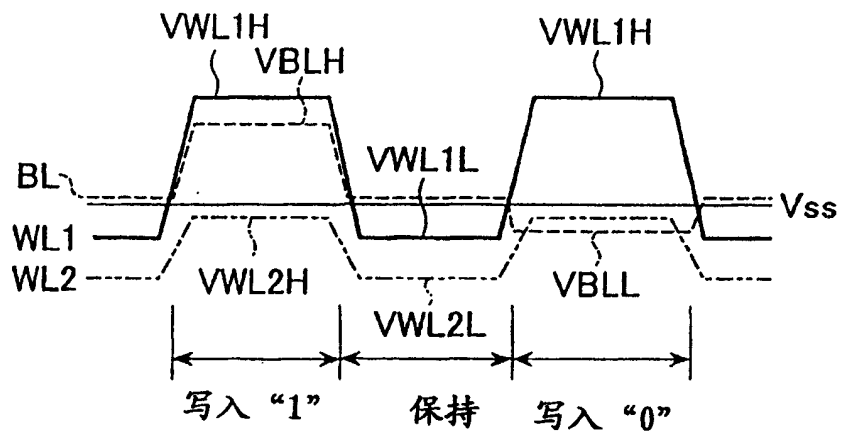


图 7B

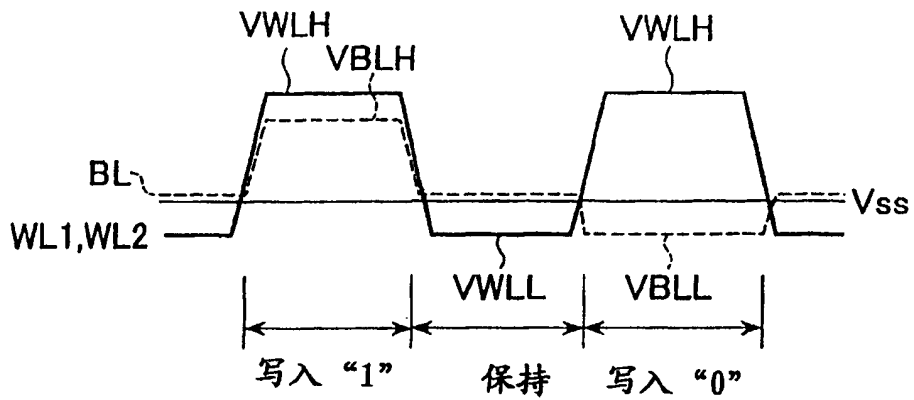


图 7C

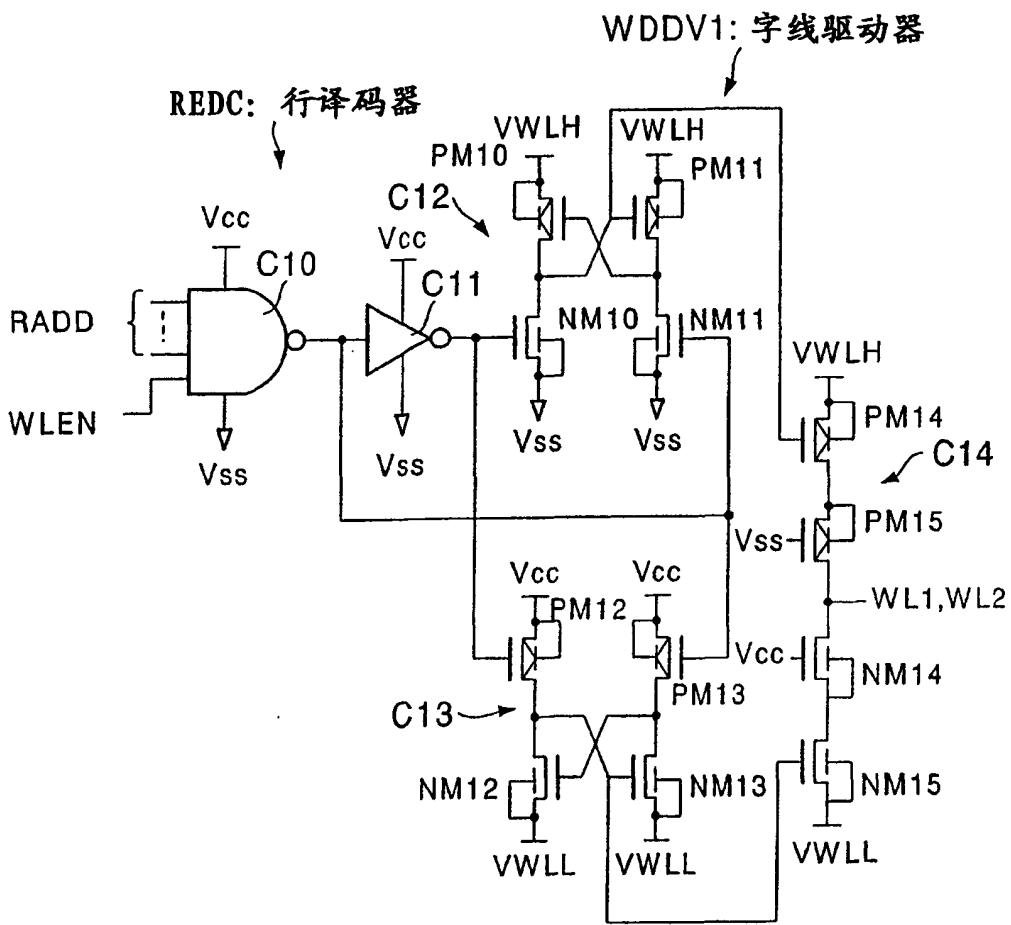


图 7D

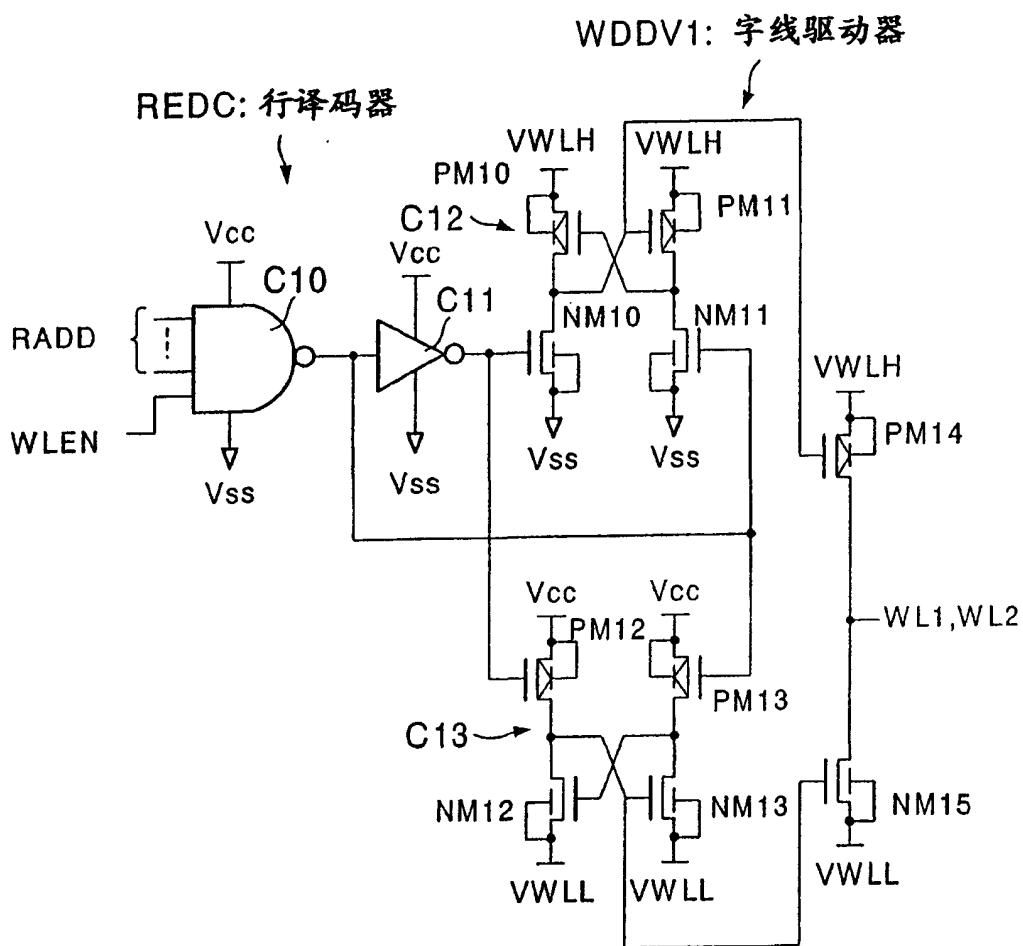


图 7E

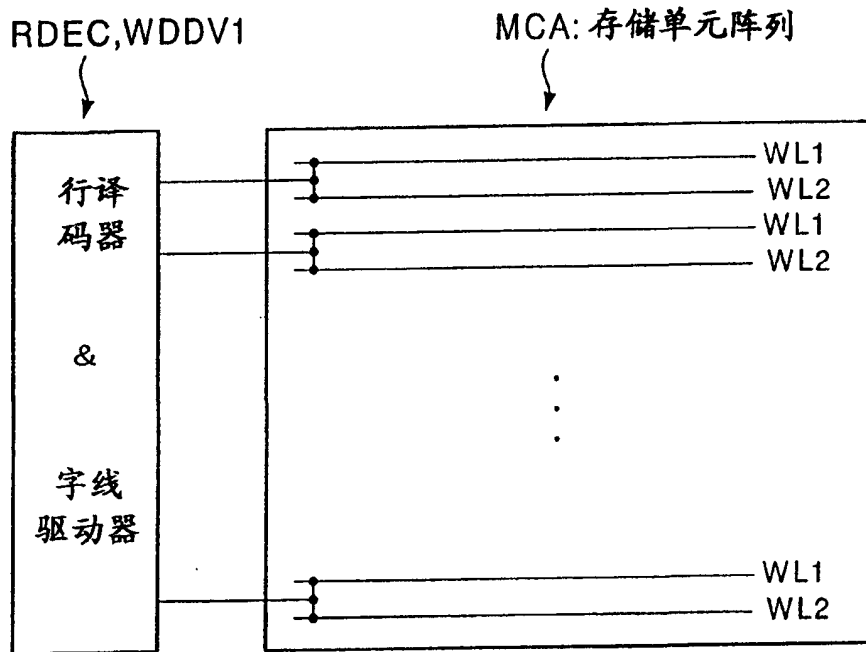


图 7F

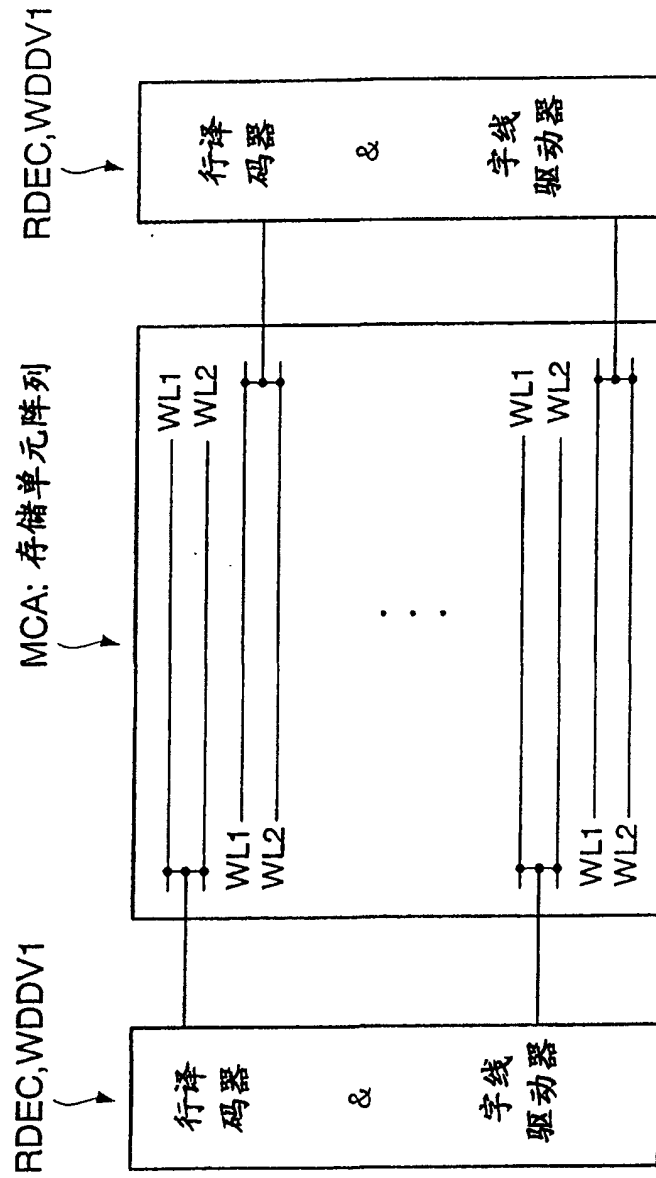


图 7G

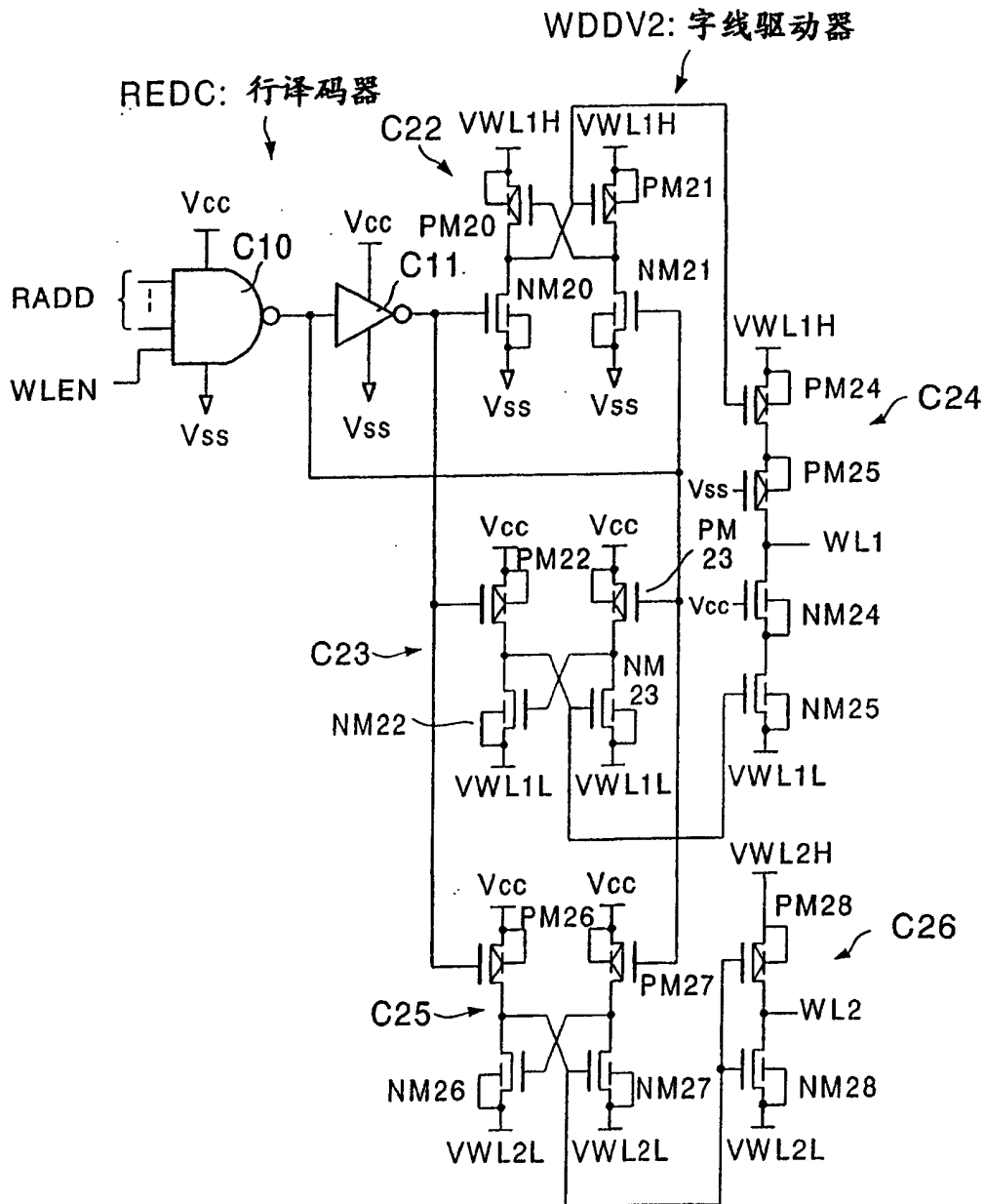


图 7H

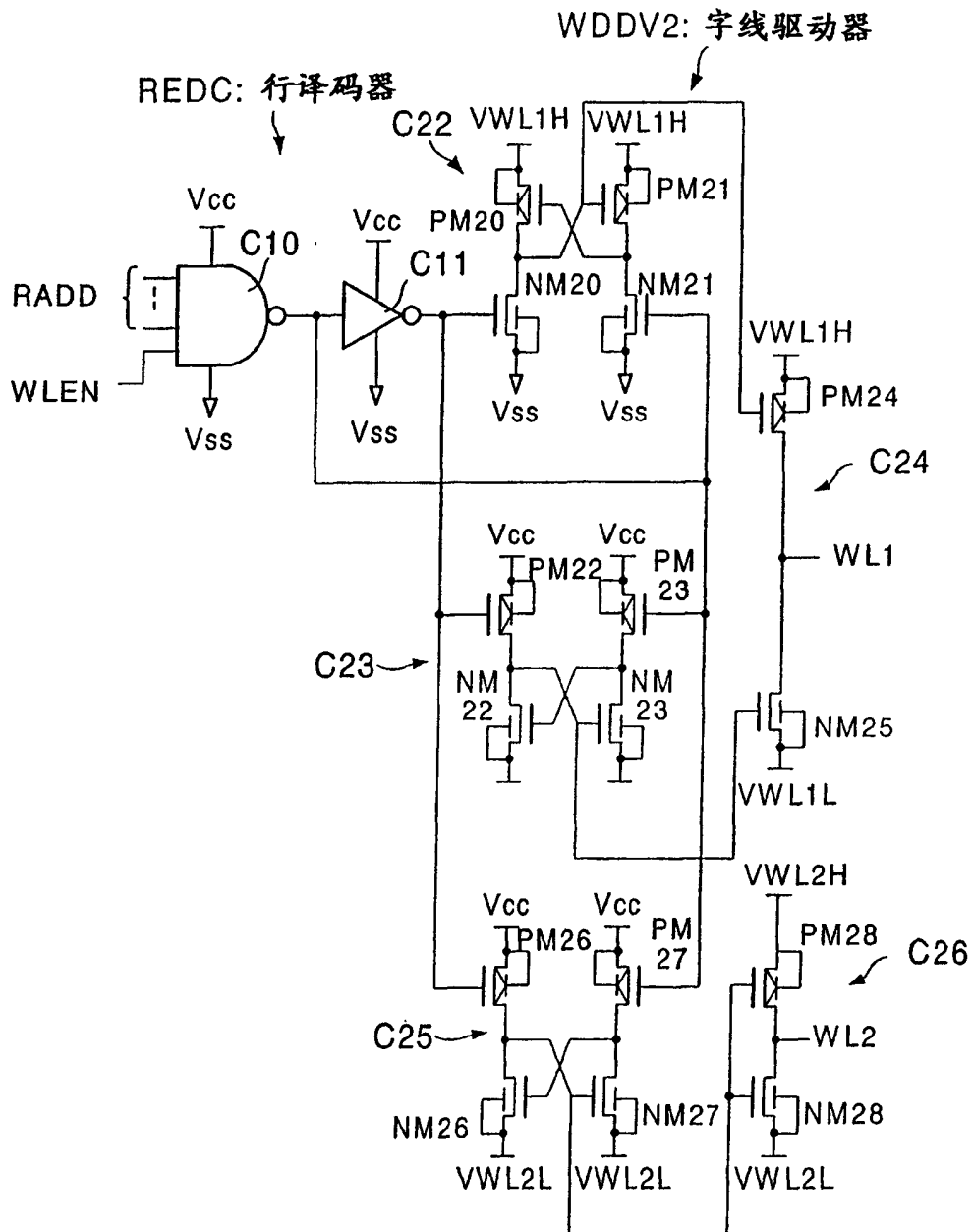


图 7I

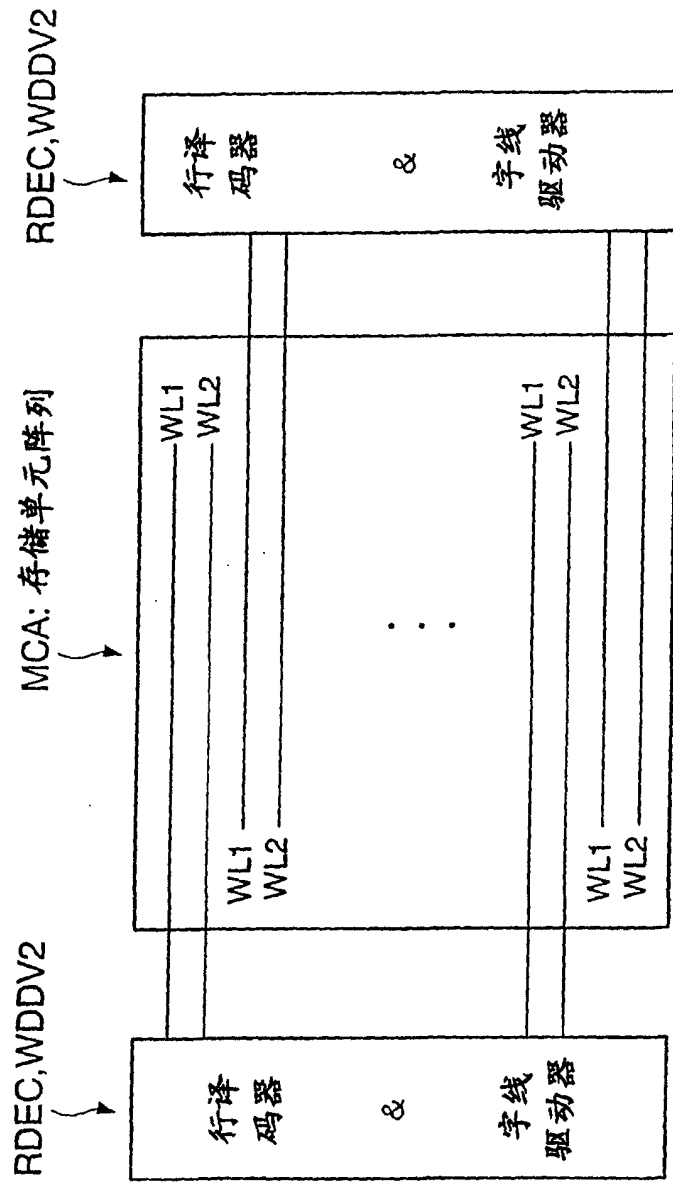


图 7J

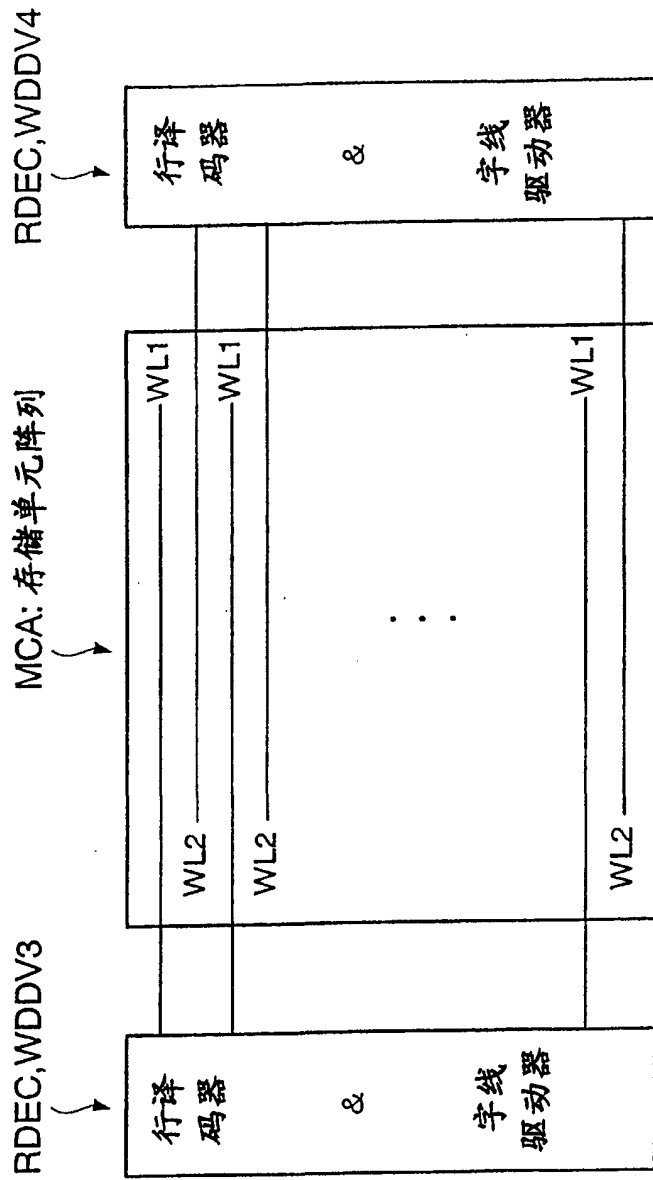


图 7K

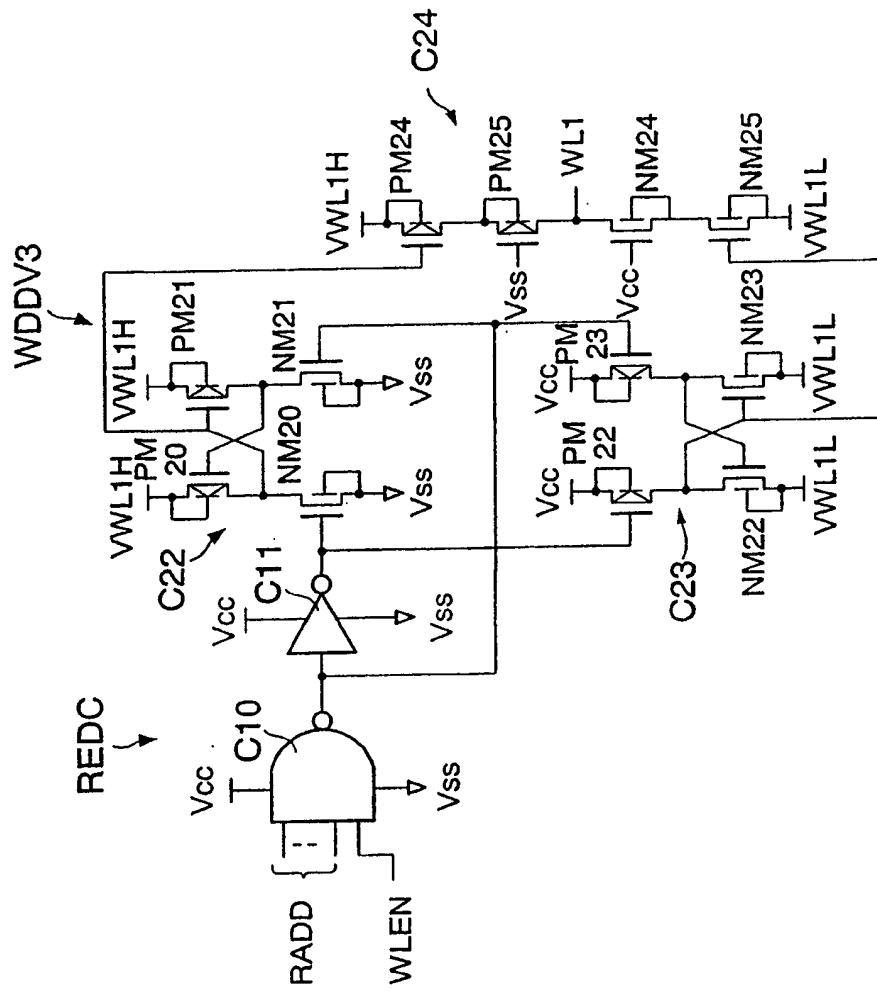


图 7L

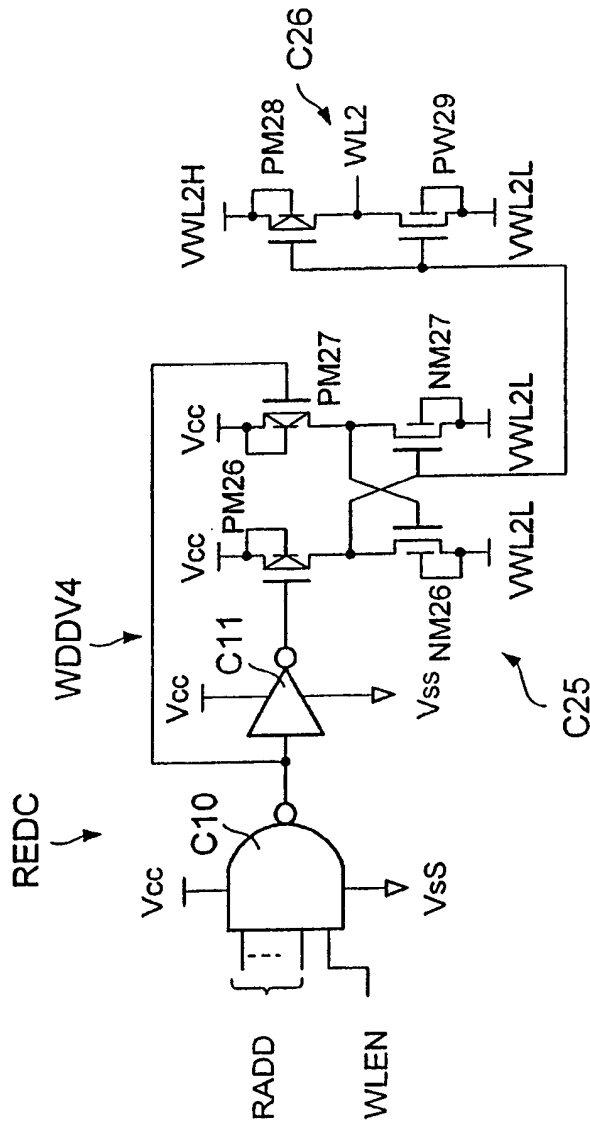


图 7M

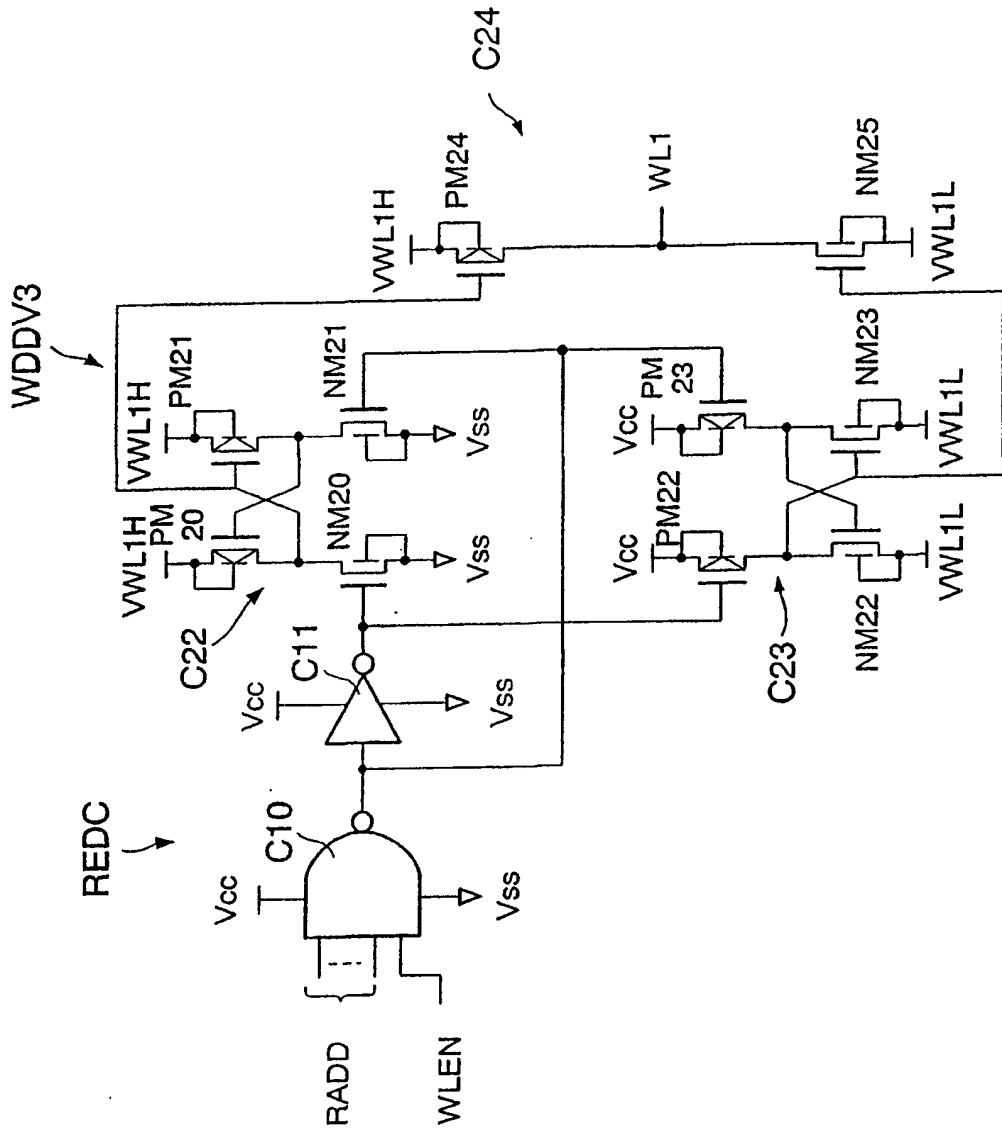


图 7N

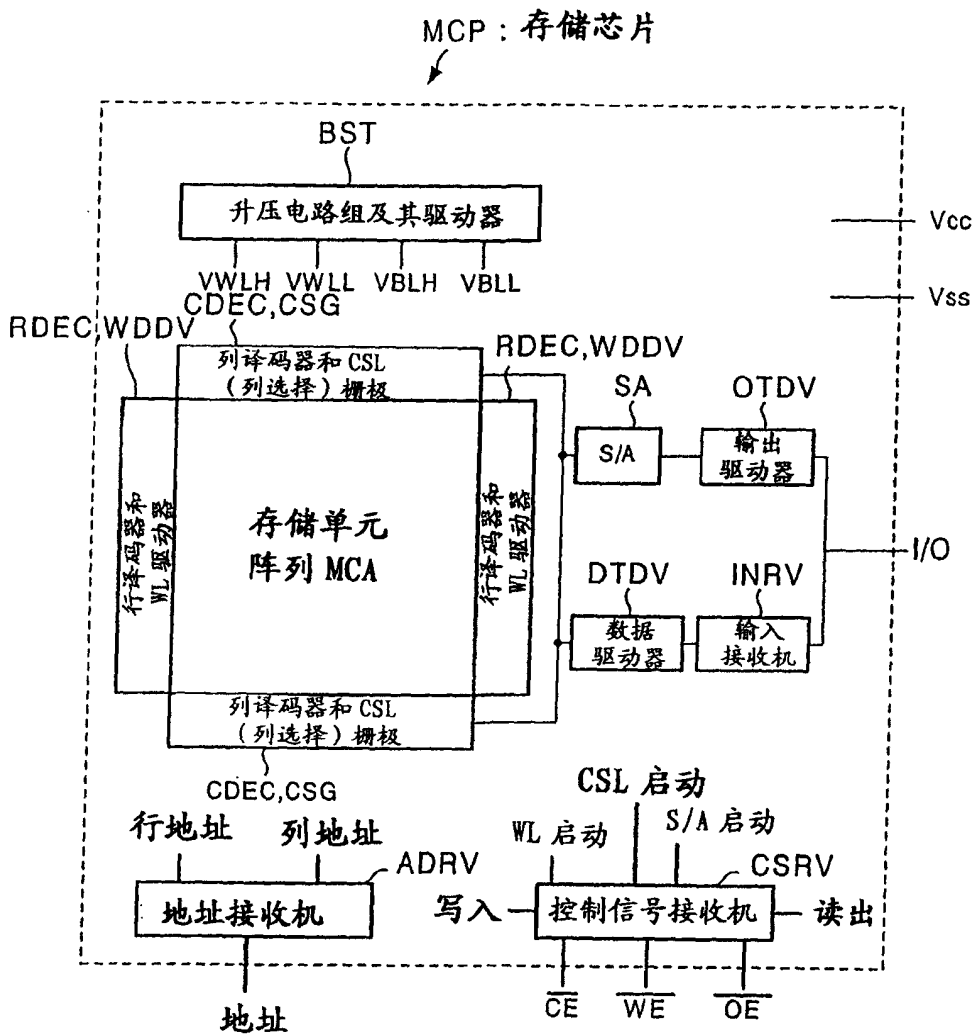


图 8

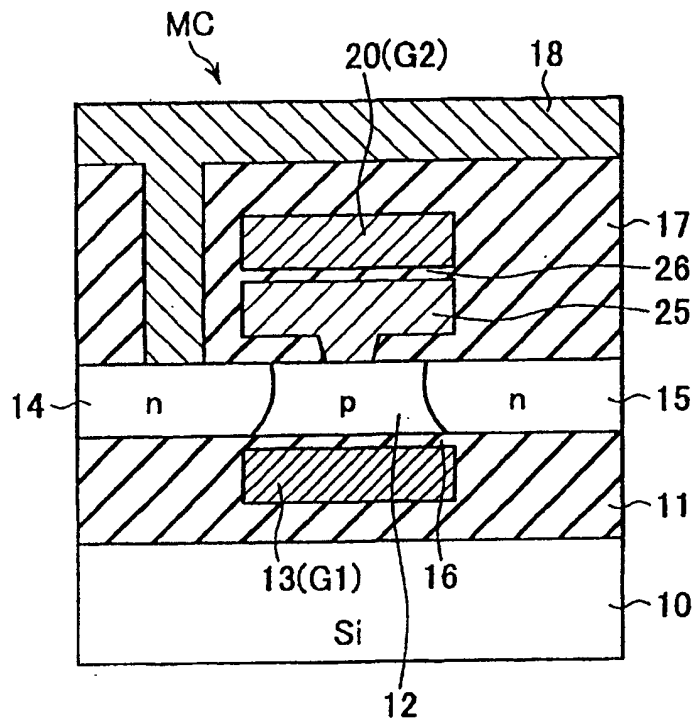


图 9

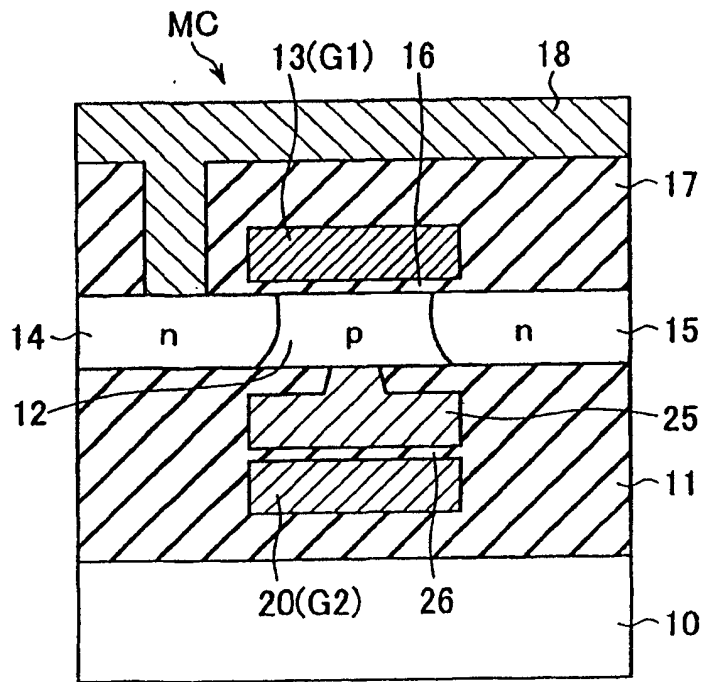


图 10A

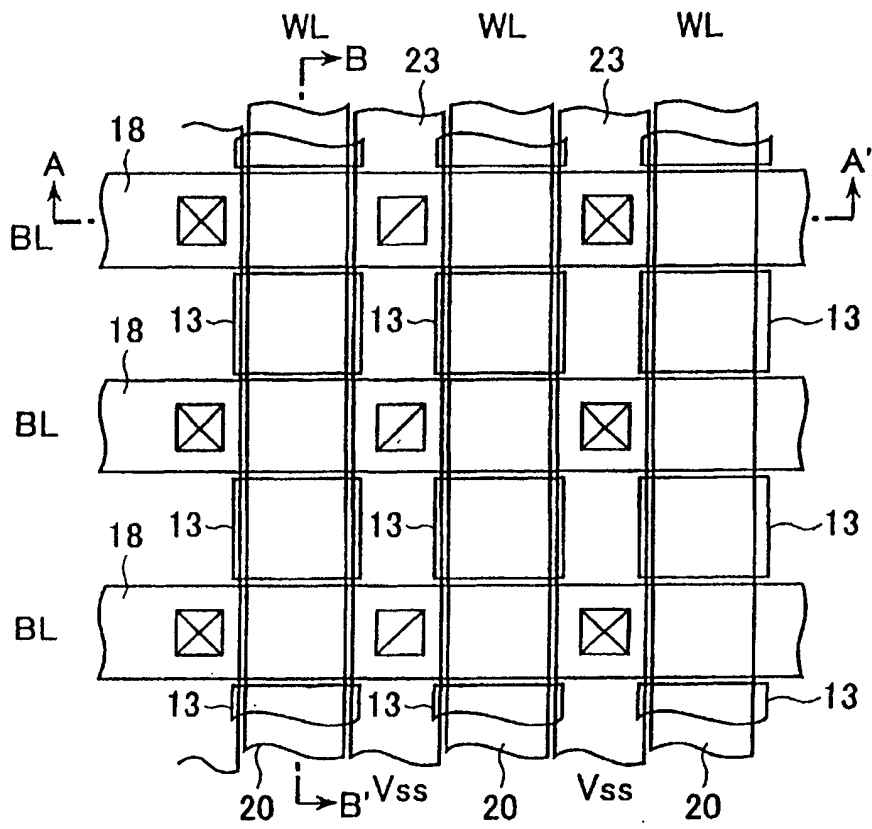


图 10B

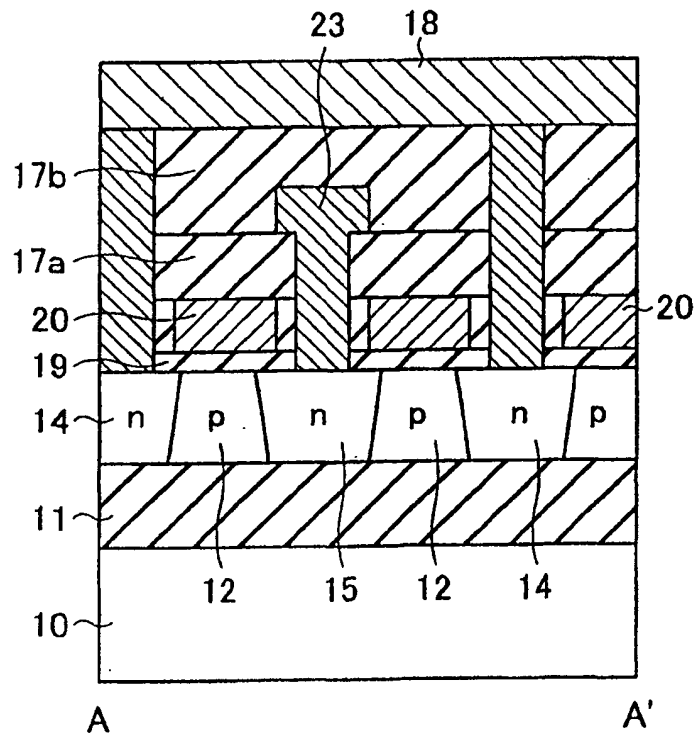


图 10C

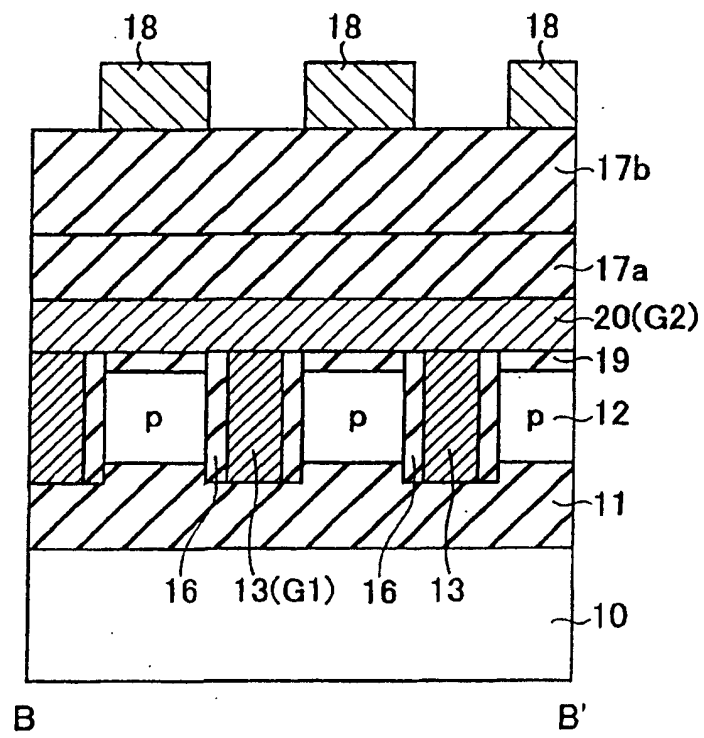


图 11

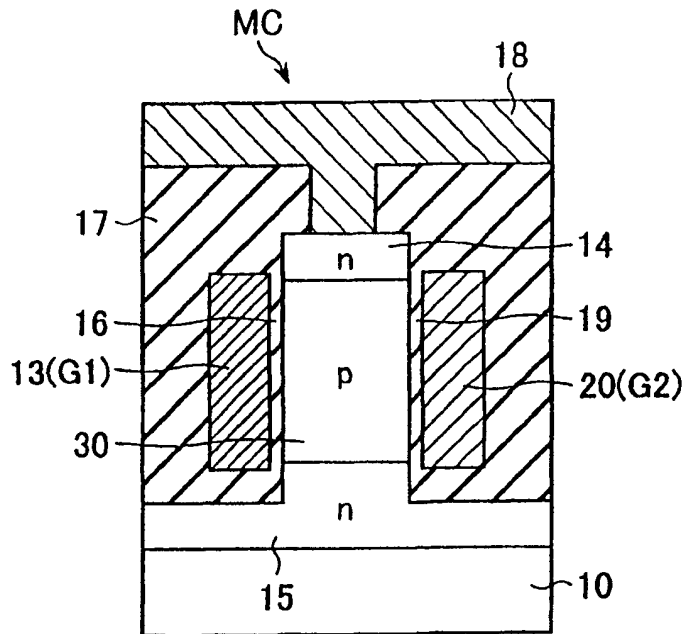


图 12

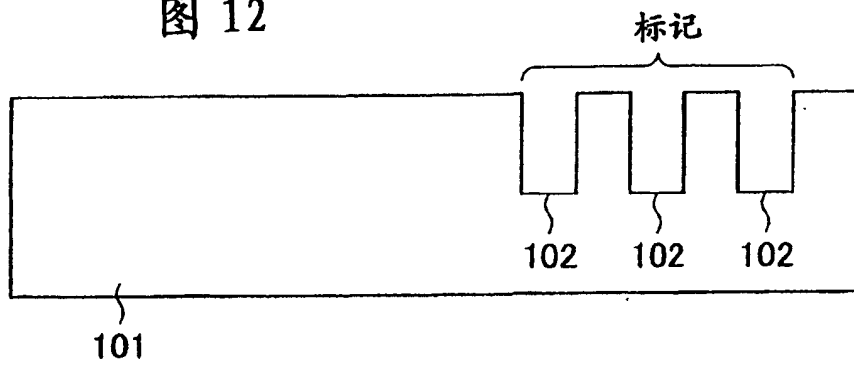


图 13

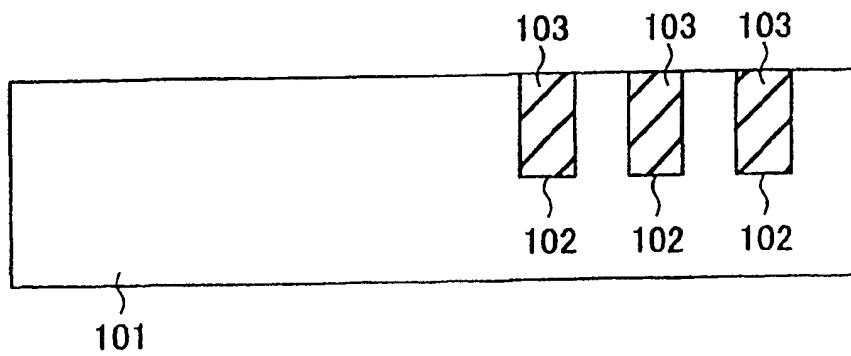


图 14

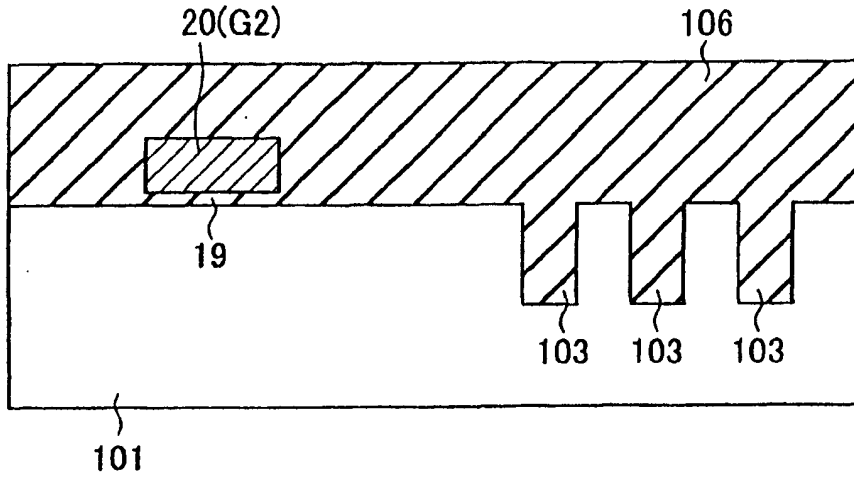


图 15

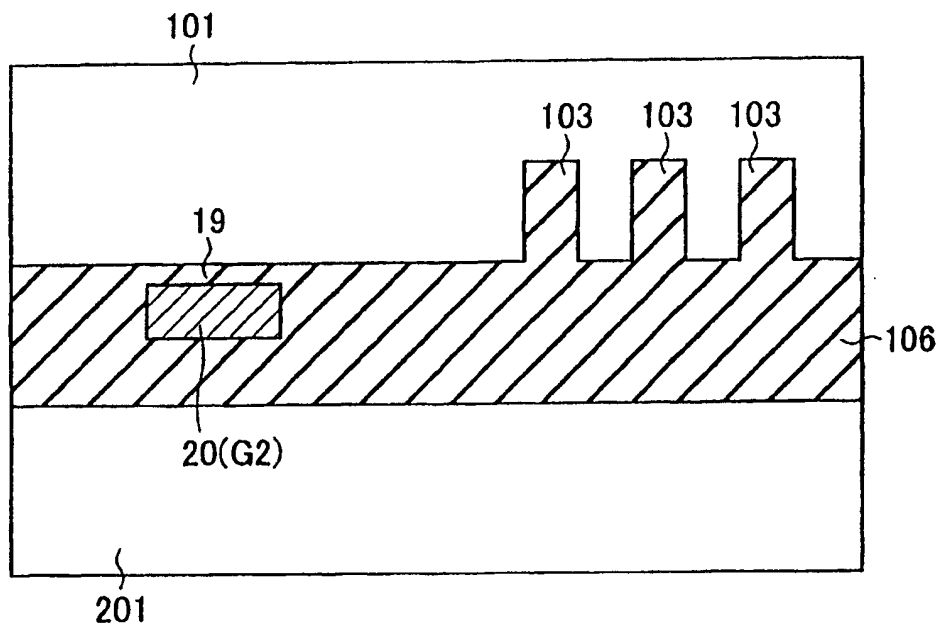


图 16

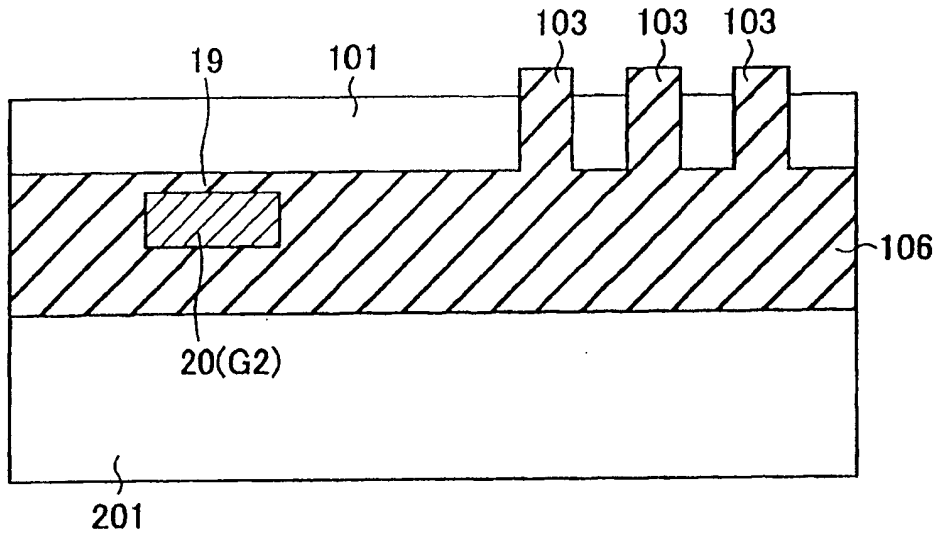


图 17

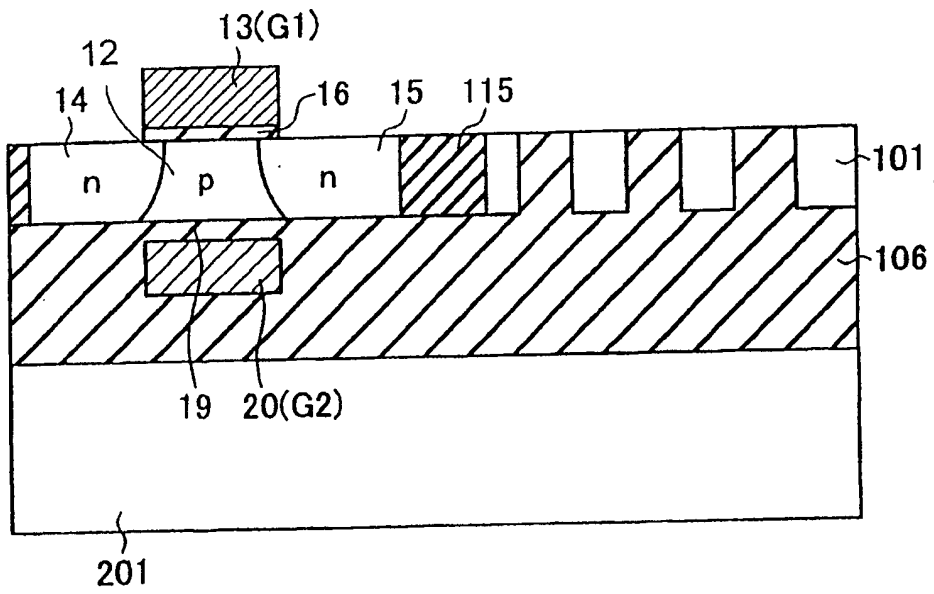


图 18

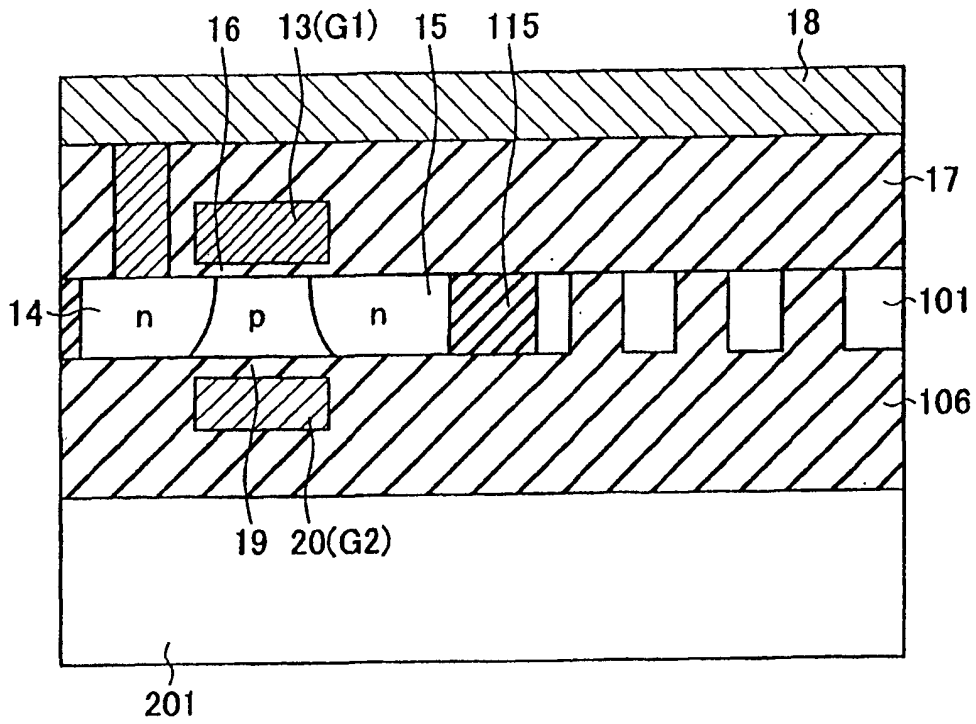


图 19

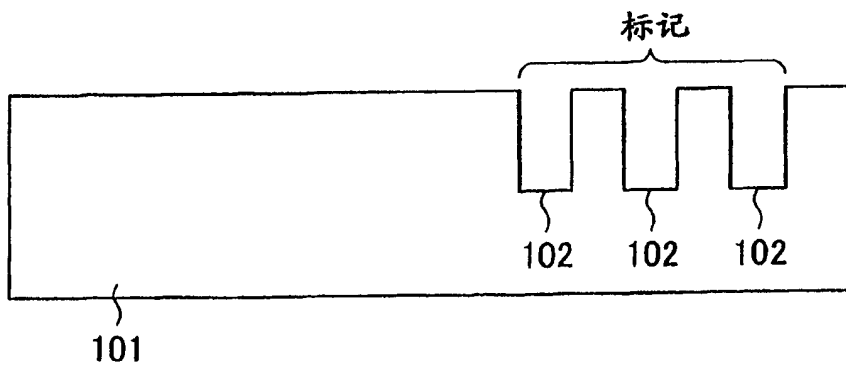


图 20

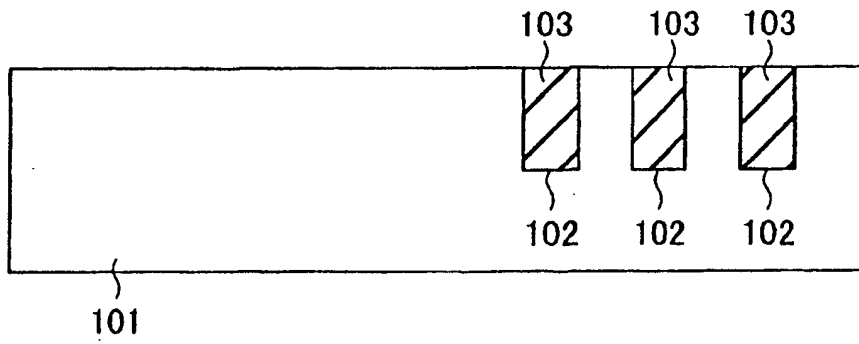


图 21

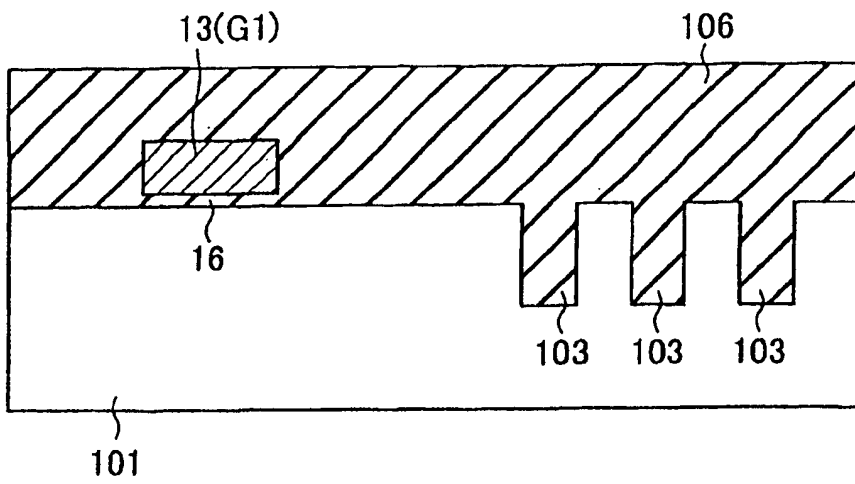


图 22

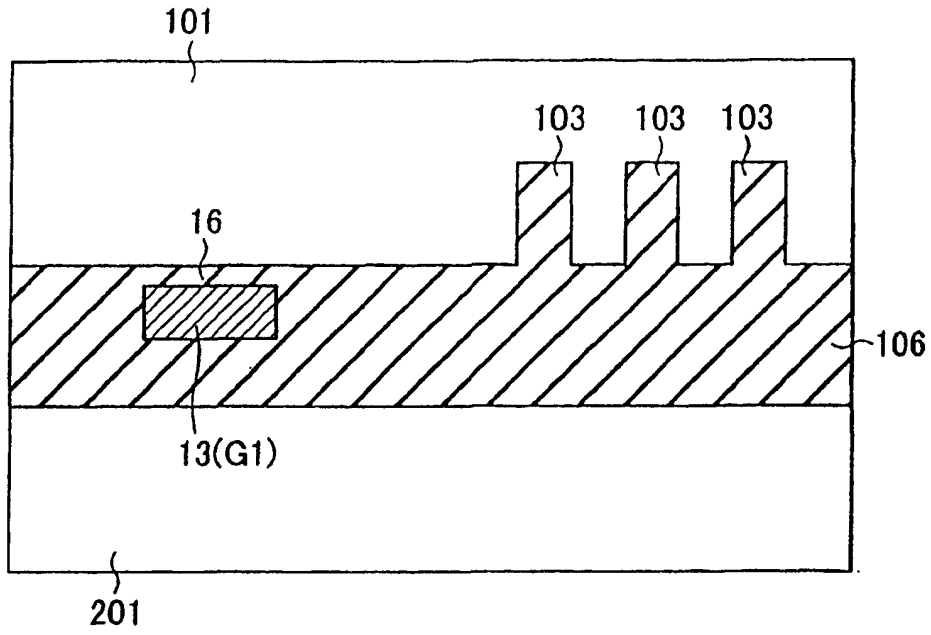


图 23

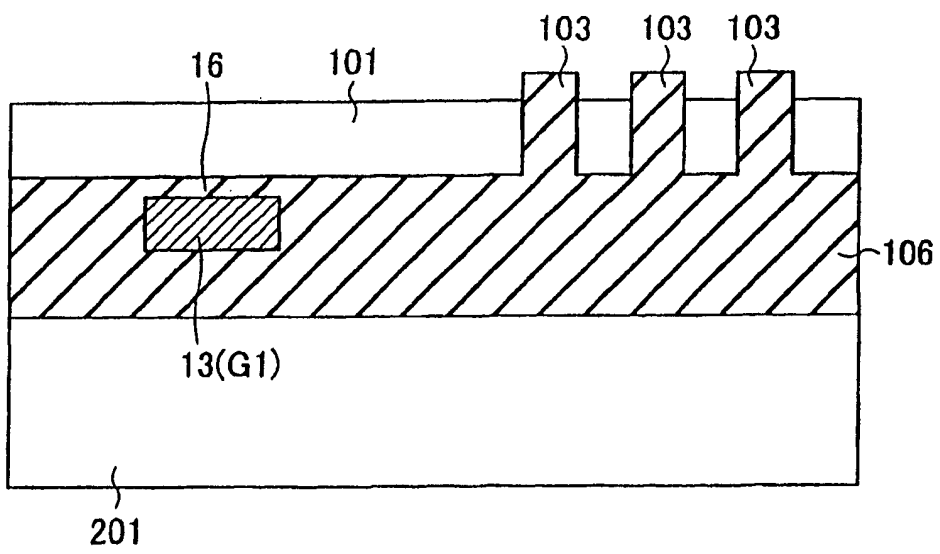


图 24

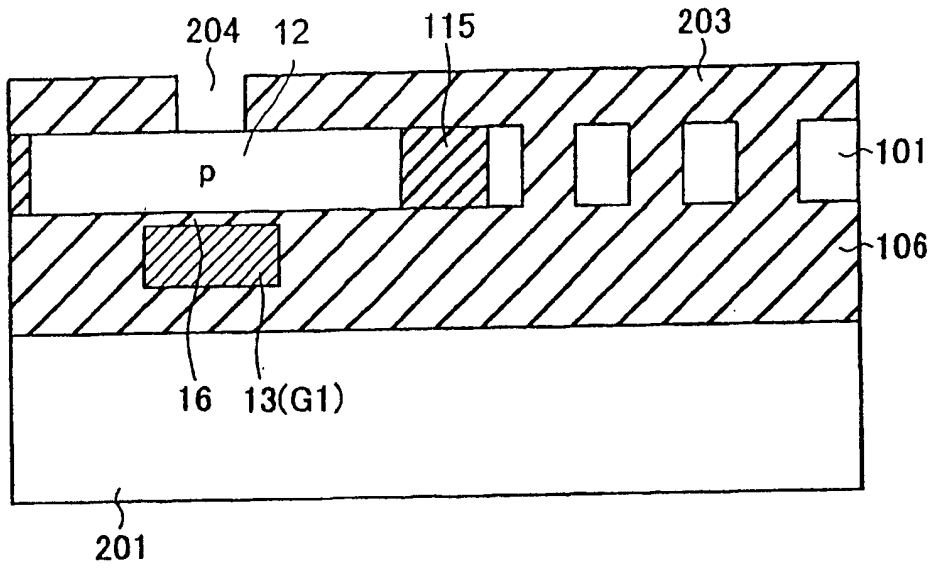


图 25

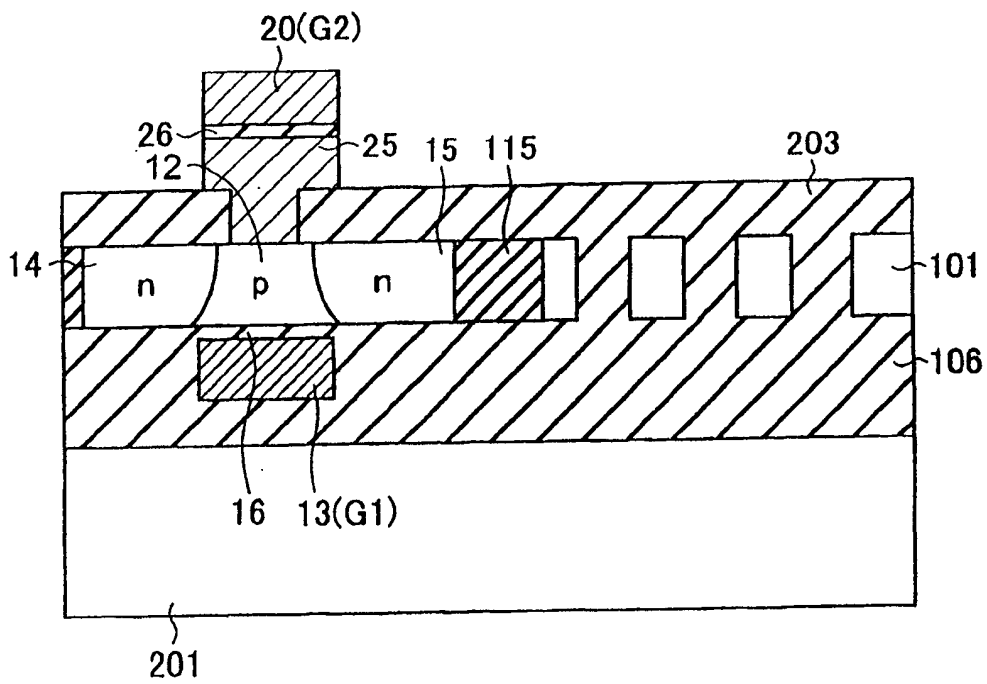


图 26

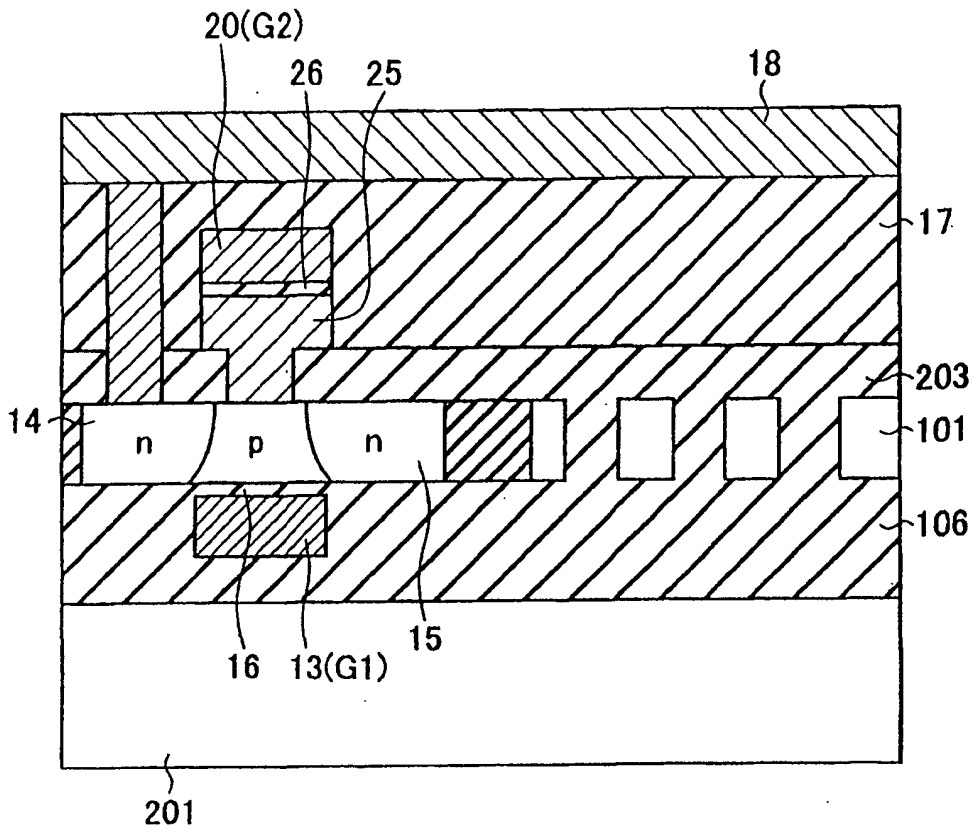


图 27

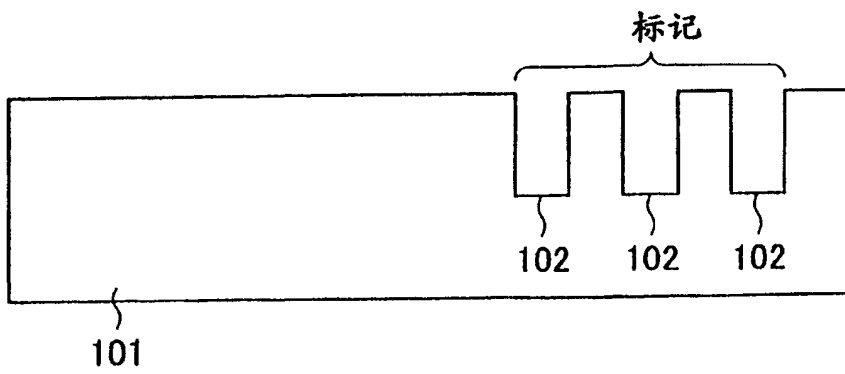


图 28

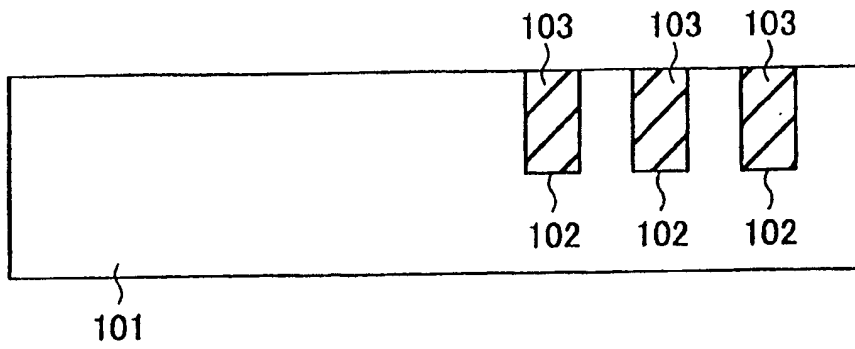


图 29

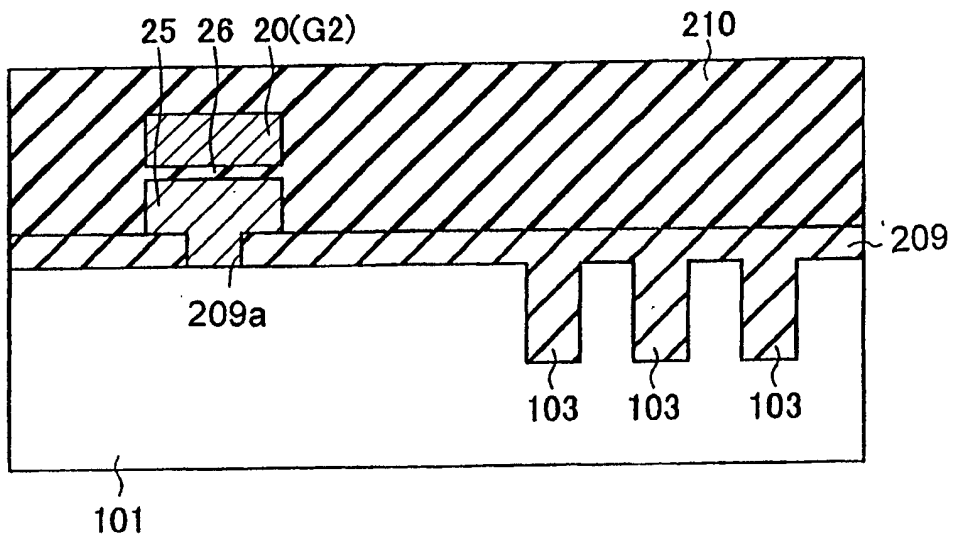


图 30

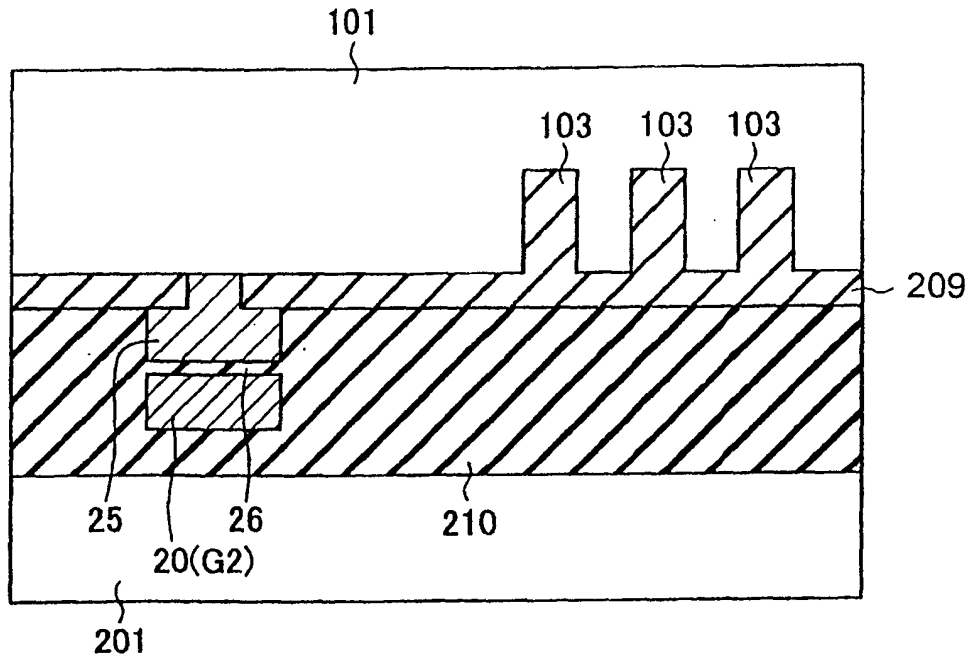


图 31

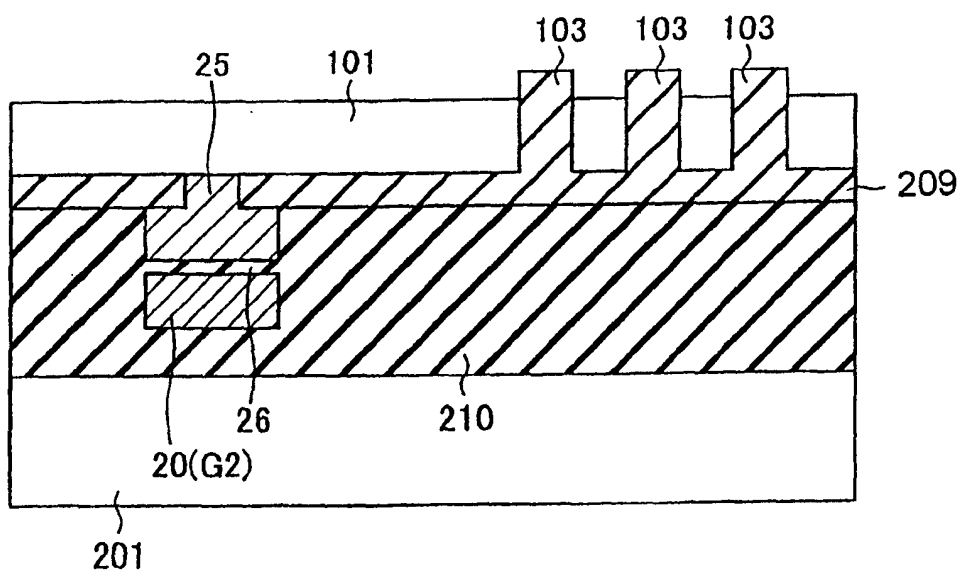


图 32

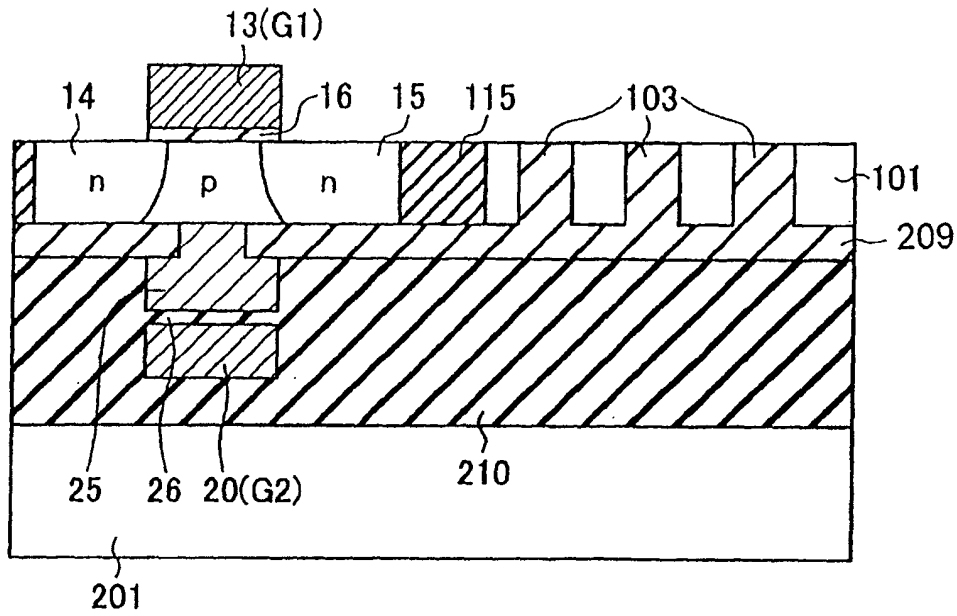


图 33

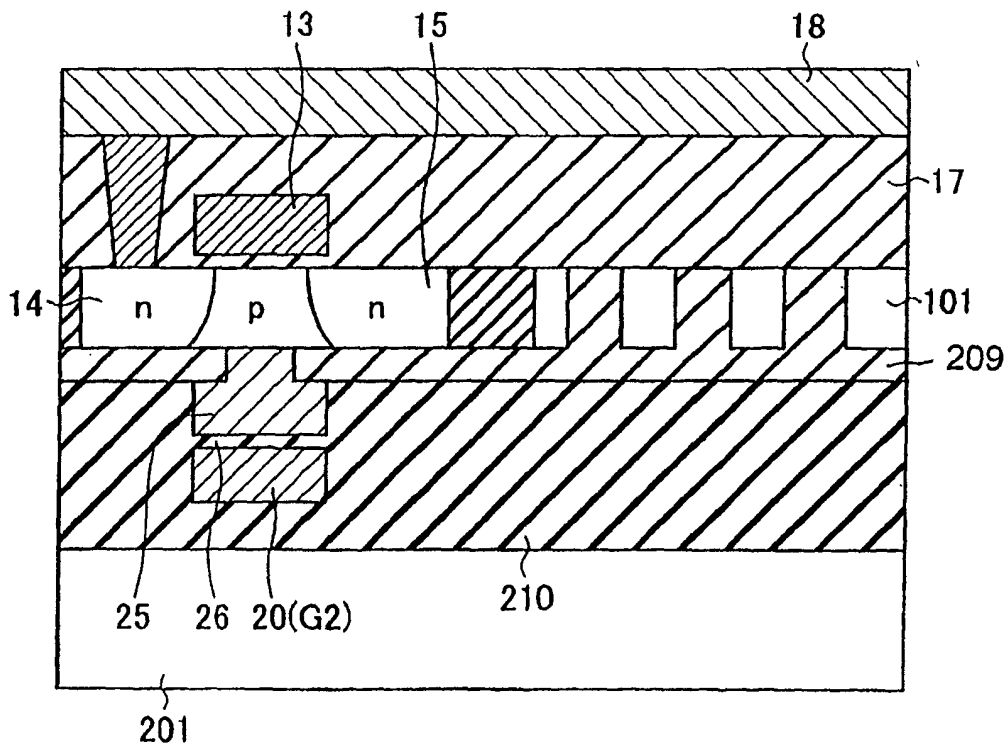


图 34A

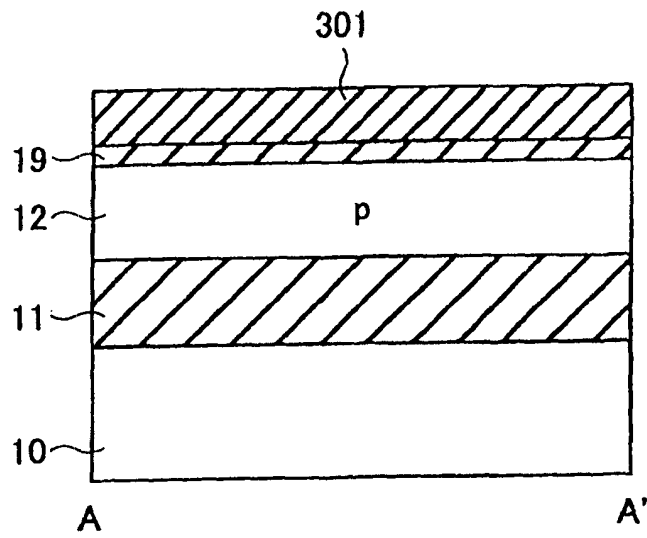


图 34B

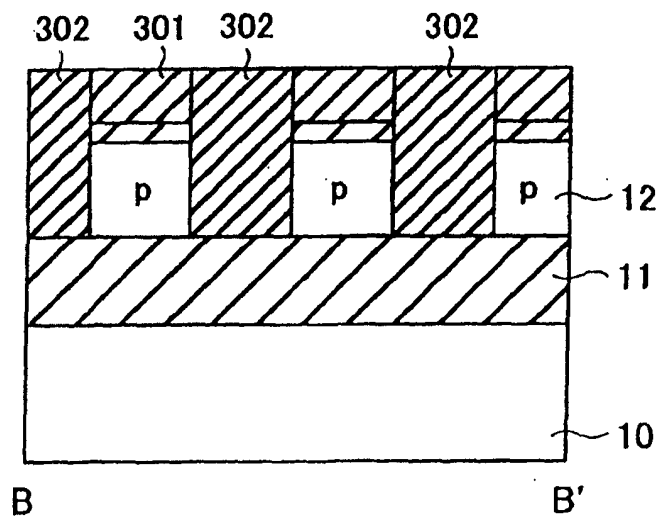


图 35A

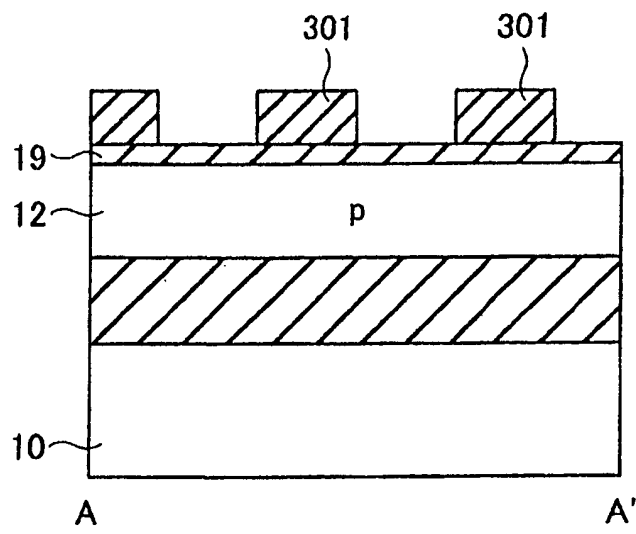


图 35B

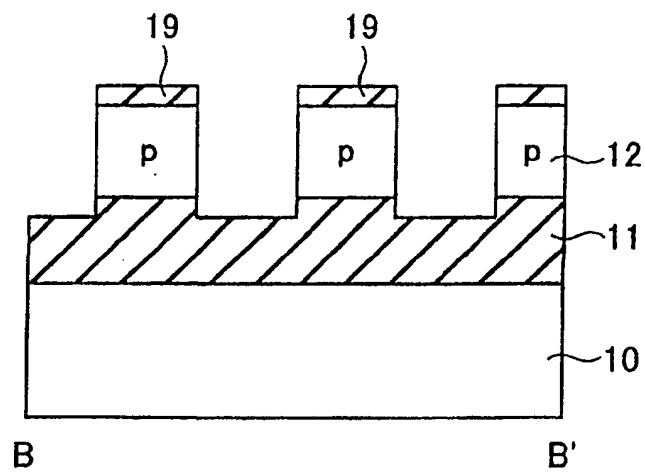


图 36A

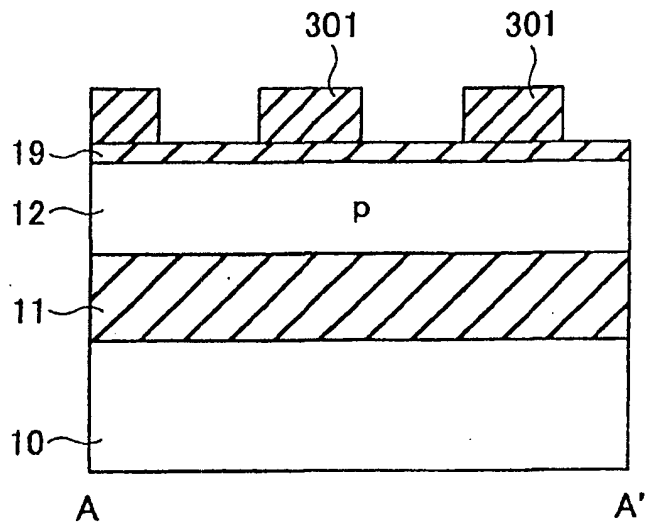


图 36B

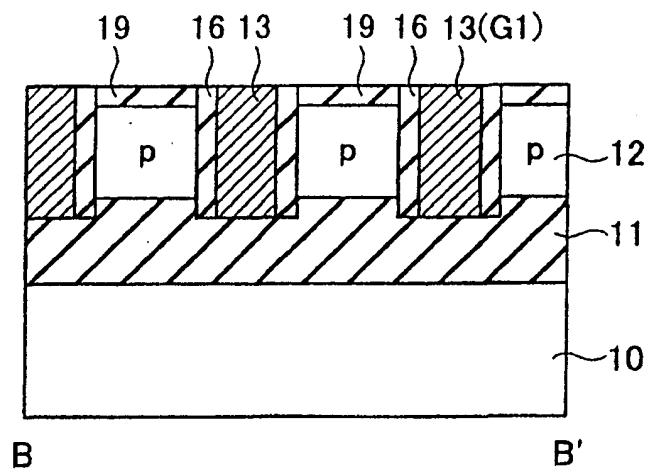


图 37A

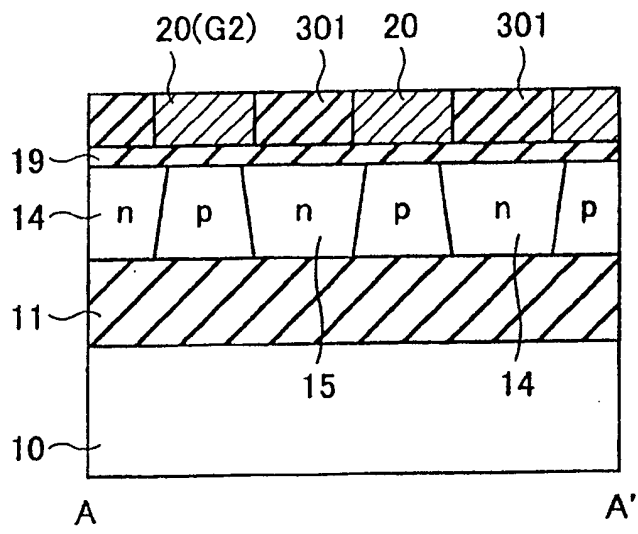


图 37B

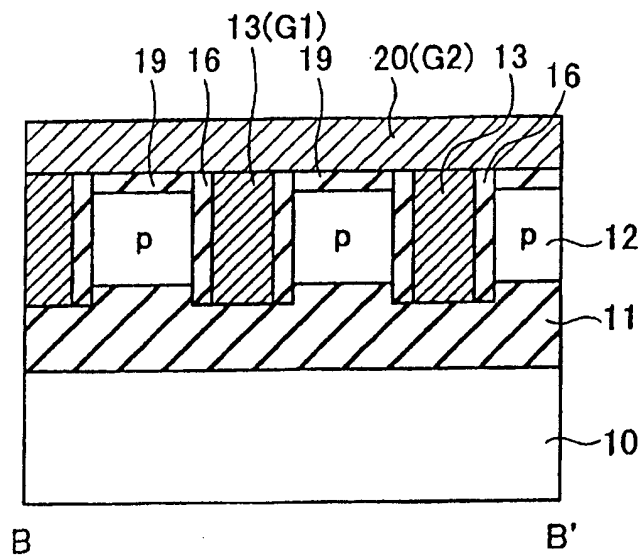


图 38A

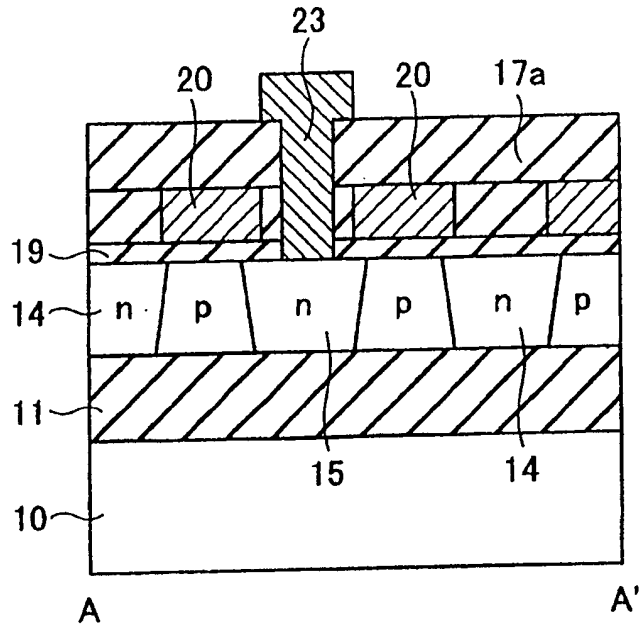


图 38B

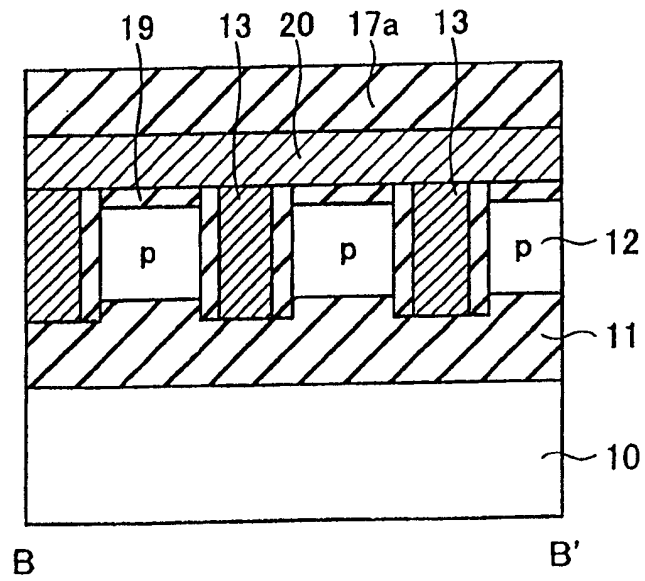


图 39A

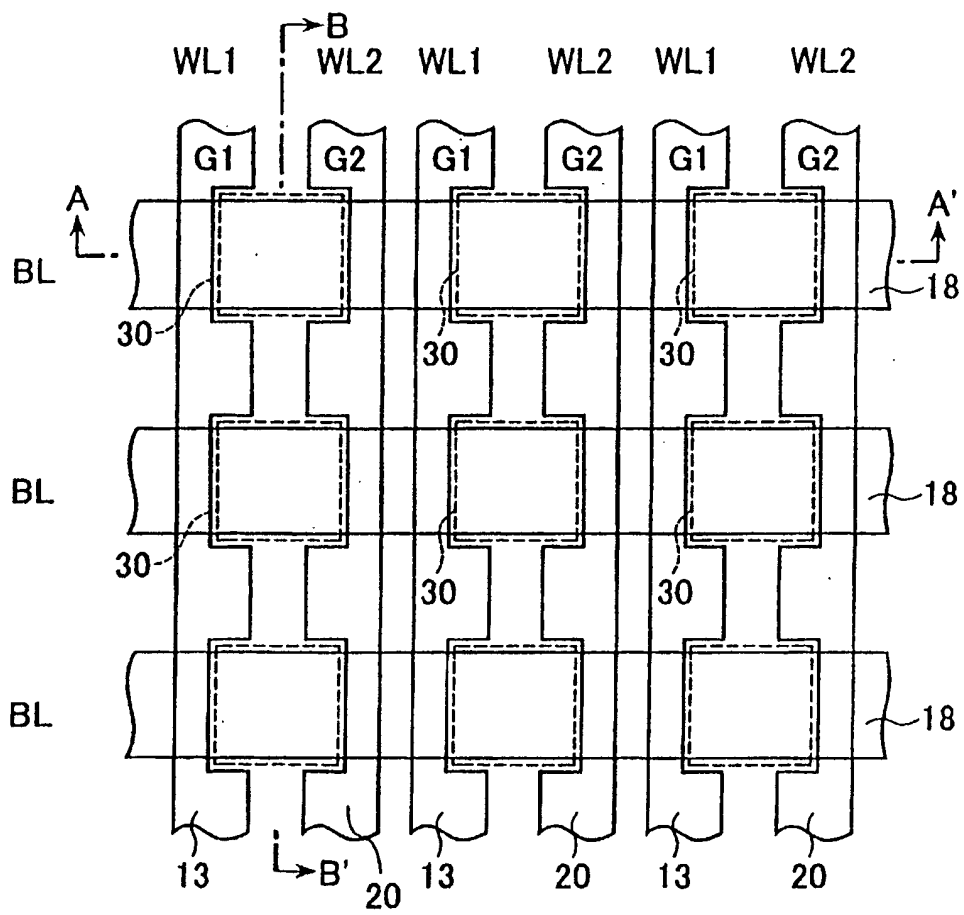


图 39B

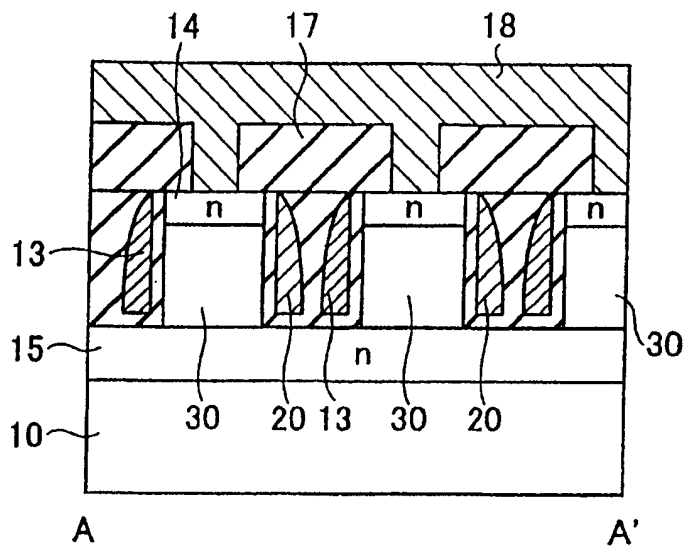


图 39C

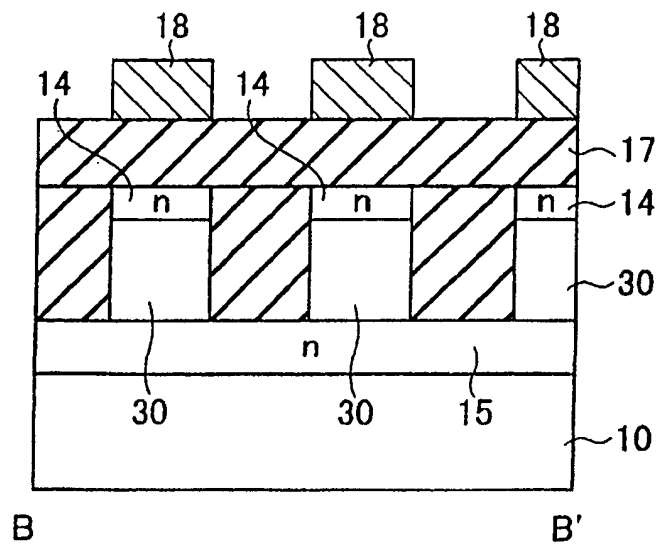


图 40A

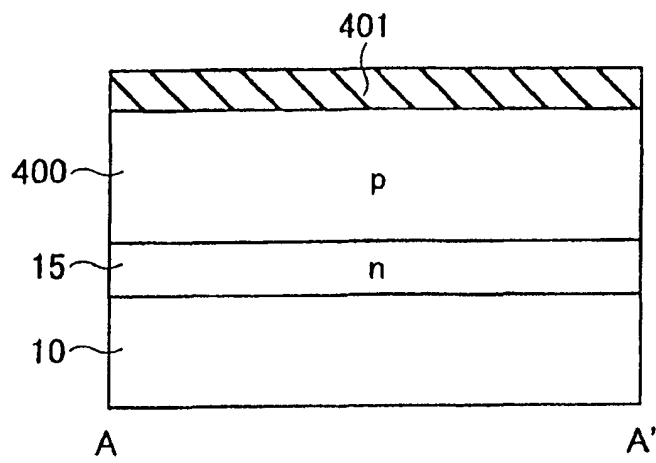


图 40B

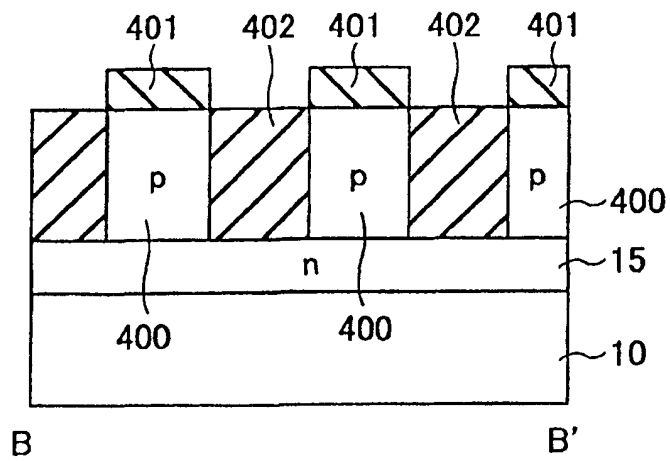


图 41A

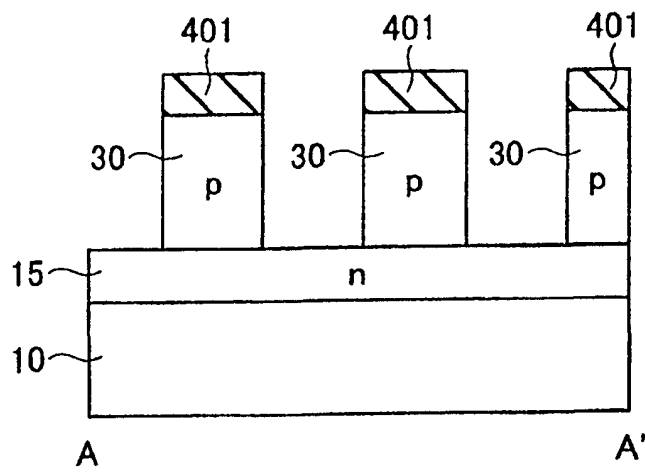


图 41B

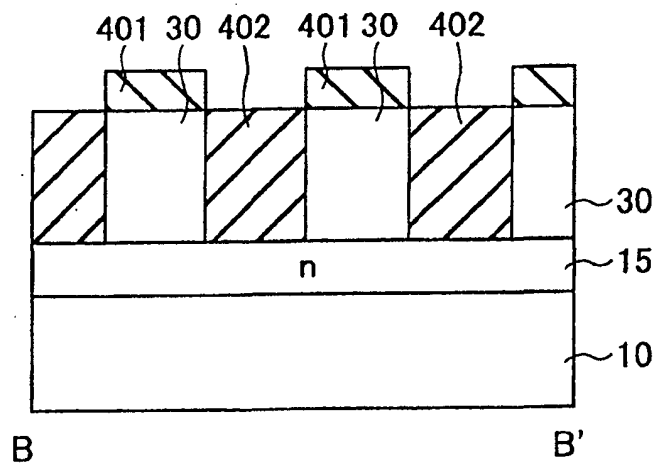


图 42A

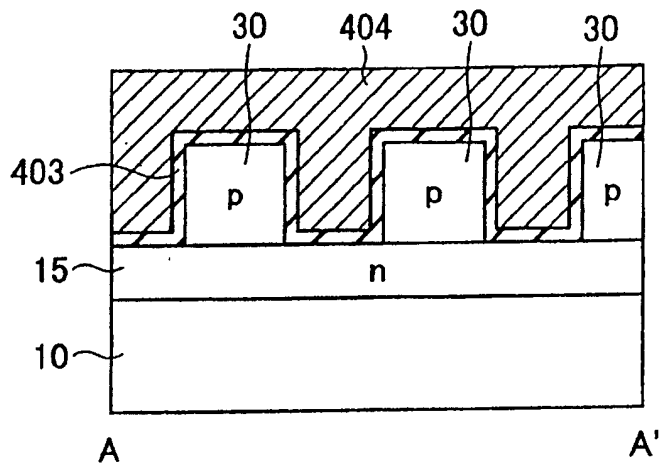


图 42B

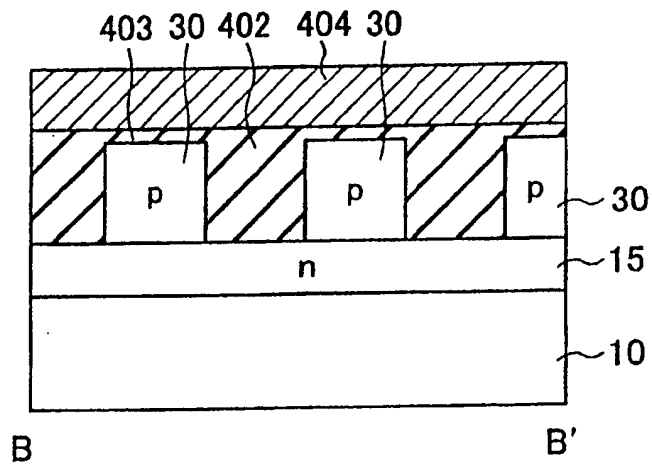


图 43A

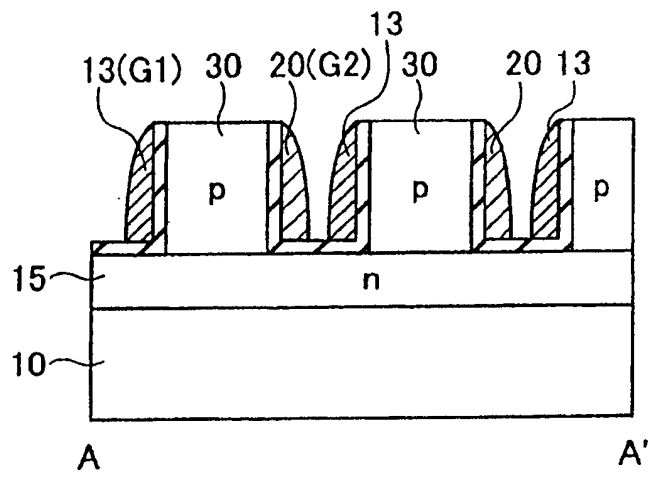


图 43B

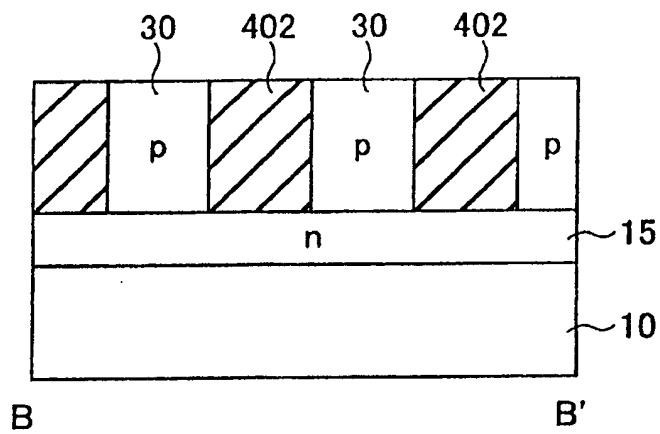


图 44A

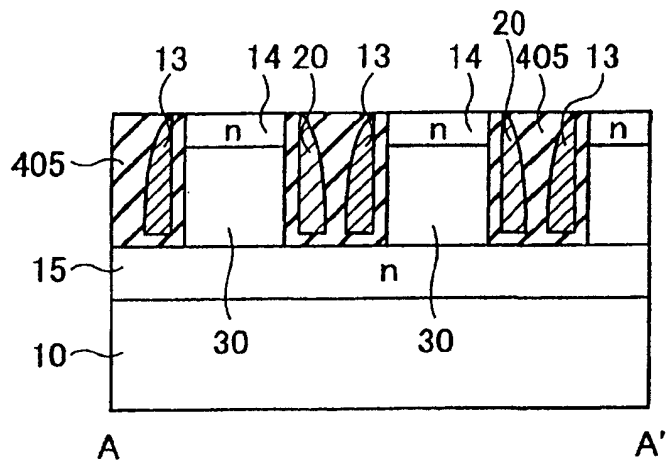


图 44B

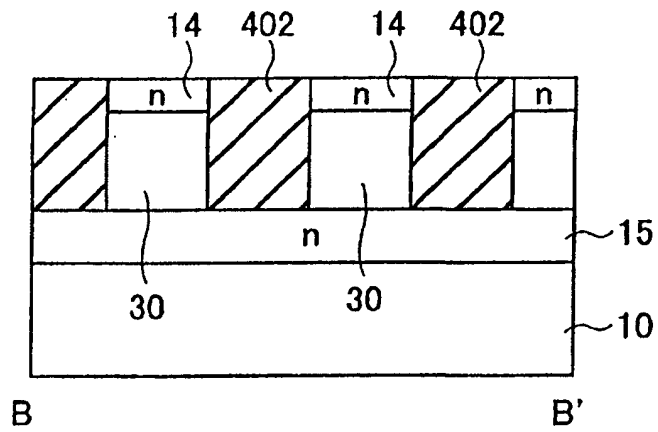


图 45A

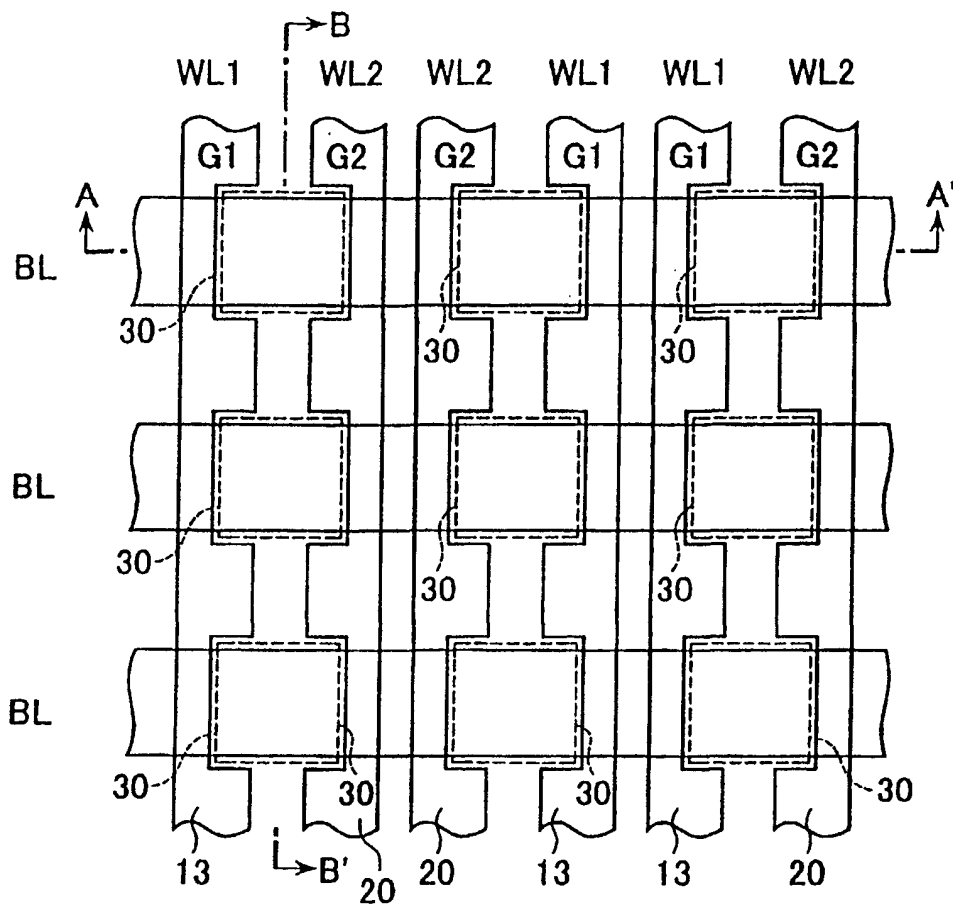


图 45B

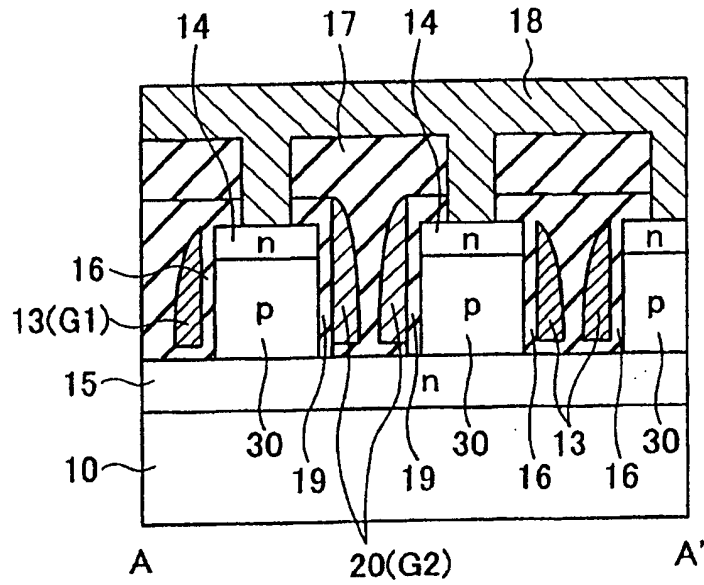


图 45C

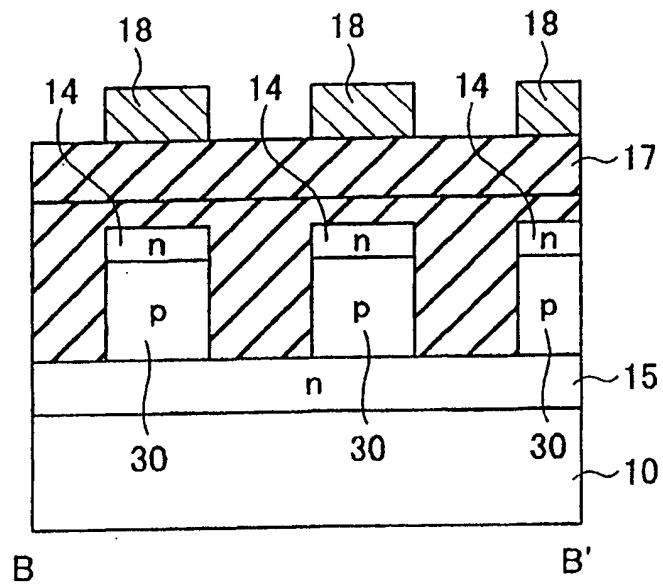


图 46A

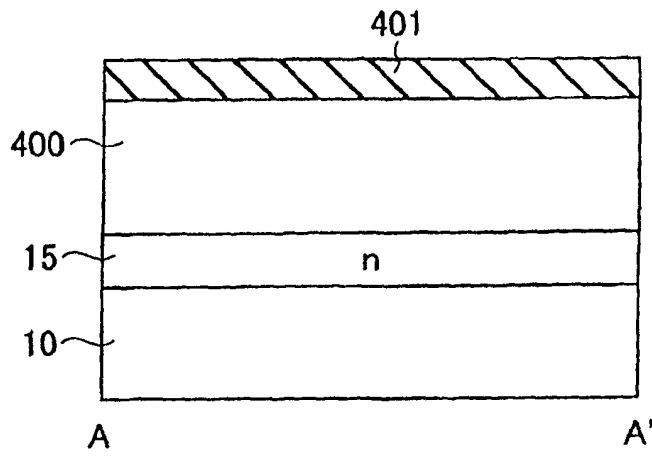


图 46B

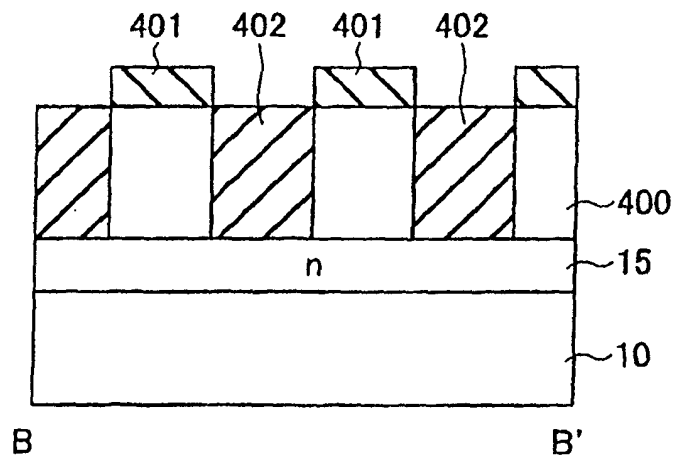


图 47A

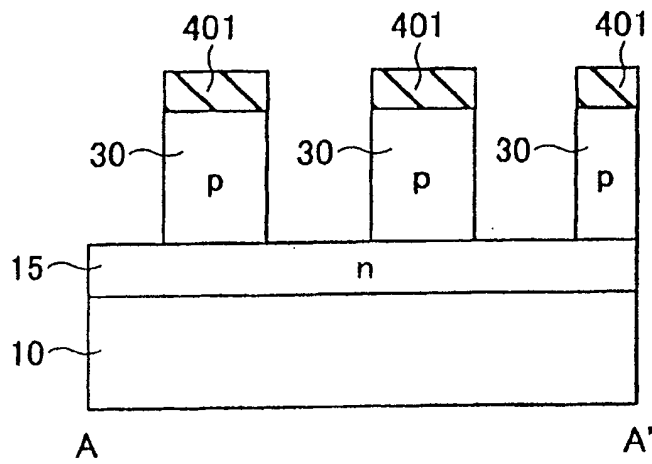


图 47B

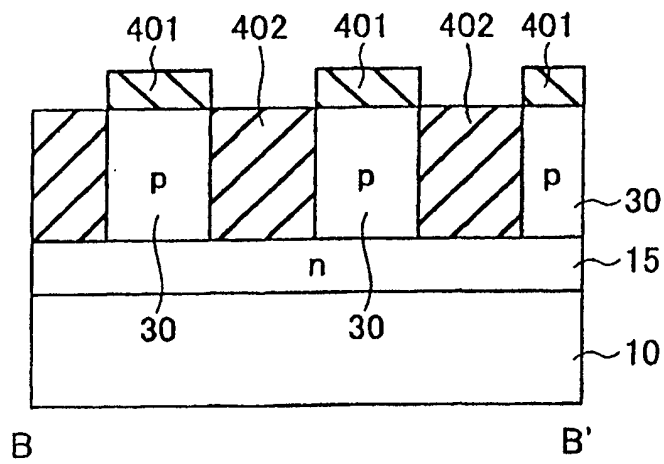


图 48A

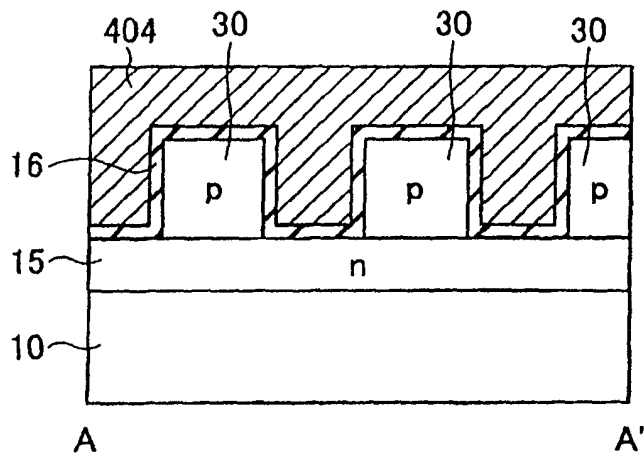


图 48B

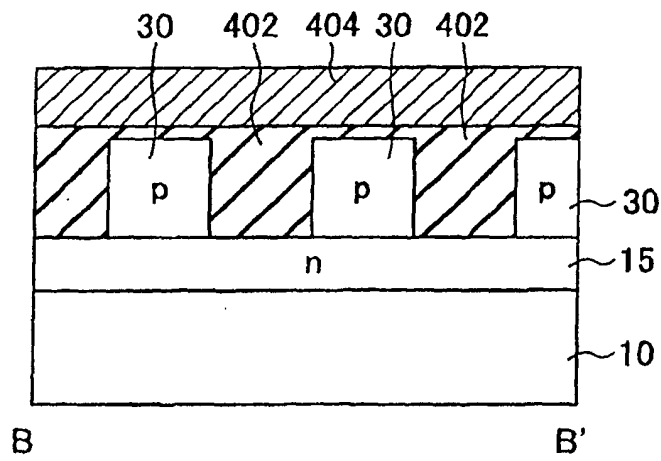


图 49A

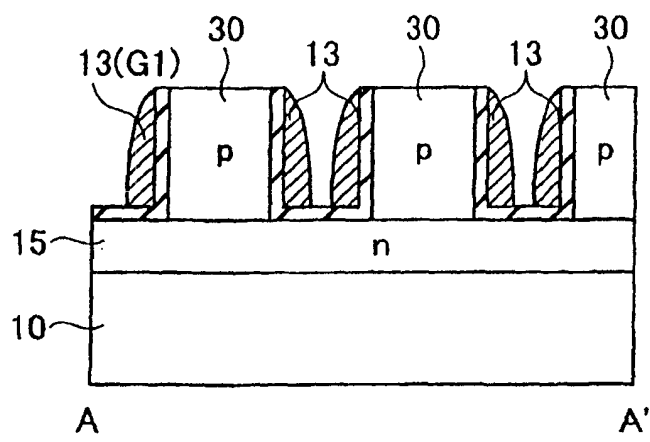


图 49B

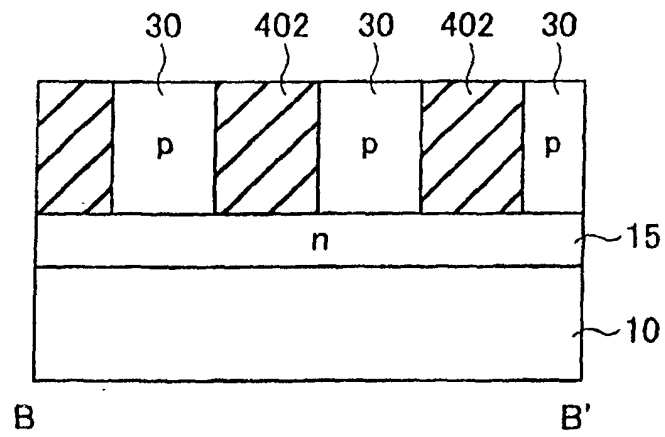


图 50A

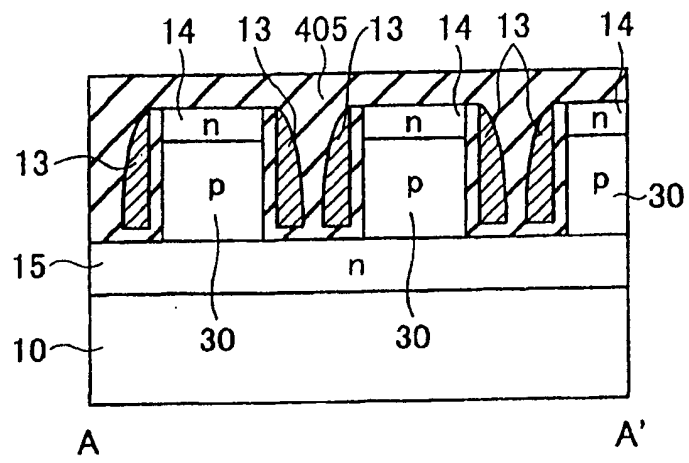


图 50B

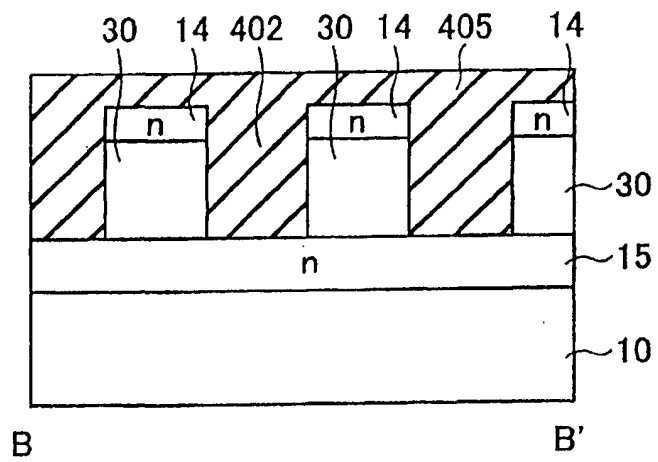


图 51A

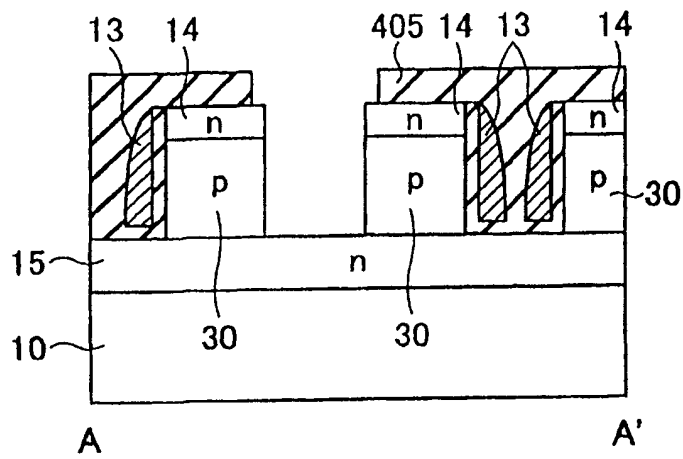


图 51B

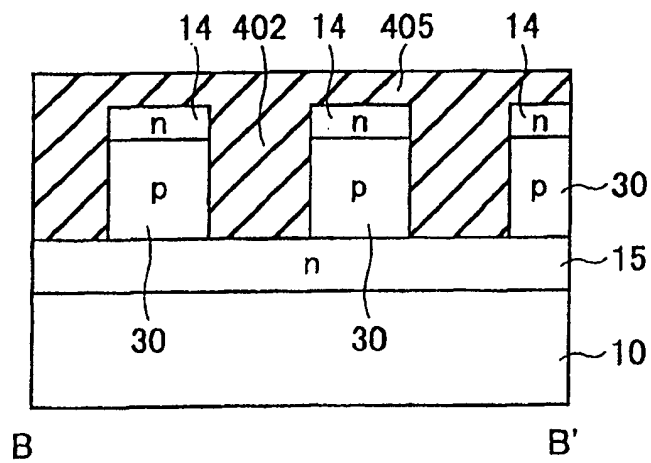


图 52A

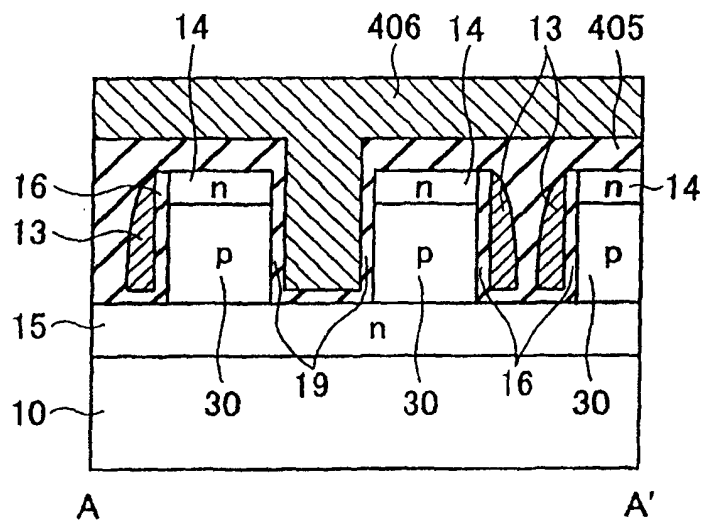


图 52B

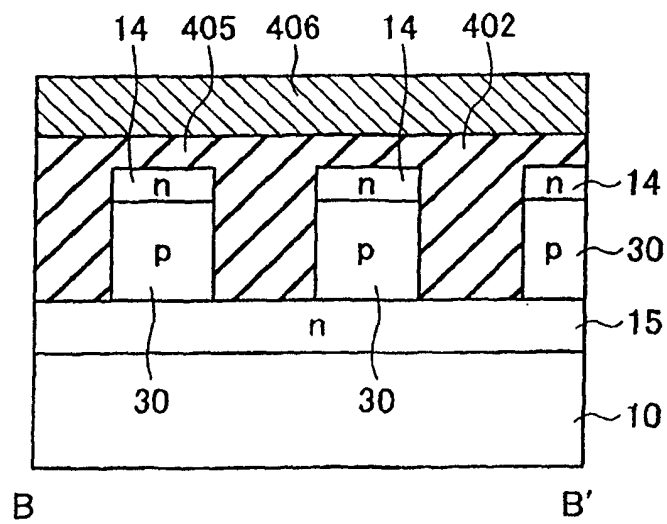


图 53A

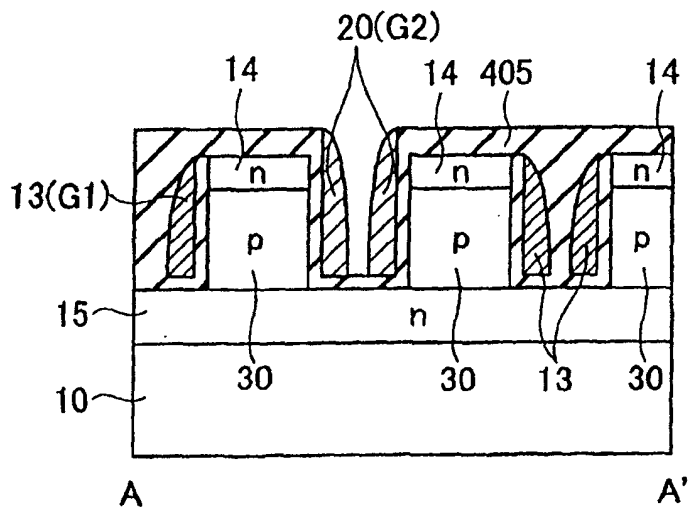


图 53B

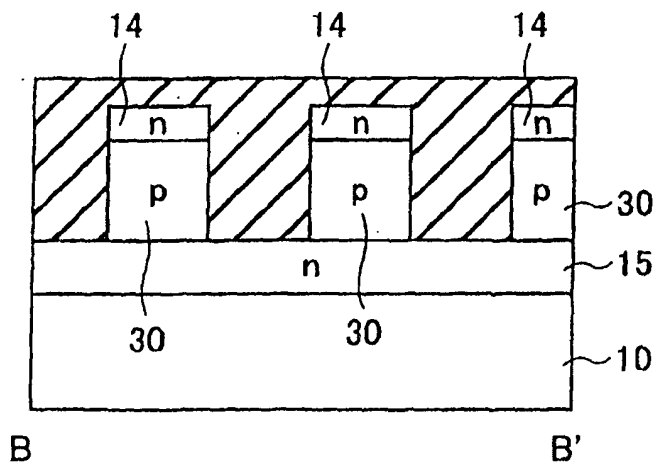


图 54A

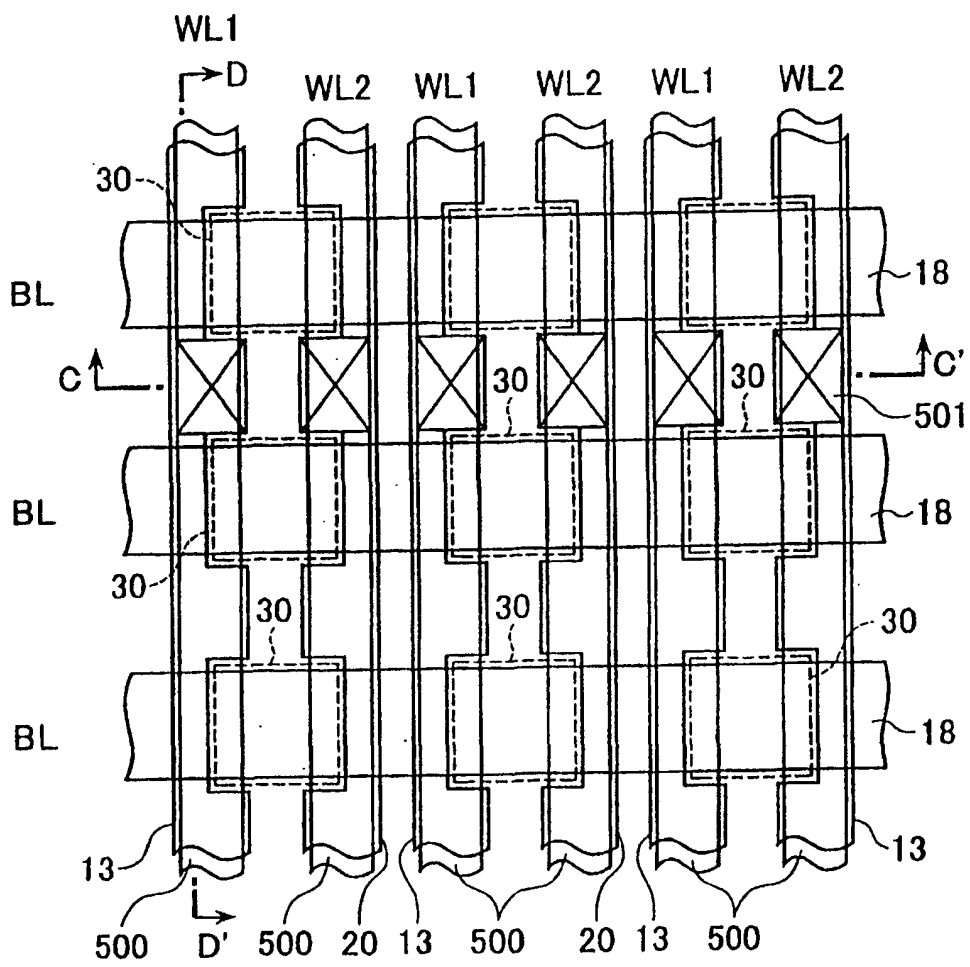


图 54B

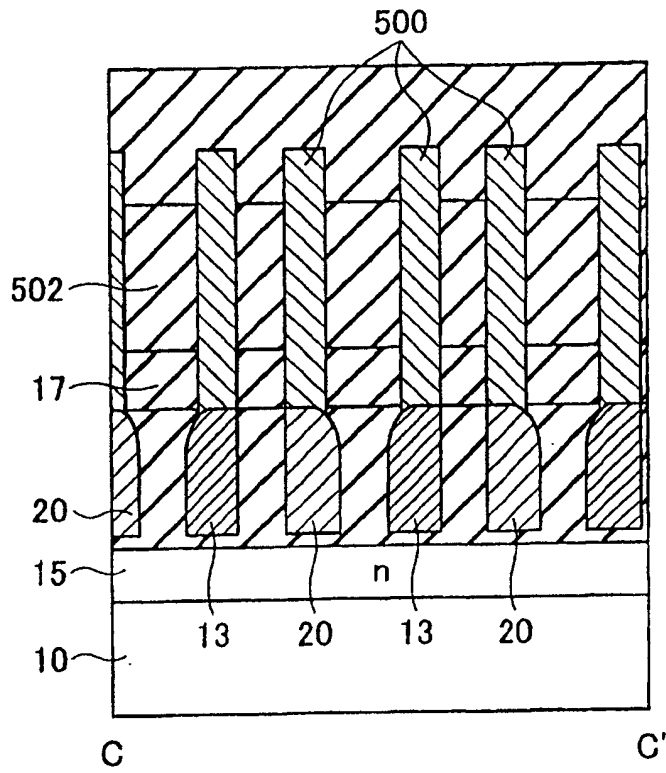


图 54C

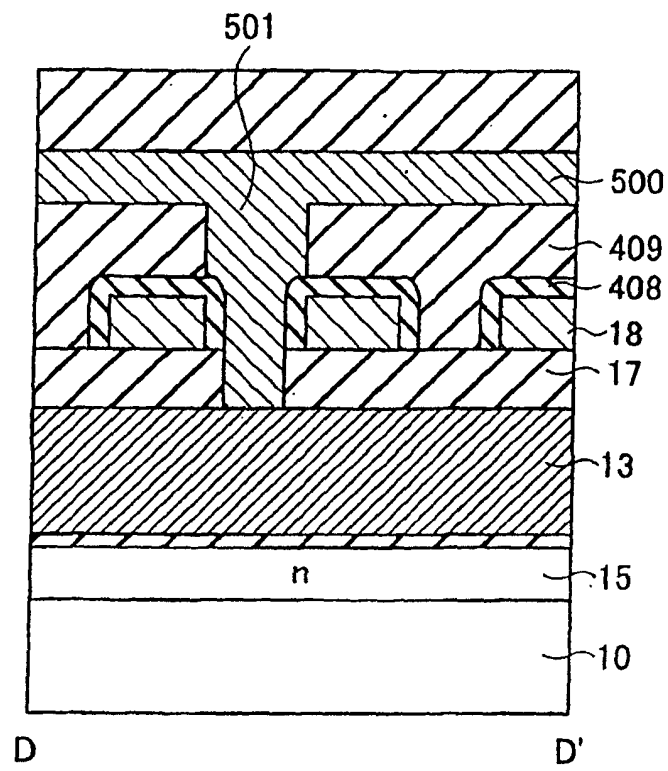


图 55A

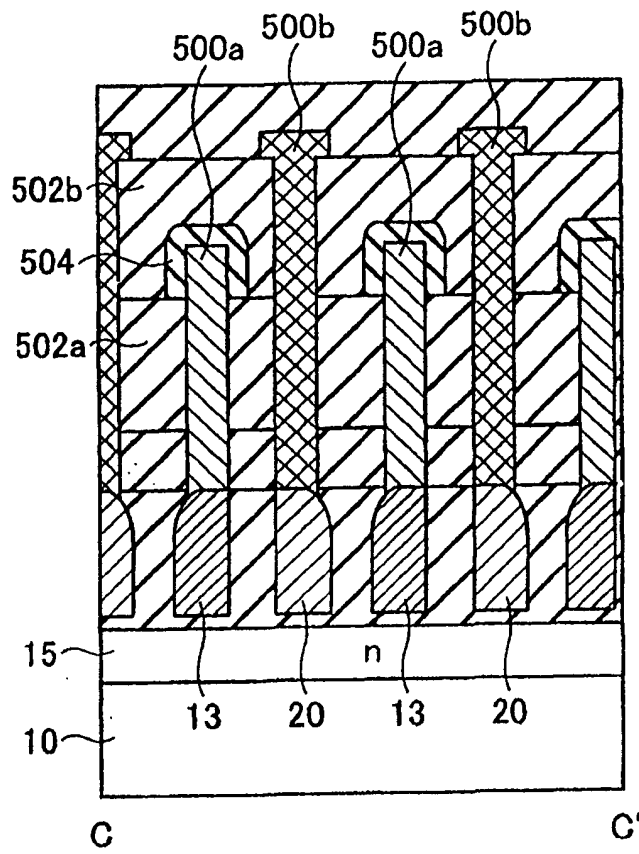


图 55B

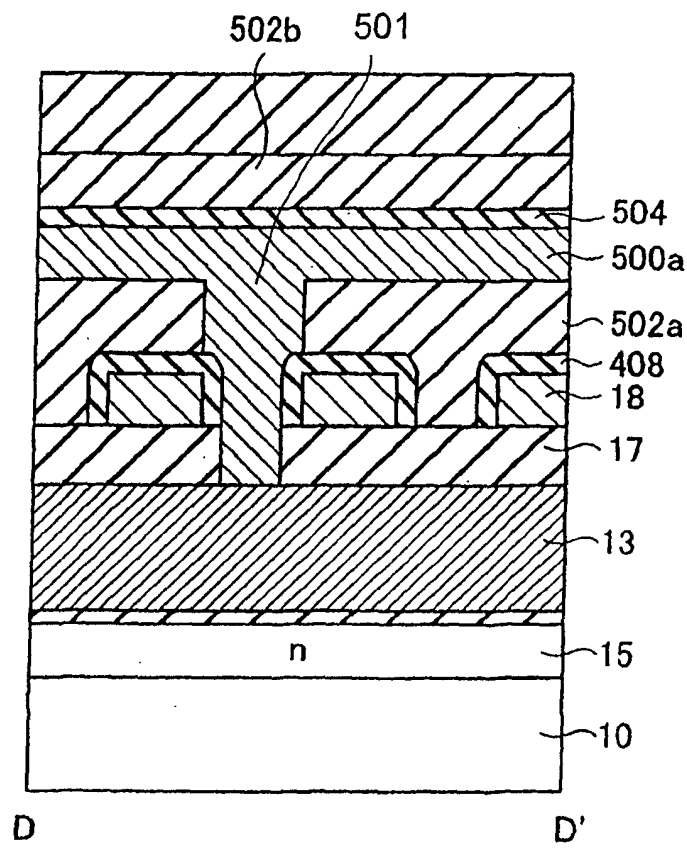


图 56

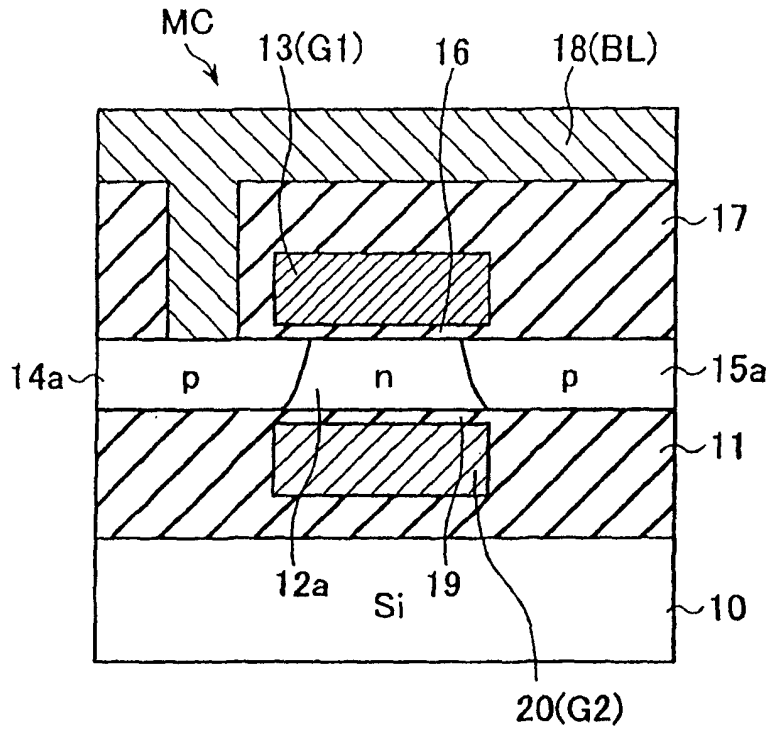


图 57

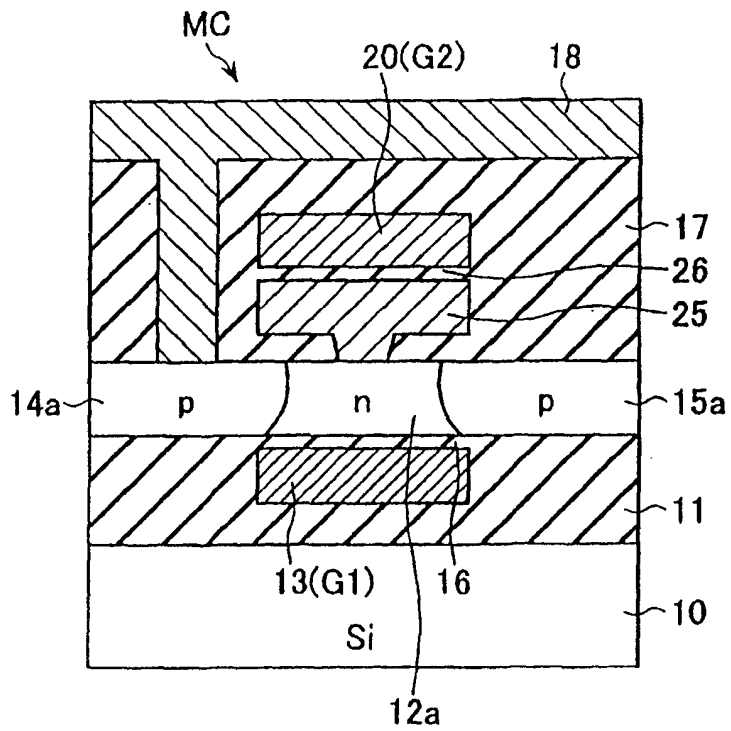


图 58

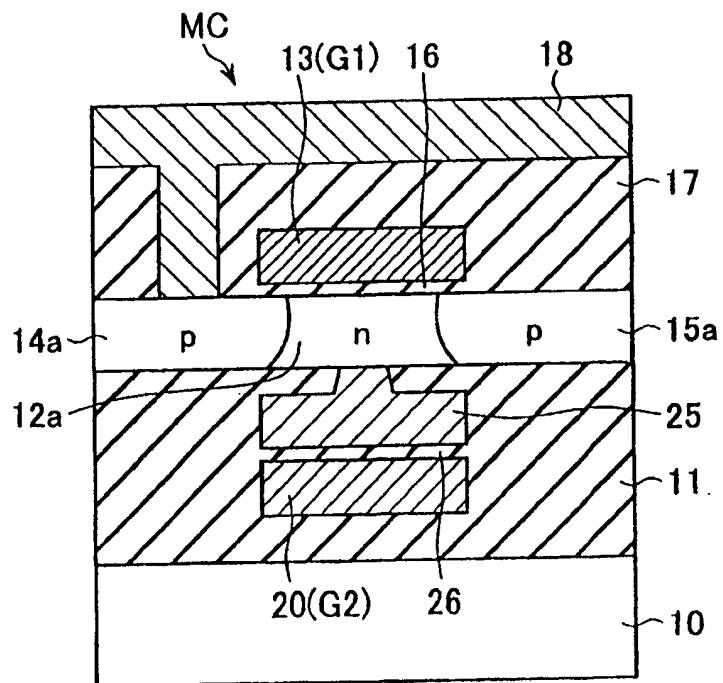


图 59A

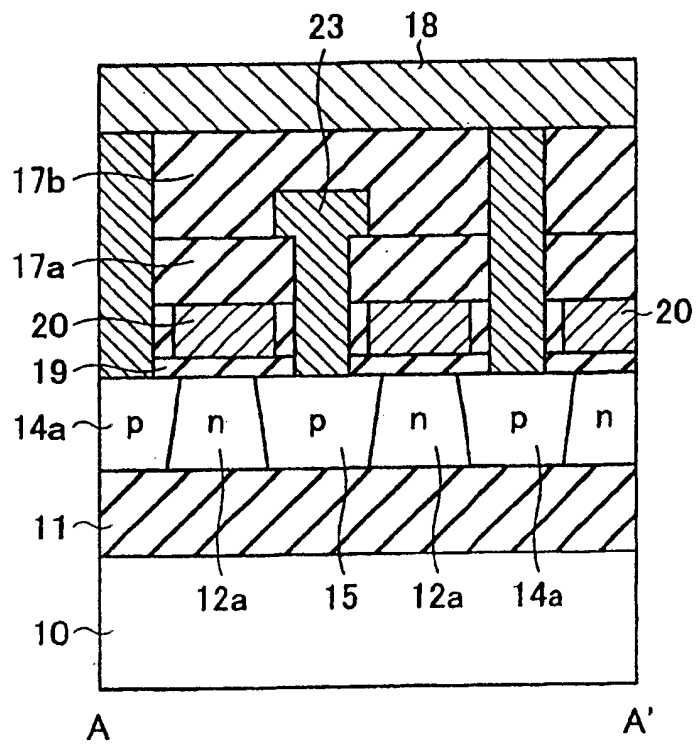


图 59B

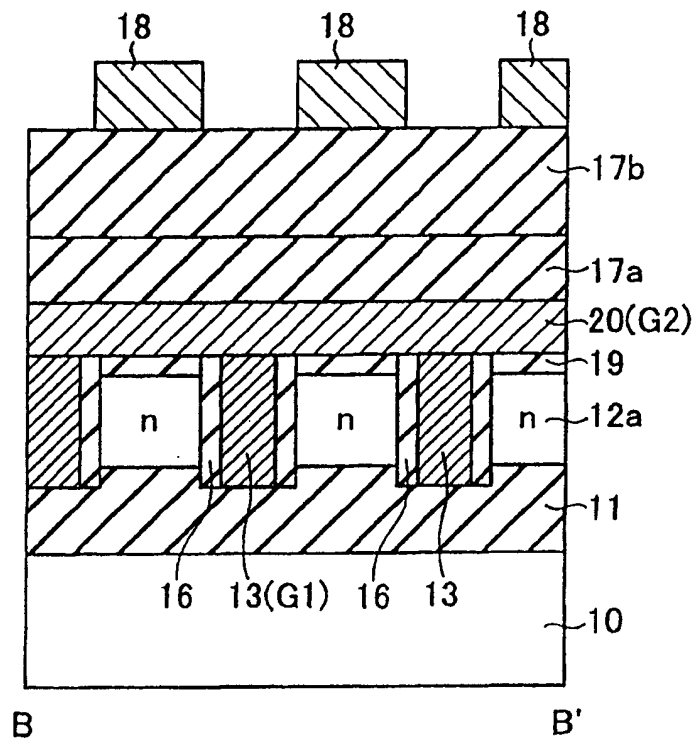


图 60A

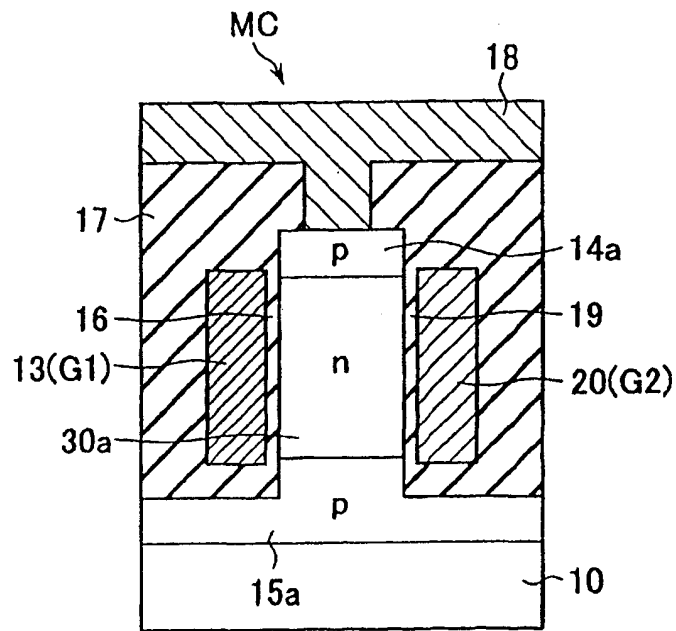


图 60B

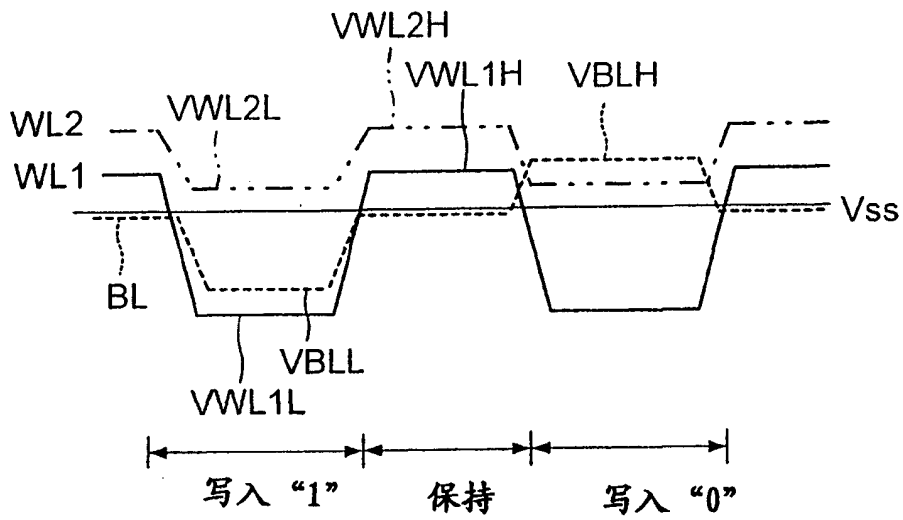


图 60C

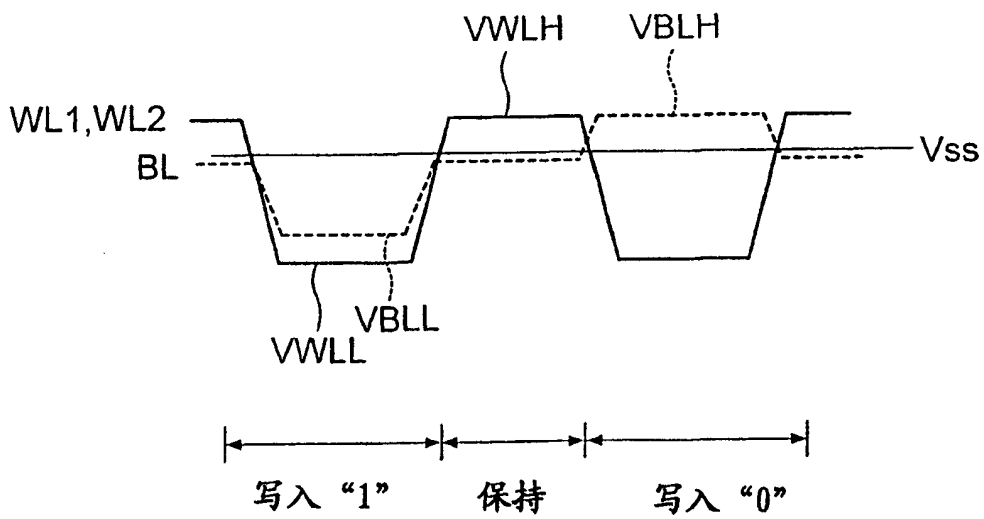


图 61

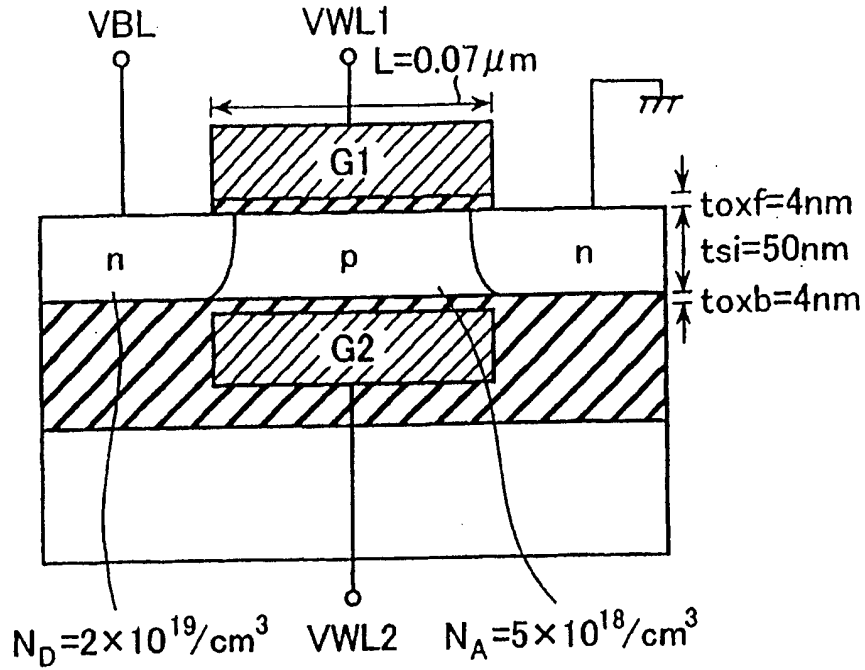


图 62

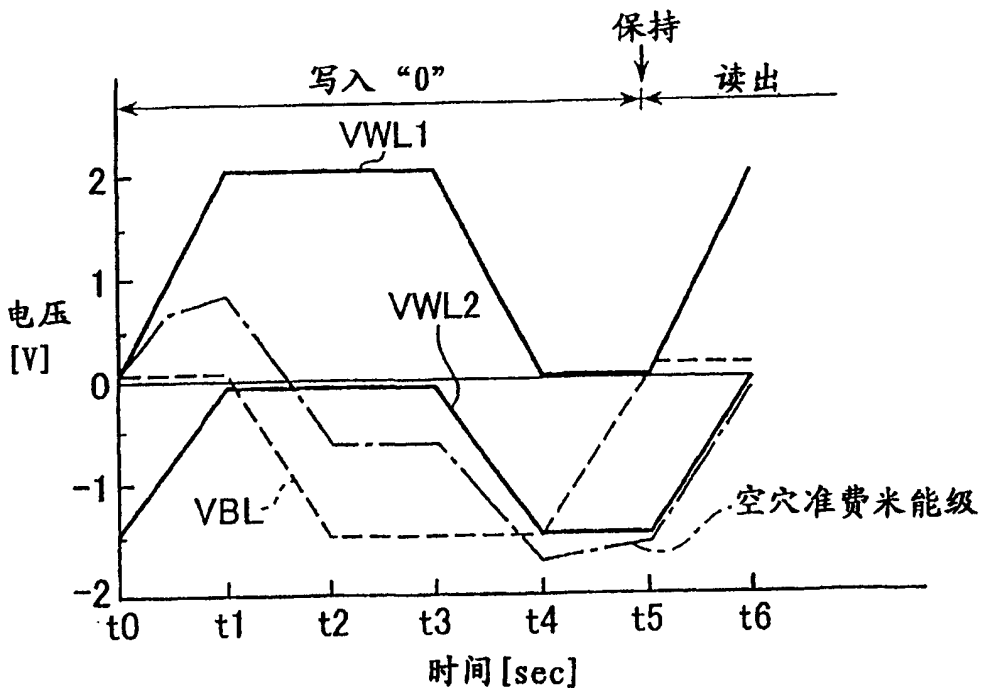


图 63

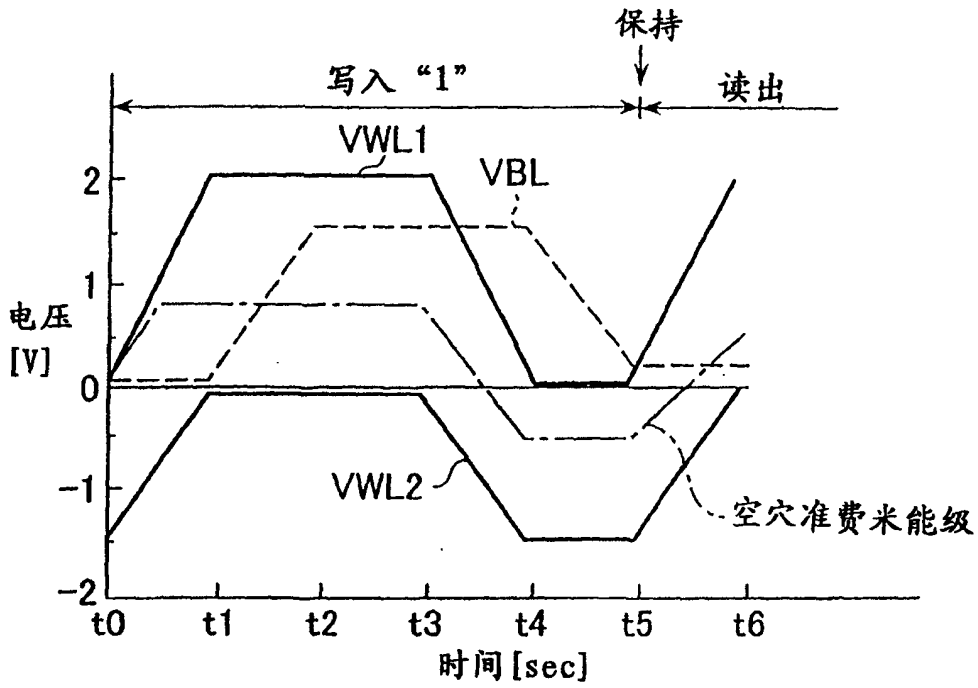


图 64

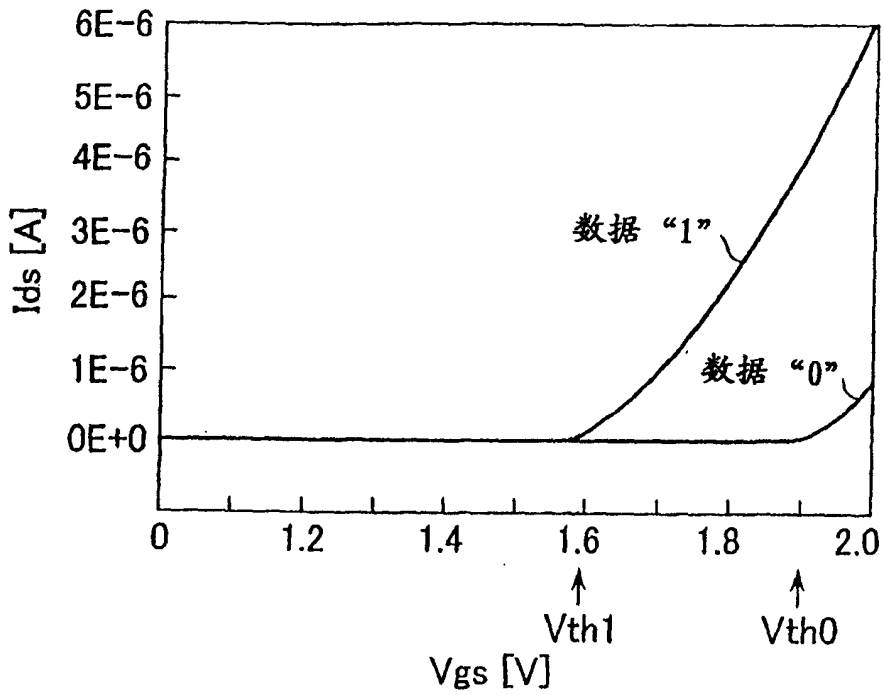


图 65

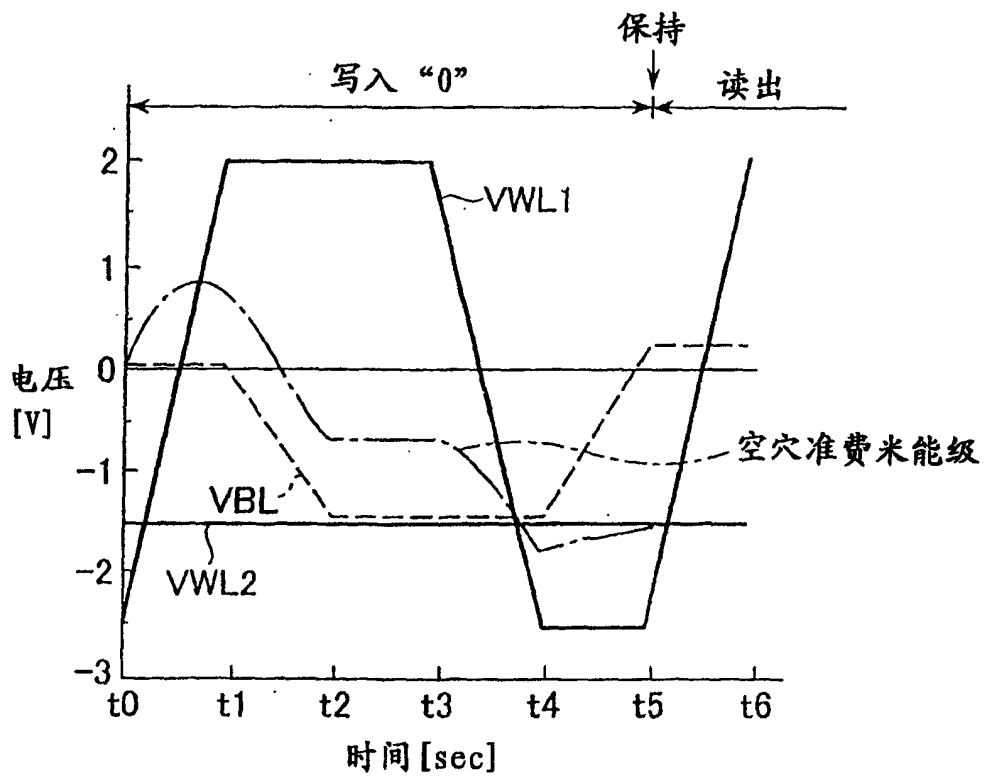


图 66

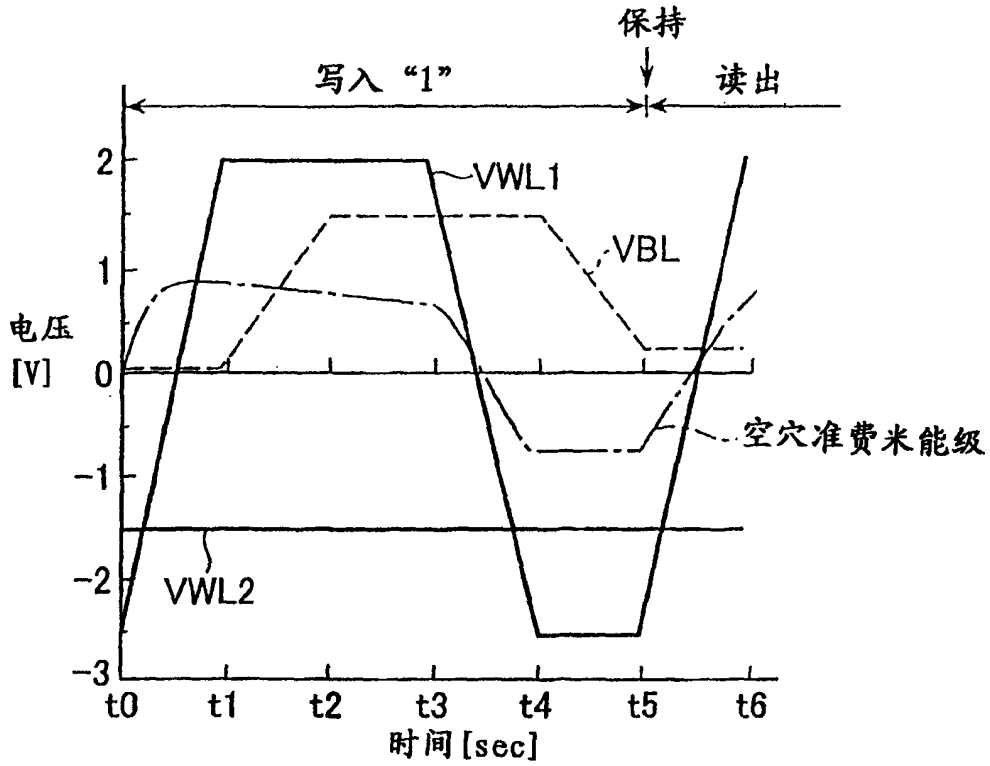


图 67

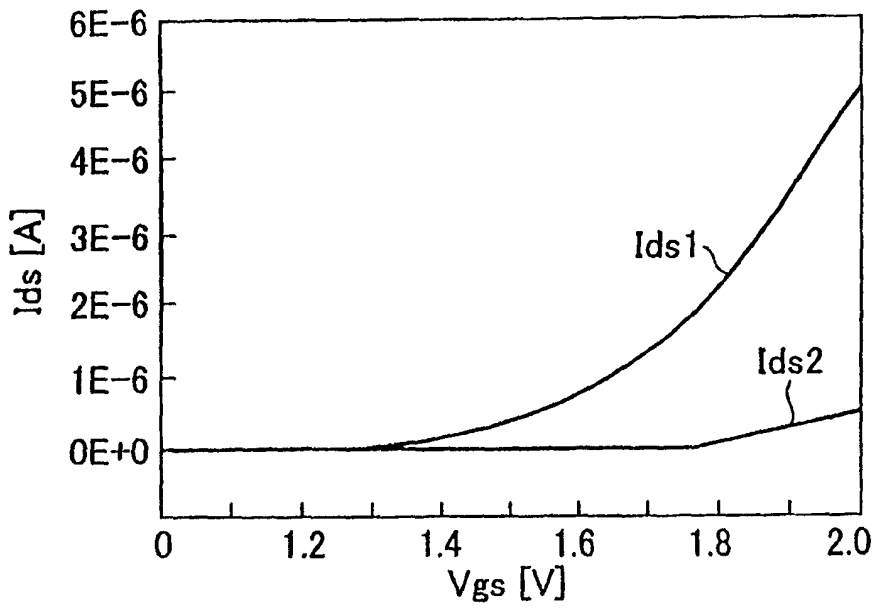


图 68A

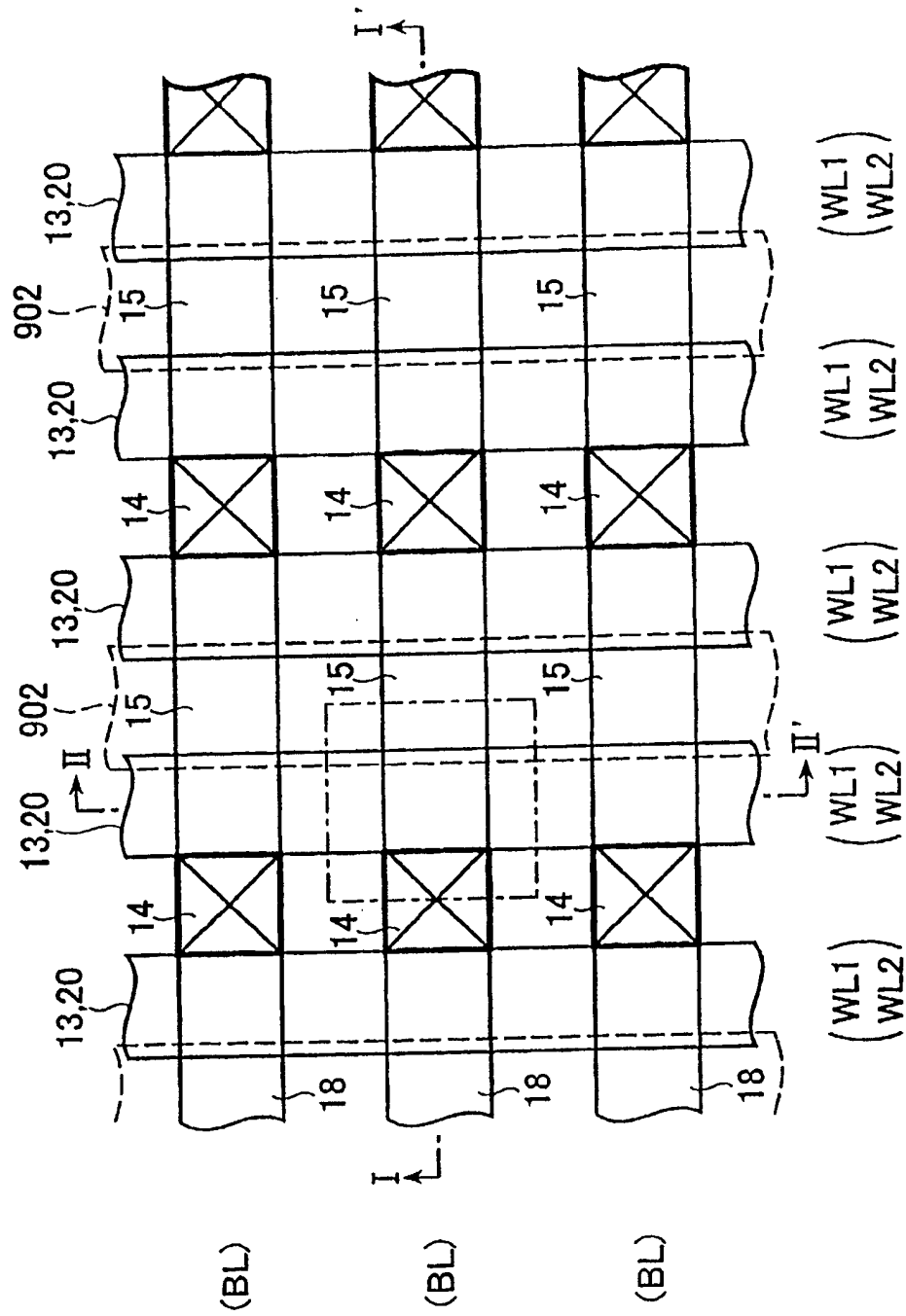


图 68B

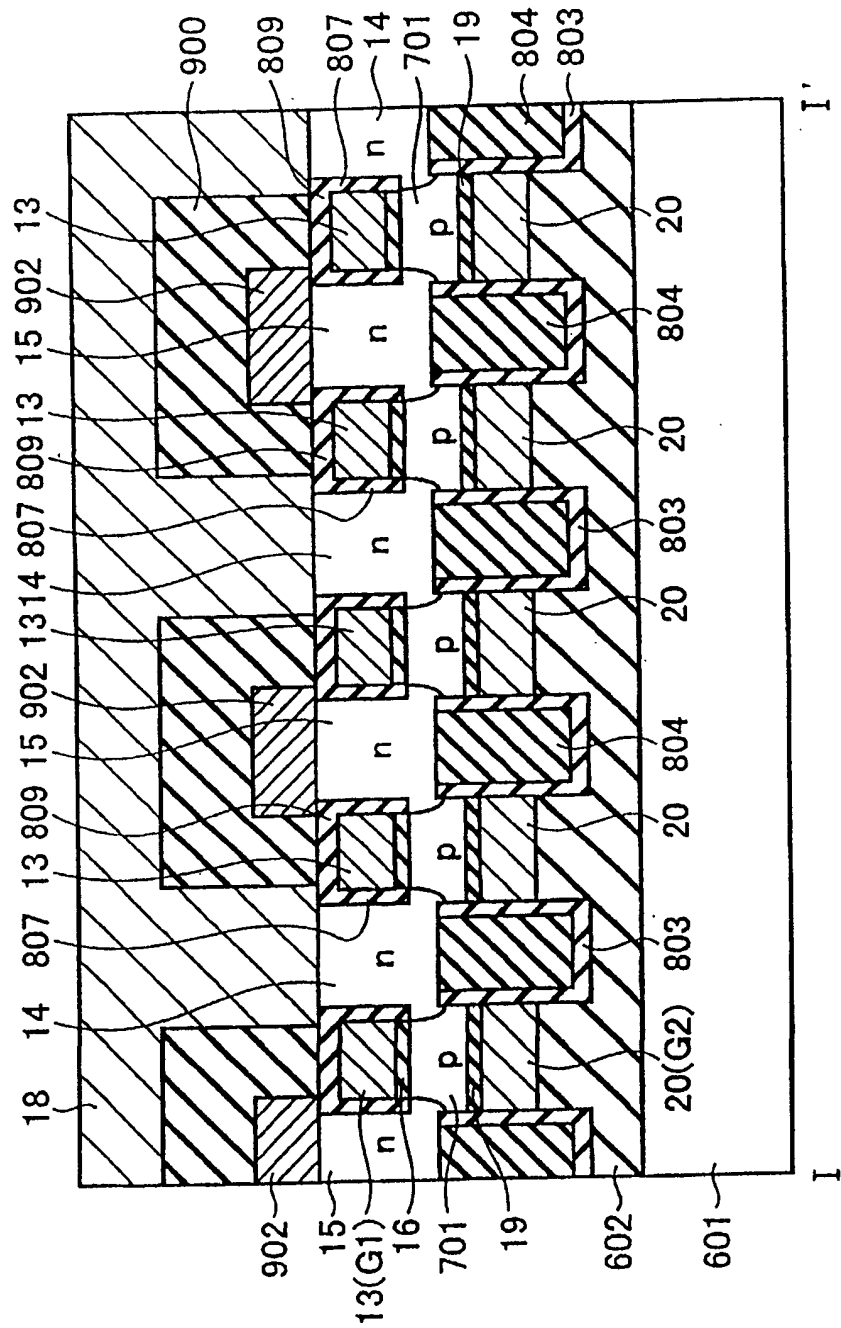


图 68C

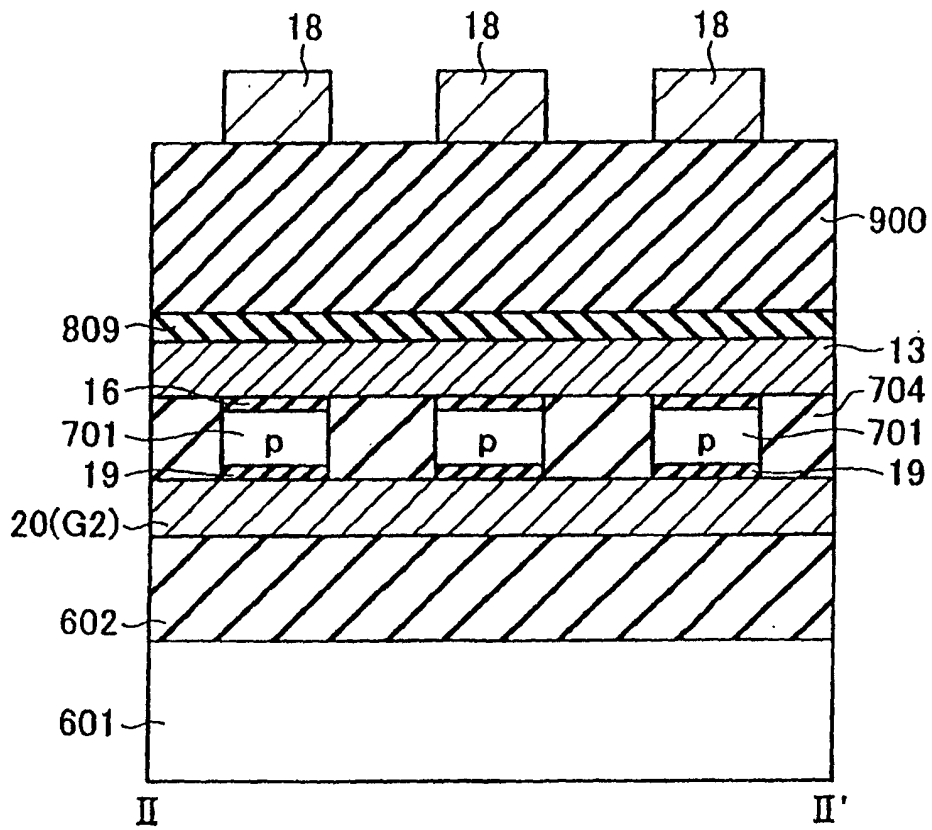


图 69

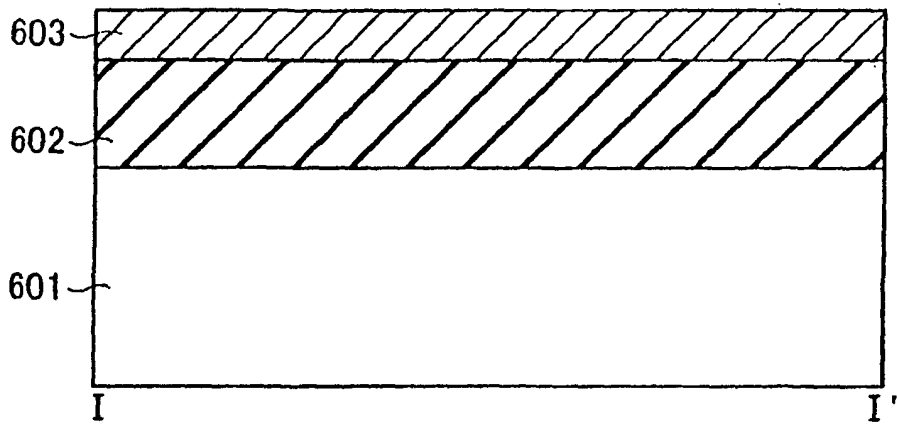


图 70

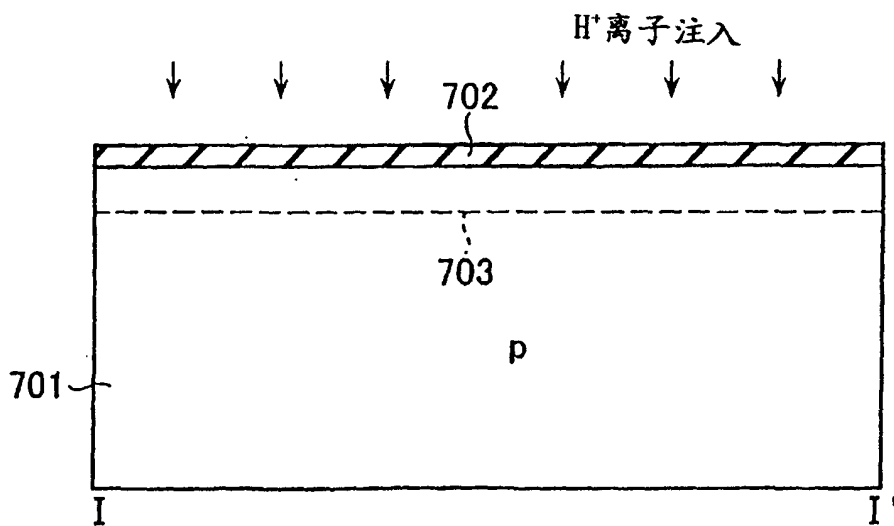


图 71

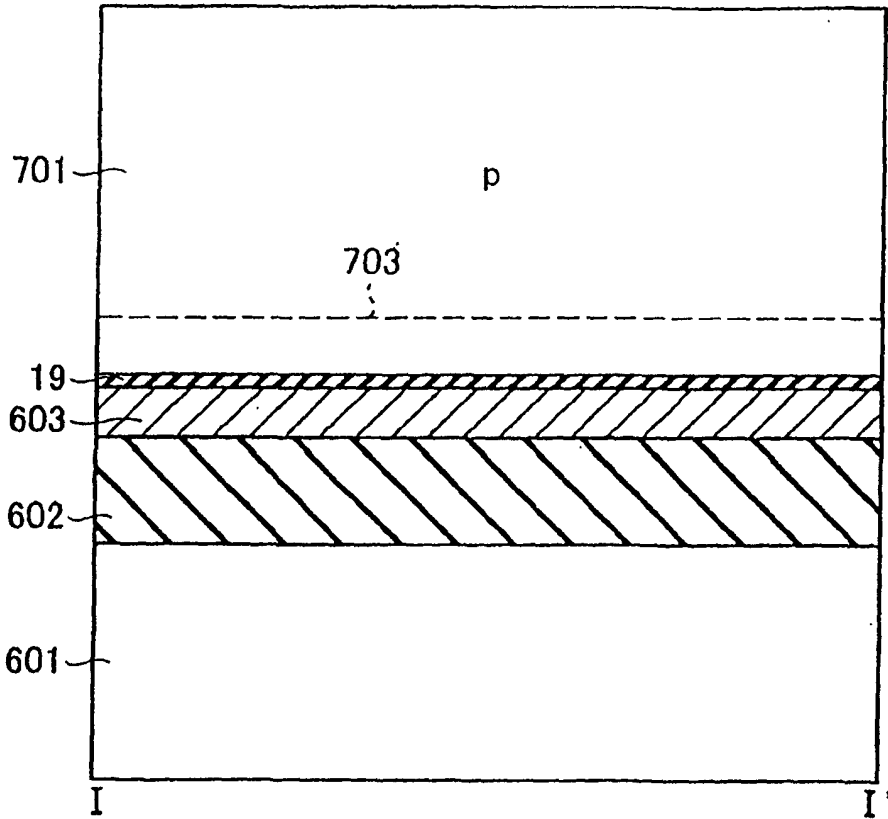


图 72

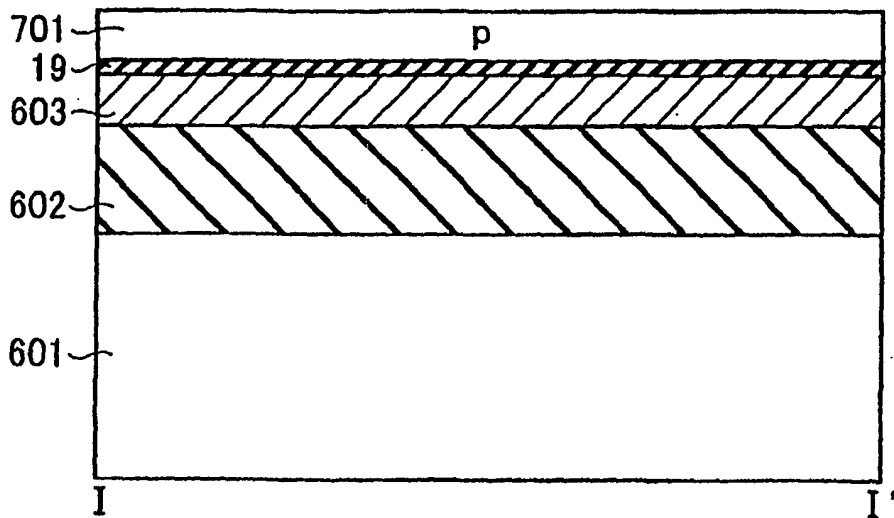


图 73A

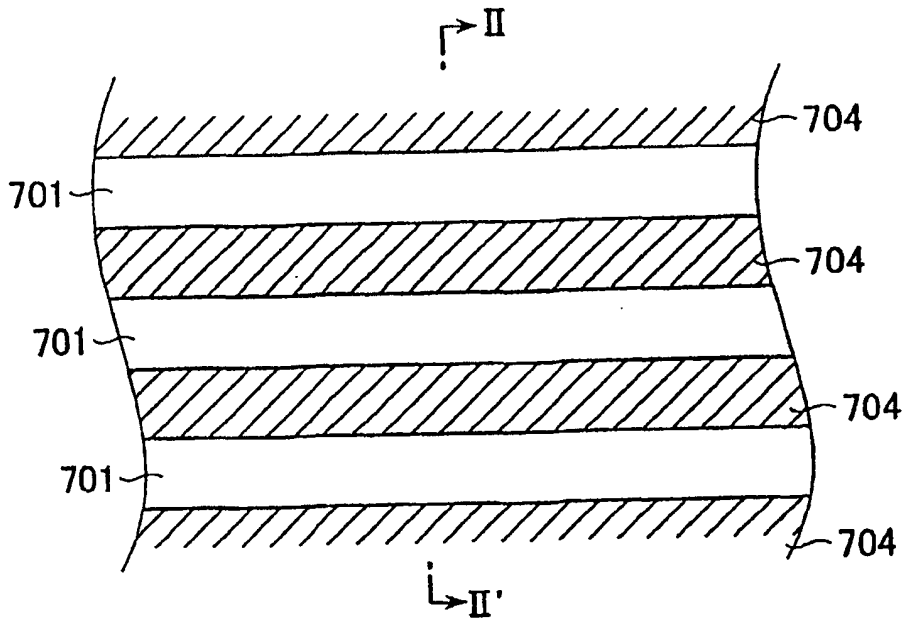


图 73B

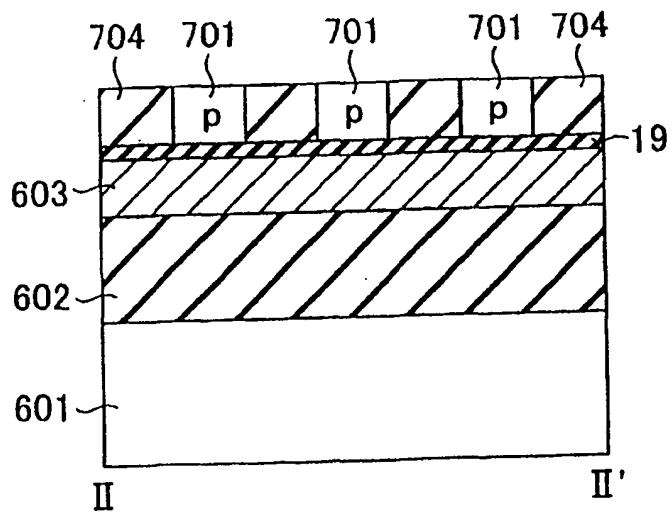


图 74

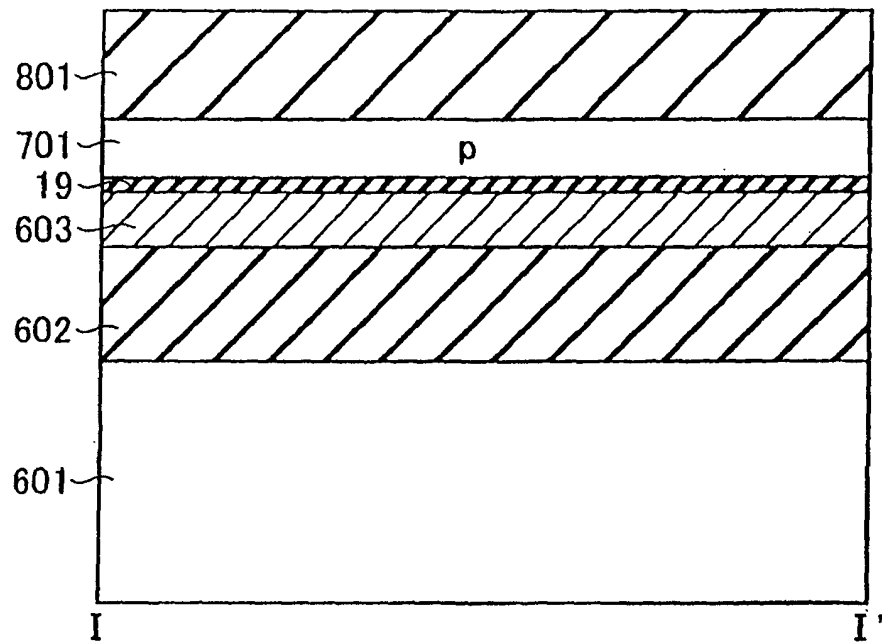


图 75

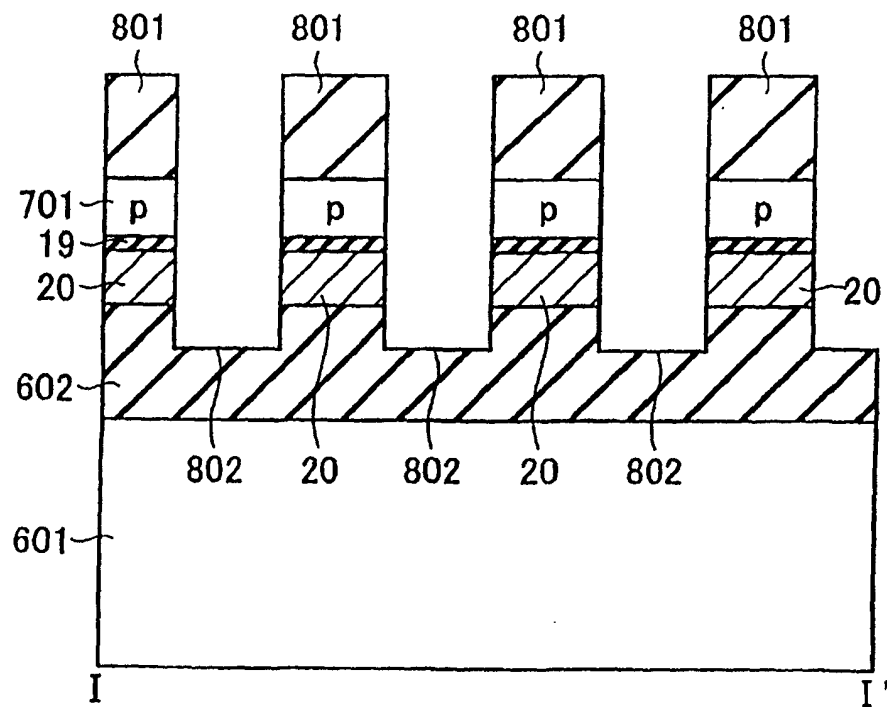


图 76

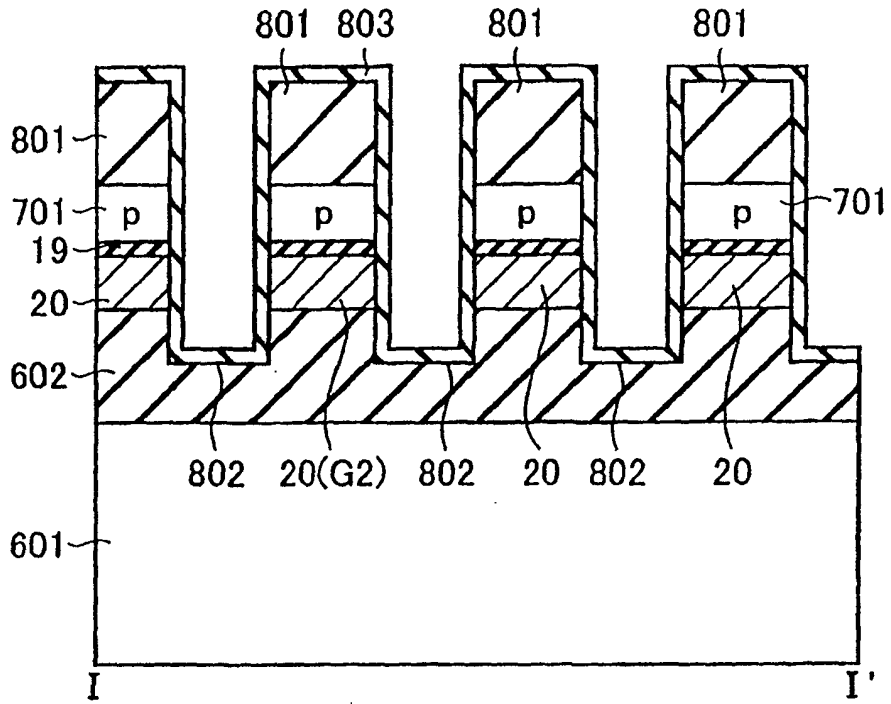


图 77

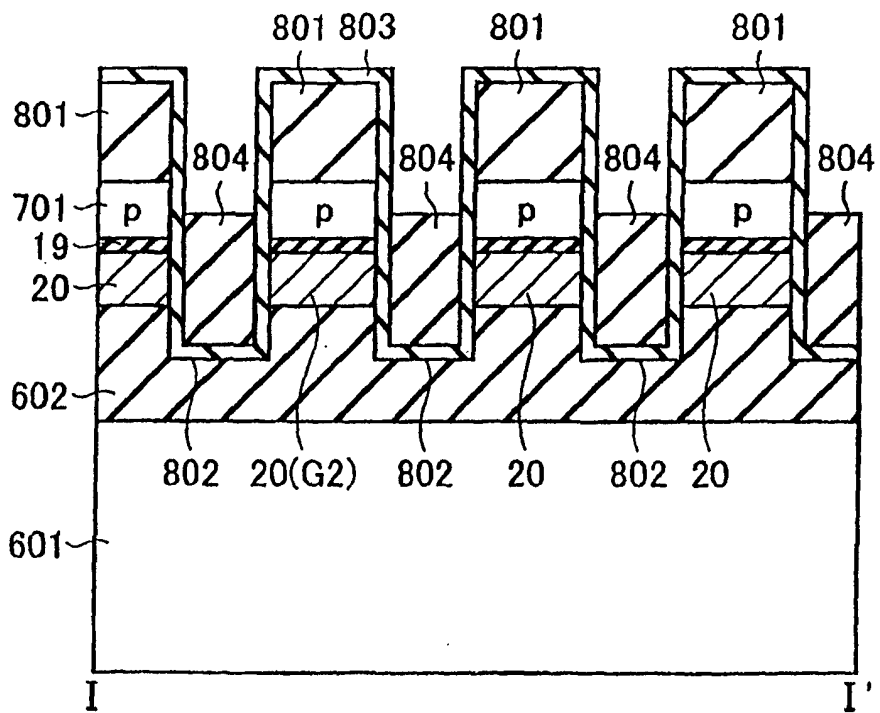


图 78

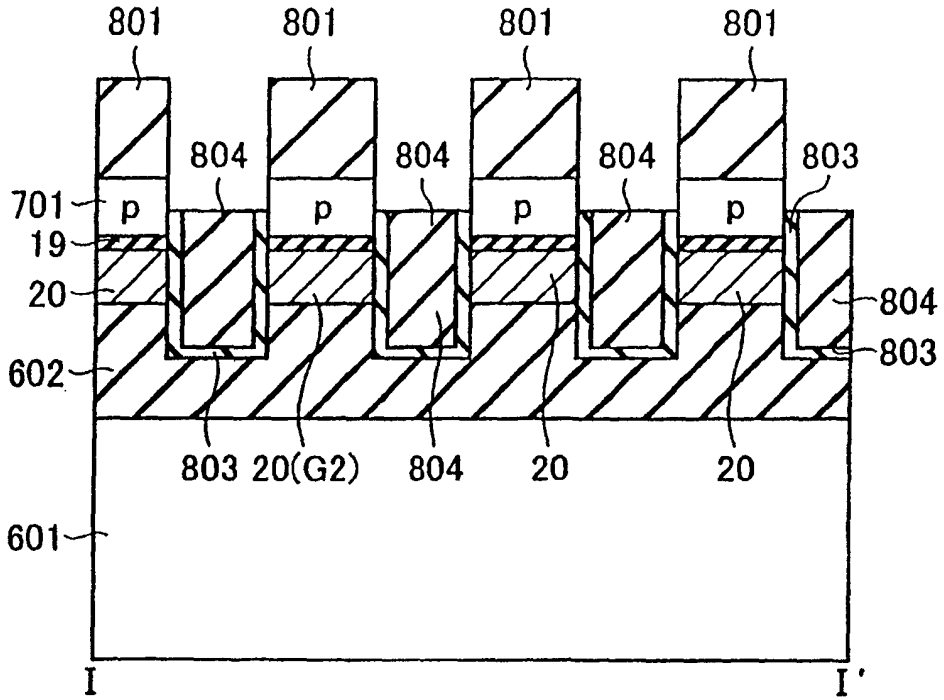


图 79

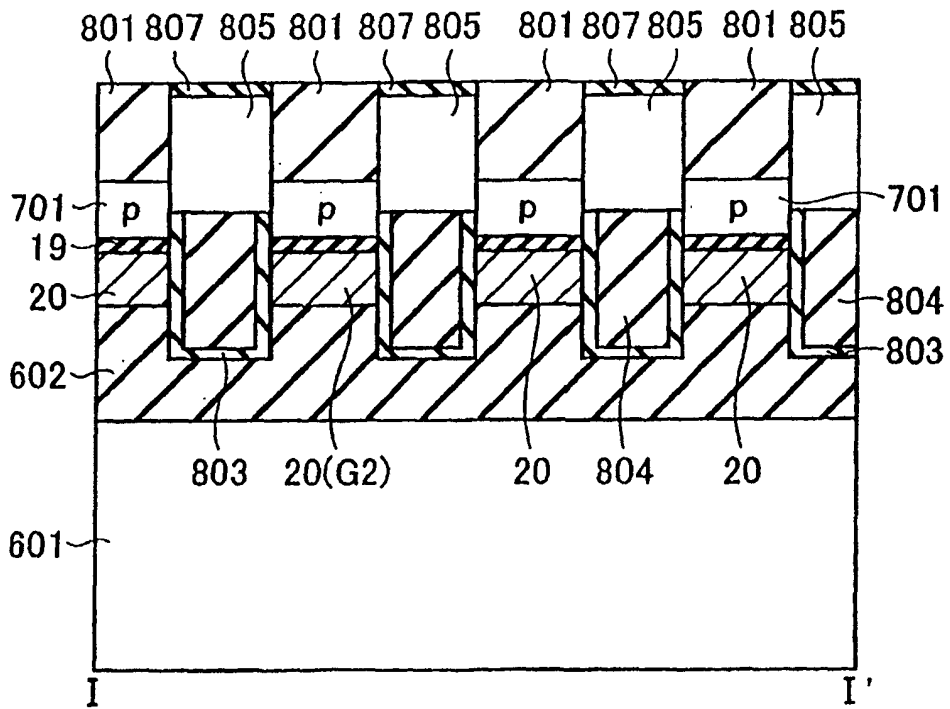


图 80

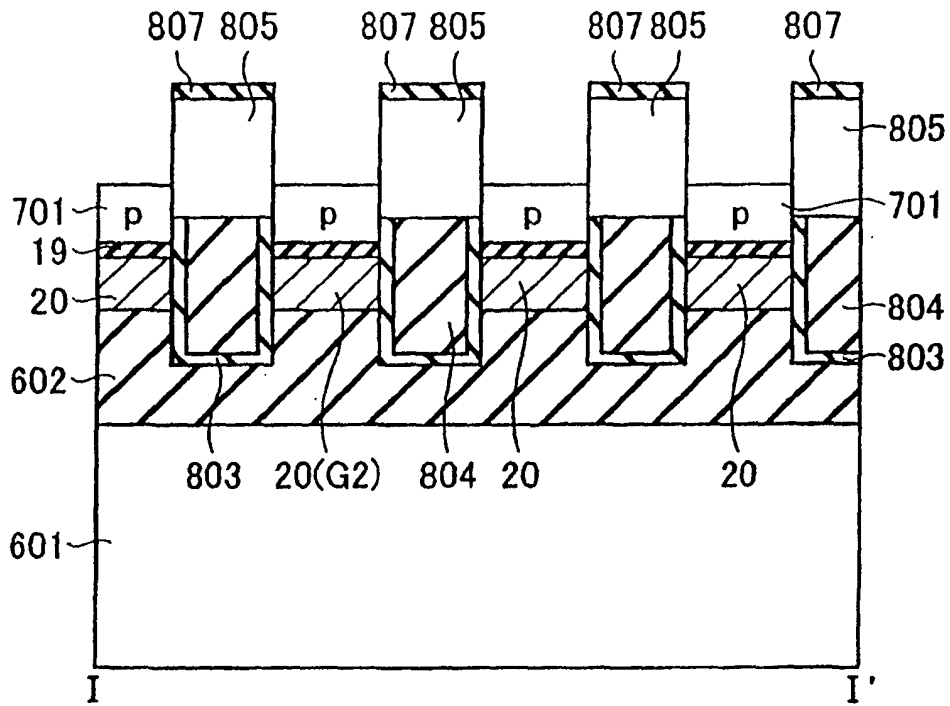


图 81

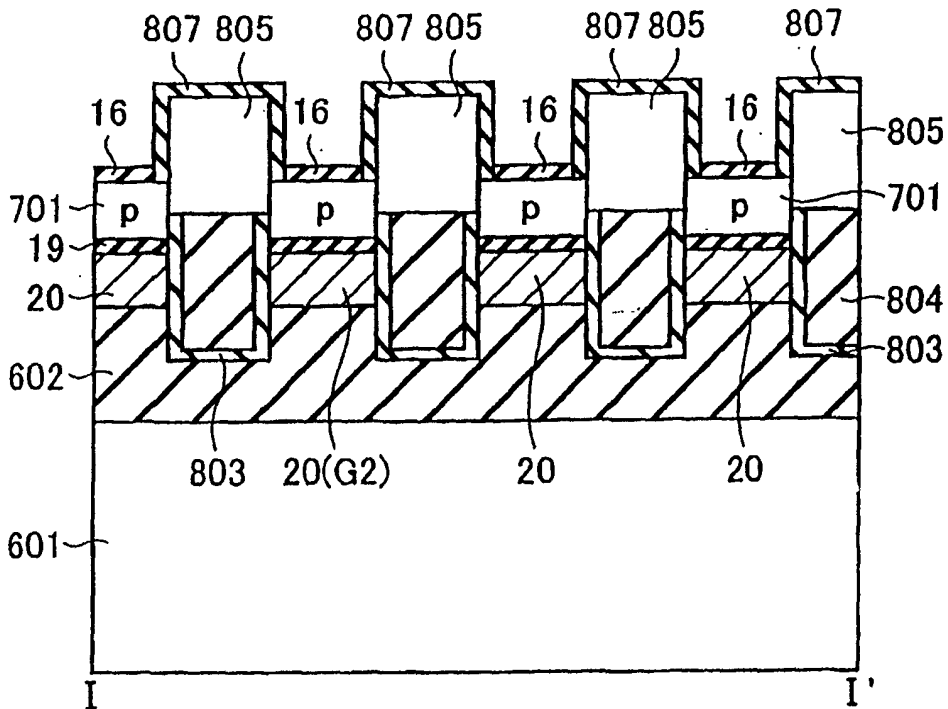


图 82

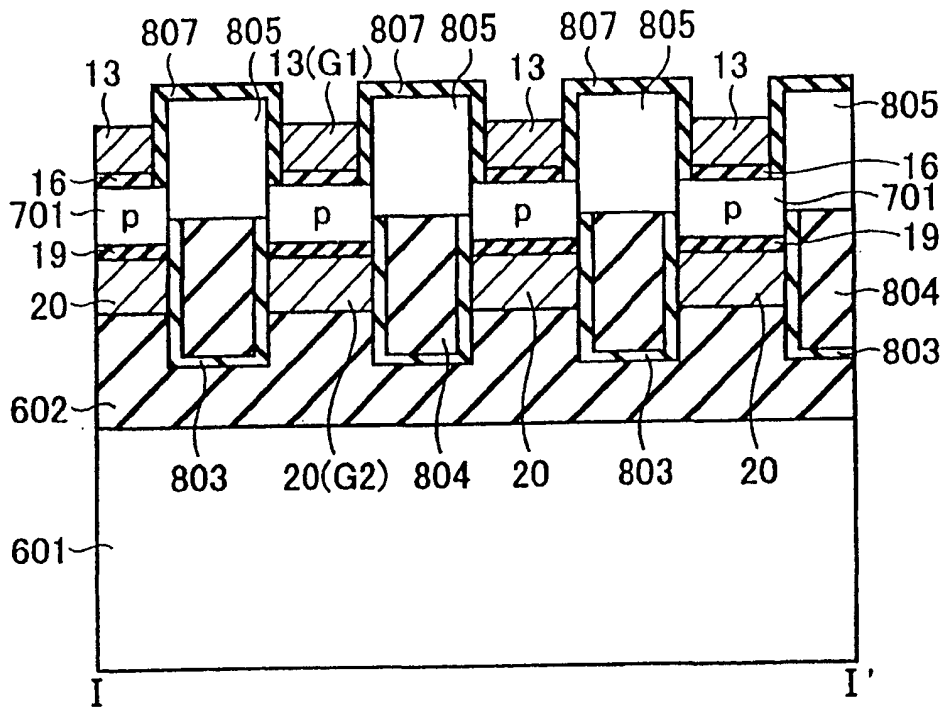


图 83

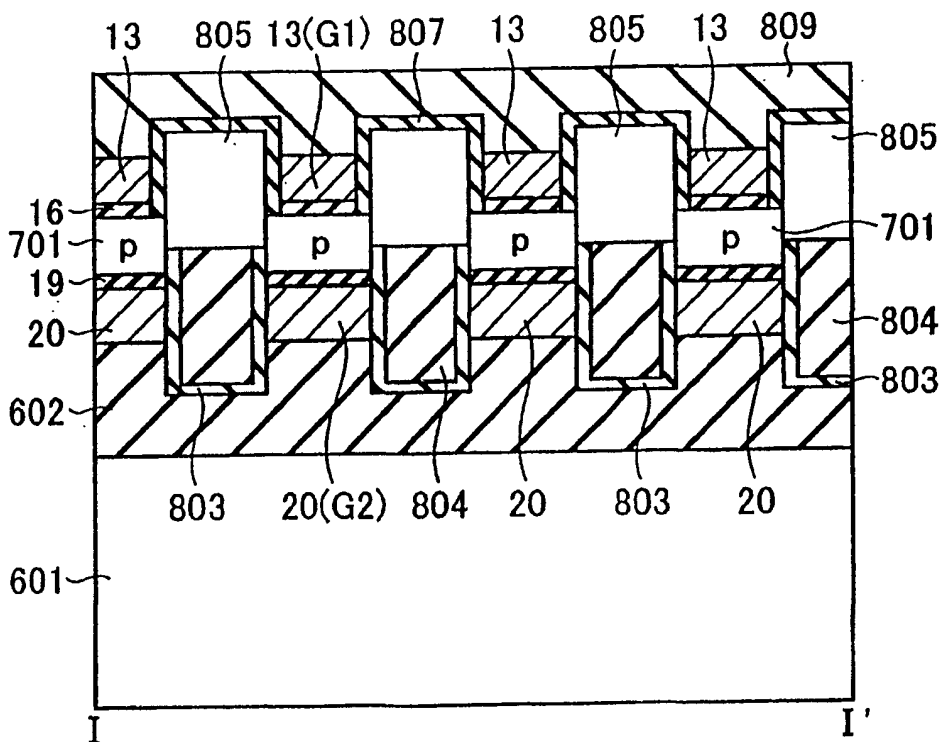


图 84A

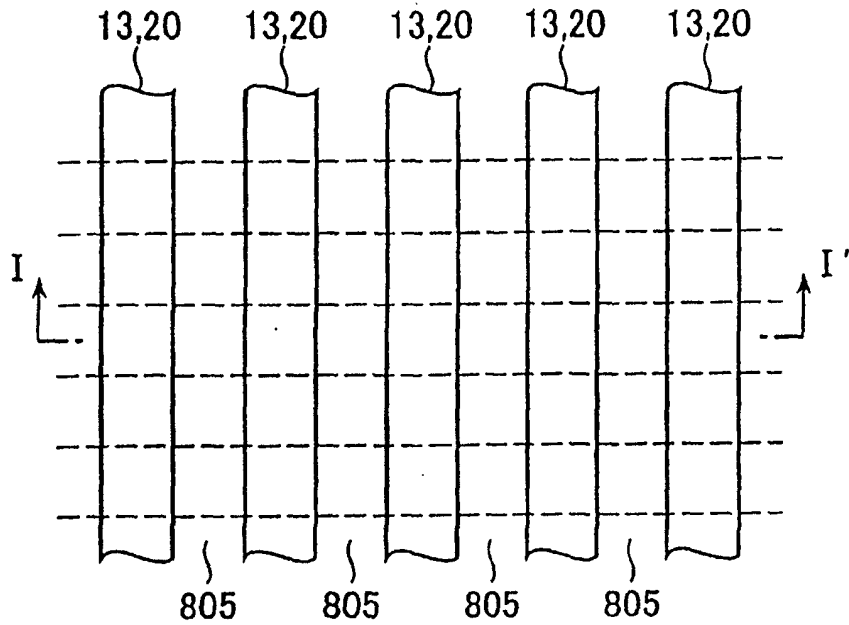


图 84B

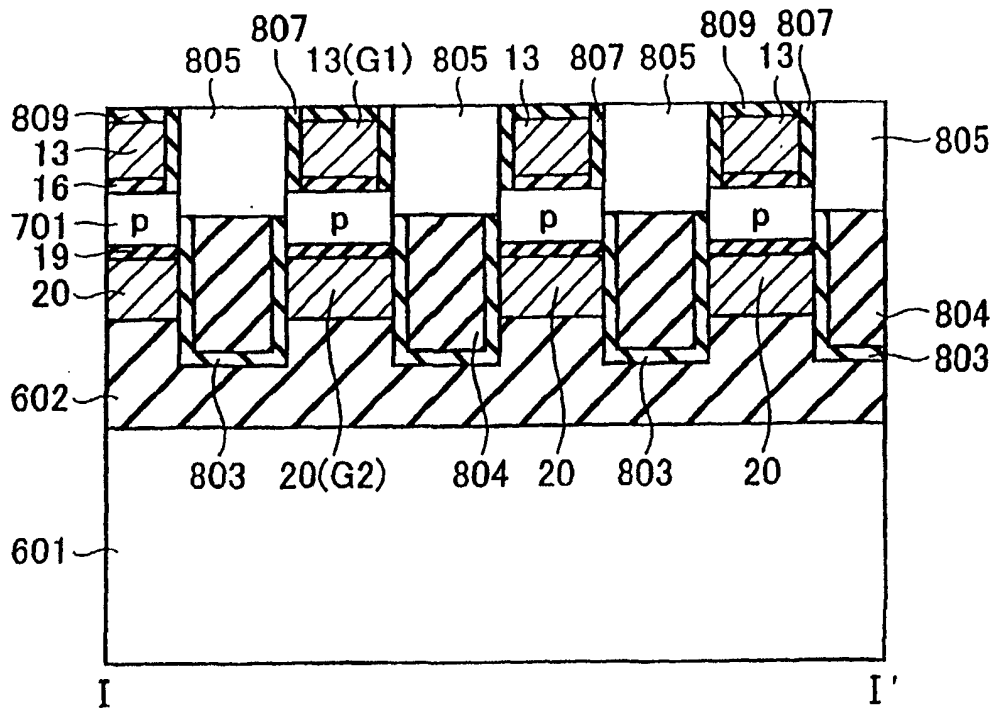


图 85

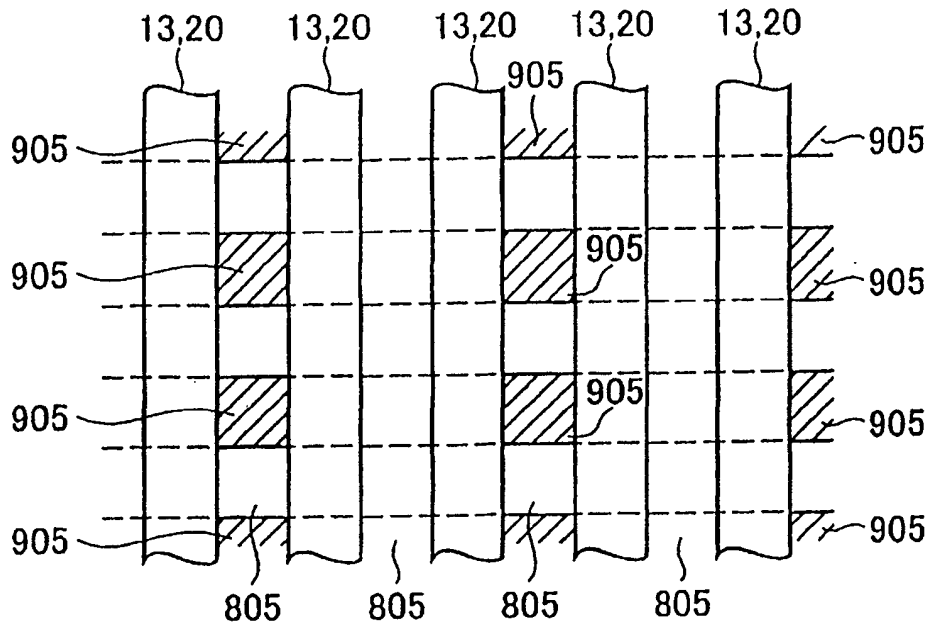


图 86

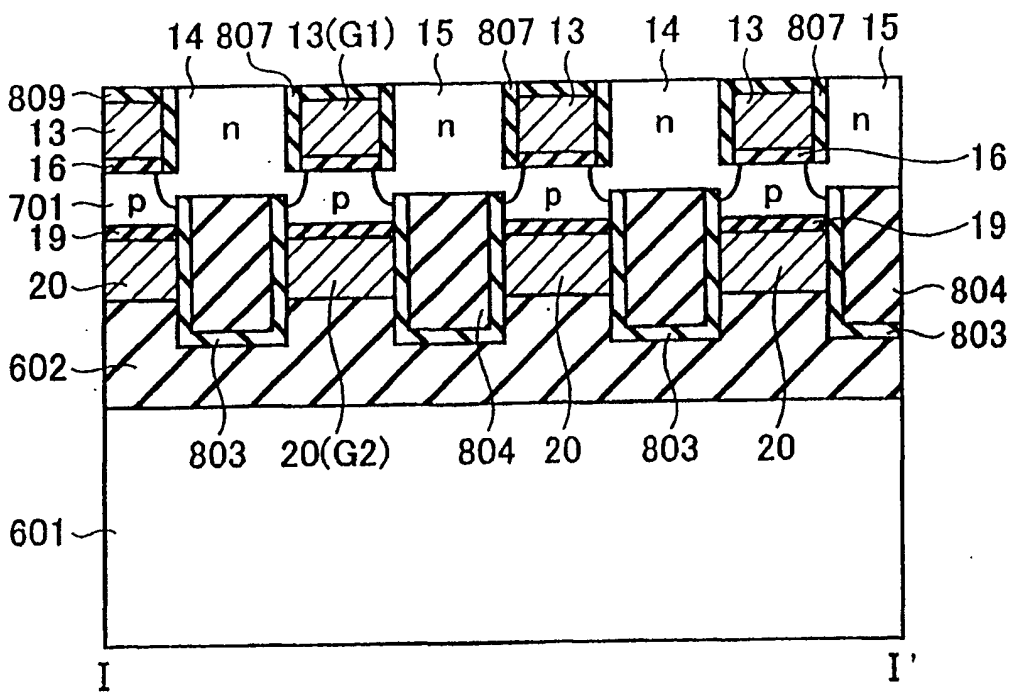


图 87

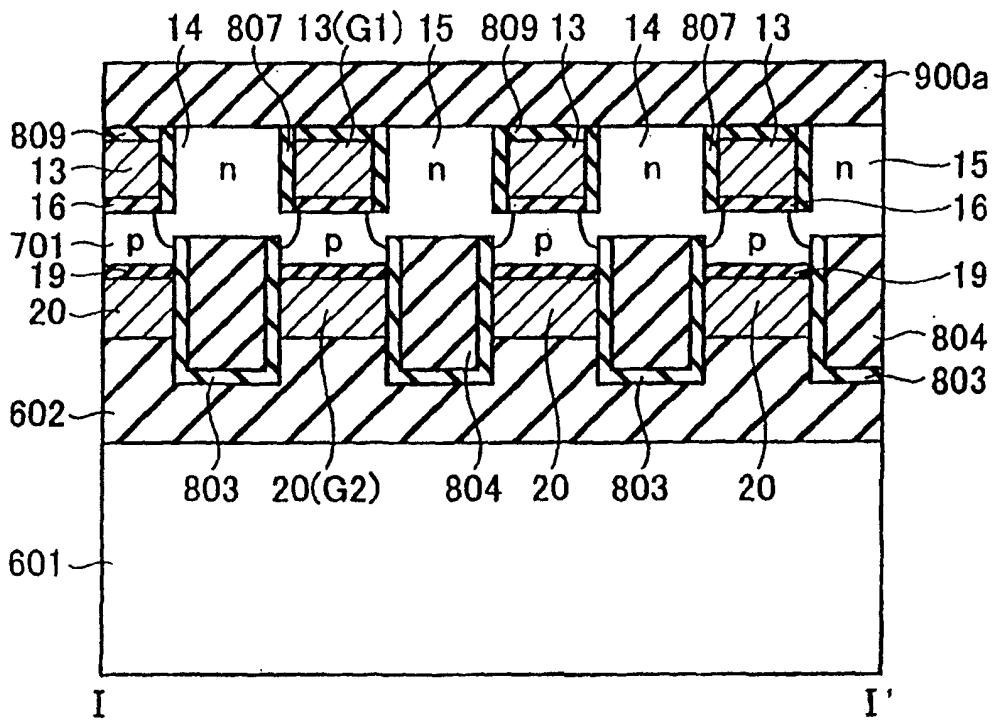


图 88

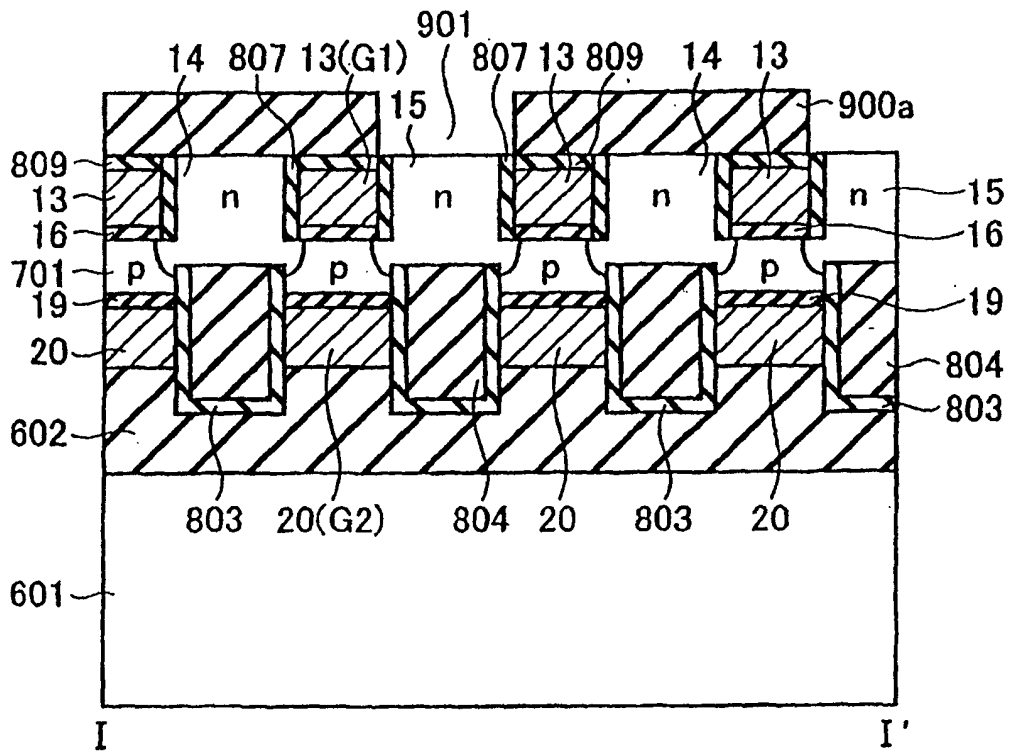


图 89

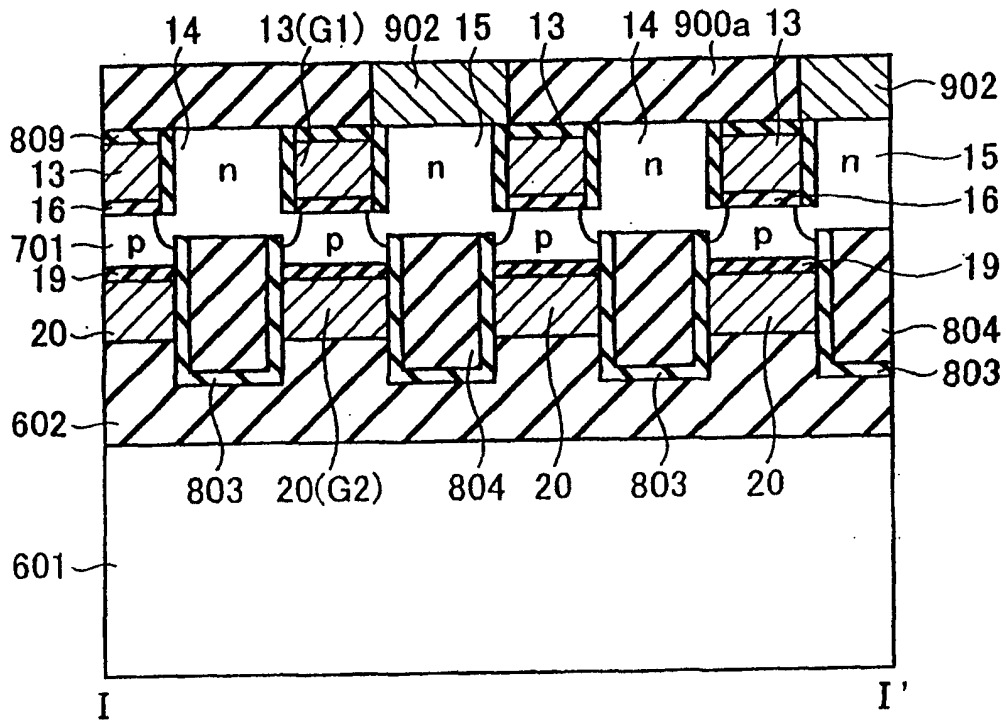


图 90

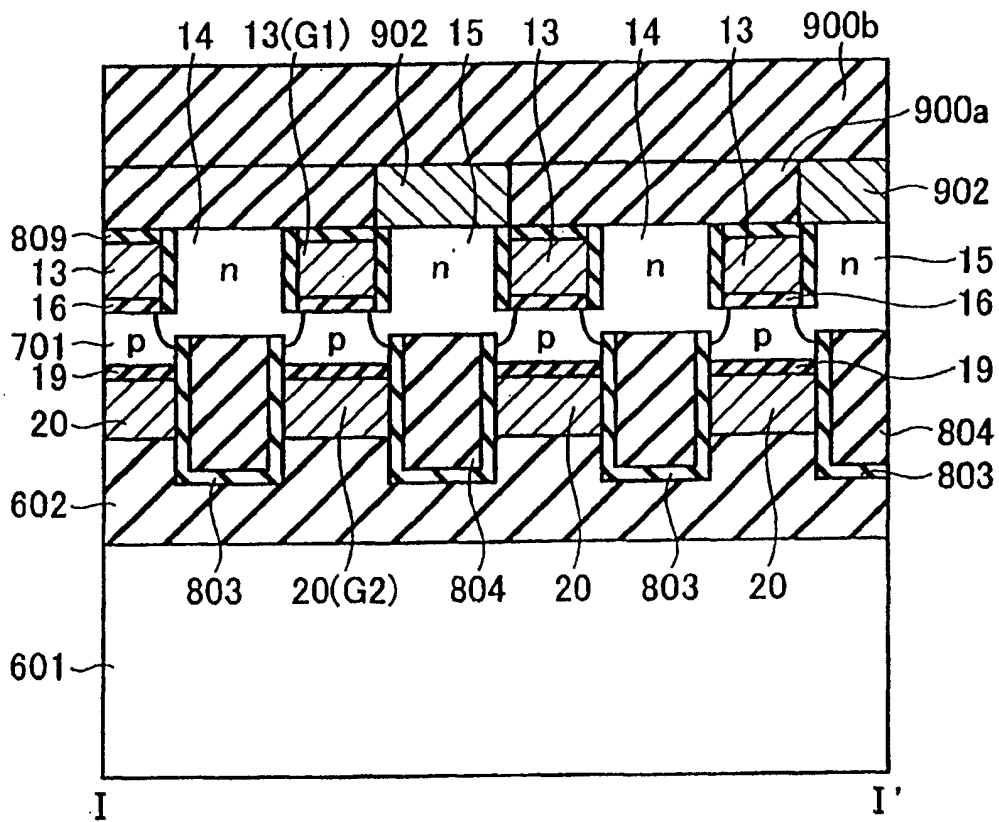


图 91

