



(12)发明专利

(10)授权公告号 CN 104167195 B

(45)授权公告日 2016.08.17

(21)申请号 201410424587.9

CN 103208251 A, 2013.07.17, 全文.

(22)申请日 2014.08.26

CN 103761944 A, 2014.04.30, 全文.

(73)专利权人 昆山龙腾光电有限公司

审查员 罗朋

地址 215301 江苏省苏州市昆山市龙腾路1号

(72)发明人 苏子芳 陈延青 朱健 张颀

(74)专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 蔡光仟

(51) Int. Cl.

G09G 3/36(2006.01)

(56)对比文件

CN 1941063 A, 2007.04.04, 说明书第14页第3段至第17页第1段, 图1、4.

JP 特开2008-250224 A, 2008.10.16, 全文.

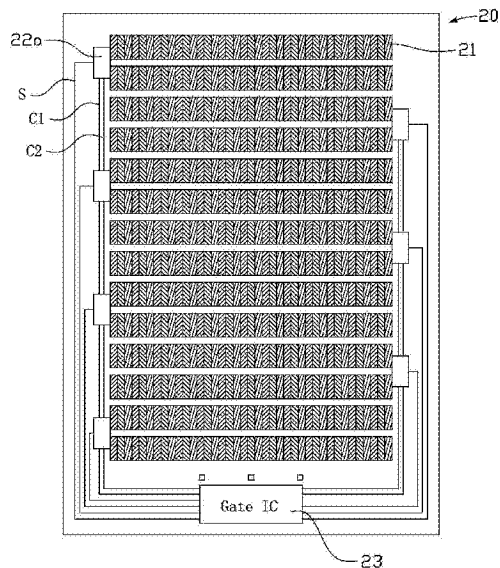
权利要求书2页 说明书13页 附图11页

(54)发明名称

栅极驱动电路单元及其显示面板

(57)摘要

本发明提供一种栅极驱动电路单元及其显示面板,其中一实施例的栅极驱动电路单元包括扫描输入线、第一扫描控制线、第二扫描控制线、第一晶体管、第二晶体管、第三晶体管和第四晶体管,扫描输入线分别与第一晶体管的源极和第三晶体管的源极连接,第一扫描控制线分别与第一晶体管的栅极、第二晶体管的漏极和第四晶体管的栅极连接,第二扫描控制线分别与第二晶体管的栅极、第三晶体管的栅极和第四晶体管的漏极连接,第一晶体管的漏极和第三晶体管的源极均与相邻两条扫描线中的第一扫描线连接,第二晶体管的漏极和第四晶体管的源极均与相邻两条扫描线中的第二扫描线连接。由于每个栅极驱动电路单元能控制两条以上的扫描线,可实现显示面板的窄边框。



1. 一种栅极驱动电路单元,其特征在于:包括扫描输入线、第一扫描控制线、第二扫描控制线、第一晶体管、第二晶体管、第三晶体管和第四晶体管,所述扫描输入线分别与所述第一晶体管的源极和所述第三晶体管的源极连接,所述第一扫描控制线分别与所述第一晶体管的栅极、第二晶体管的漏极和第四晶体管的栅极连接,所述第二扫描控制线分别与所述第二晶体管的栅极、第三晶体管的栅极和第四晶体管的漏极连接,所述第一晶体管的漏极和所述第二晶体管的源极均与相邻两条扫描线中的第一扫描线连接,所述第三晶体管的漏极和所述第四晶体管的源极均与该相邻两条扫描线中的第二扫描线连接,所述第一扫描控制线用于接收第一时钟信号,所述第二扫描控制线用于接收第二时钟信号,所述扫描输入线用于接收一脉冲驱动信号,所述扫描输入线的脉冲驱动信号处于高电平的时间为扫描线在一个扫描周期内被充入高电平的时间的两倍,所述第一时钟信号在一个周期内处于高电平或低电平的时间等于扫描线在一个扫描周期内被充入高电平的时间,所述第二时钟信号与所述第一时钟信号相同但比所述第一时钟信号滞后,滞后的时间相当于所述第一时钟信号的1/2个周期。

2. 一种栅极驱动电路单元,其特征在于:包括扫描输入线、第一扫描控制线、第二扫描控制线、第一晶体管、第二晶体管、第三晶体管和第四晶体管,所述扫描输入线分别与所述第一晶体管的源极、第二晶体管的栅极、第三晶体管的源极和第四晶体管的栅极连接,所述第一扫描控制线分别与所述第一晶体管的栅极和所述第二晶体管的漏极连接,所述第二扫描控制线分别与所述第三晶体管的栅极和所述第四晶体管的漏极连接,所述第一晶体管的漏极和所述第二晶体管的源极均与相邻两条扫描线中的第一扫描线连接,所述第三晶体管的漏极和所述第四晶体管的源极均与该相邻两条扫描线中的第二扫描线连接。

3. 一种栅极驱动电路单元,其特征在于:包括扫描输入线、第一扫描控制线、第二扫描控制线、第三扫描控制线、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管,所述扫描输入线分别与所述第一晶体管的源极、第三晶体管的源极和第五晶体管的源极连接,所述第一扫描控制线分别与所述第一晶体管的栅极和所述第二晶体管的漏极连接,所述第二扫描控制线分别与所述第二晶体管的栅极、第三晶体管的栅极、第四晶体管的漏极和第六晶体管的栅极连接,所述第三扫描控制线分别与所述第四晶体管的栅极、第五晶体管的栅极和第六晶体管的漏极连接,所述第一晶体管的漏极和所述第二晶体管的源极均与相邻三条扫描线中的第一扫描线连接,所述第三晶体管的漏极和所述第四晶体管的源极均与该相邻三条扫描线中的第二扫描线连接,所述第五晶体管的漏极和所述第六晶体管的源极均与该相邻三条扫描线中的第三扫描线连接。

4. 一种栅极驱动电路单元,其特征在于:包括扫描输入线、第一扫描控制线、第二扫描控制线、第三扫描控制线、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管,所述扫描输入线分别与所述第一晶体管的源极、第二晶体管的栅极、第三晶体管的源极、第四晶体管的栅极、第五晶体管的源极和第六晶体管的栅极连接,所述第一扫描控制线分别与所述第一晶体管的栅极和所述第二晶体管的漏极连接,所述第二扫描控制线分别与所述第三晶体管的栅极和所述第四晶体管的漏极连接,所述第三扫描控制线分别与所述第五晶体管的栅极和所述第六晶体管的漏极连接,所述第一晶体管的漏极和所述第二晶体管的源极均与相邻三条扫描线中的第一扫描线连接,所述第三晶体管的漏极和所述第四晶体管的源极均与该相邻三条扫描线中的第二扫描线连接,所述第五晶体管的漏极和

所述第六晶体管的源极均与该相邻三条扫描线中的第三扫描线连接。

5. 根据权利要求2所述的栅极驱动电路单元,其特征在于:所述第一扫描控制线用于接收第一时钟信号,所述第二扫描控制线用于接收第二时钟信号,所述扫描输入线用于接收一脉冲驱动信号,所述扫描输入线的脉冲驱动信号处于高电平的时间为扫描线在一个扫描周期内被充入高电平的时间的两倍,所述第一时钟信号在一个周期内处于高电平或低电平的时间等于扫描线在一个扫描周期内被充入高电平的时间,所述第二时钟信号与所述第一时钟信号相同但比所述第一时钟信号滞后,滞后的时间相当于所述第一时钟信号的1/2个周期。

6. 根据权利要求3或4所述的栅极驱动电路单元,其特征在于:所述第一扫描控制线用于接收第一时钟信号,所述第二扫描控制线用于接收第二时钟信号,所述第三扫描控制线用于接收第三时钟信号,所述扫描输入线用于接收一脉冲驱动信号;所述扫描输入线的脉冲驱动信号处于高电平的时间为扫描线在一个扫描周期内被充入高电平的时间的三倍;所述第一时钟信号在一个周期内处于高电平的时间等于扫描线在一个扫描周期内被充入高电平的时间,所述第一时钟信号在一个周期内处于低电平的时间等于扫描线在一个扫描周期内被充入高电平的时间的两倍;所述第二时钟信号与所述第一时钟信号相同但比所述第一时钟信号滞后,滞后的时间相当于所述第一时钟信号的1/3个周期;所述第三时钟信号与所述第一时钟信号相同但比所述第一时钟信号滞后,滞后的时间相当于所述第一时钟信号的2/3个周期。

7. 一种显示面板,其特征在于:所述显示面板在边缘区域上集成设置有多个如权利要求1至4任一项所述的栅极驱动电路单元,所述多个栅极驱动电路单元之间的各扫描控制线分别相互对应连接在一起,每个栅极驱动电路单元的扫描输入线经由显示面板的边缘区域走线并与外围栅极驱动电路相连。

8. 根据权利要求7所述的显示面板,其特征在于:所述多个栅极驱动电路单元集成设置且分布在所述显示面板相对的第一侧和第二侧的边缘区域上。

9. 根据权利要求8所述的显示面板,其特征在于:所述外围栅极驱动电路为一栅极驱动电路芯片,所述栅极驱动电路芯片设置在所述显示面板的第三侧的边缘区域上,所述多个栅极驱动电路单元的扫描输入线从所述显示面板的第一侧和第二侧的边缘区域走线后统一汇集到所述显示面板的第三侧与所述栅极驱动电路芯片相连。

10. 根据权利要求8所述的显示面板,其特征在于:所述外围栅极驱动电路由多个集成栅极电路单元构成,所述多个集成栅极电路单元集成设置在显示面板的边缘区域上且与所述多个栅极驱动电路单元一一对应相连,每个栅极驱动电路单元通过其扫描输入线与对应的集成栅极电路单元的输出端连接。

栅极驱动电路单元及其显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种显示面板的栅极驱动电路及具有栅极驱动电路的显示面板。

背景技术

[0002] 目前,液晶显示装置(Liquid Crystal Display, LCD)具备轻薄、节能、无辐射等诸多优点,广泛运用于笔记本电脑、台式电脑、摄录放影机、智能电视、移动终端或个人数字处理器等产品上。以液晶显示装置应用于手机上为例,在手机的体积一定的前提下,用户一般希望屏幕能够尽可能的大,因此如何实现显示装置的窄边框成为业界广泛研究的方向和追求的目标。

[0003] 以薄膜晶体管(Thin Film Transistor, TFT)液晶显示装置为例,其包括液晶显示面板、栅极驱动电路(gate drive circuit)和源极驱动电路(source drive circuit)。液晶显示面板包括多条横向的扫描线与多条竖向的数据线,且相邻的两条扫描线与相邻的两条数据线交叉形成一个像素单元,每个像素单元包括一个薄膜晶体管,每条扫描线连接到每行薄膜晶体管的栅极,每条数据线连接到每列薄膜晶体管的源极,薄膜晶体管的漏极与像素电极相连,且每条扫描线与每条数据线的另一端分别连接到位于液晶显示装置中液晶面板边缘的栅极驱动电路芯片与源极驱动电路芯片上。

[0004] 请参阅图1,图1所示为一种现有液晶显示装置的结构示意图,图中仅示出了液晶显示面板10的部分像素单元11以及部分扫描线12的走线图,这些扫描线12通过面板左右两侧的边缘走线,每条扫描线12在面板边缘通过一条走线与栅极驱动电路芯片(Gate IC)13相连,以一个解析度为1280X720的液晶显示装置为例,共有720条扫描线在液晶显示面板的左右两侧走线,单侧的扫描线走线则有360条(即720/2),按照每条扫描线走线的宽度为5微米,每两条扫描线走线之间的间隔为5微米计算,单侧的扫描线走线的总宽度就要1.8毫米,这个宽度使液晶显示装置难以达到窄边框的要求。

[0005] 为了实现液晶显示装置的窄边框,现有技术还采用GIA电路(gate driver in array,集成栅极驱动电路)来取代上述扫描线的走线,通过将栅极驱动电路集成到显示面板上,不仅能够减少数以千计的走线、使得显示装置更加对称和紧凑,还能降低成本、提高显示面板的分辨率和弯折度,例如本申请人较早之前提出的发明专利第201010111791.7号即公开了一种在显示面板上集成GIA电路的显示装置,其全文内容在此引入作为参考。然而,GIA电路的可靠性较差,长期工作下电路易发生异常;而且,GIA电路的稳定性较差,由于其集成在显示面板上,因此如果某个电路元件出现异常,会导致整个GIA电路无法工作。

[0006] 鉴于以上所述,有必要提供一种具备可靠性与稳定性的可实现较窄边框的显示面板及其栅极驱动电路单元。

发明内容

[0007] 本发明要解决的主要技术问题是提供一种具备可靠性与稳定性的可实现较窄边

框的显示面板及其栅极驱动电路单元。

[0008] 本发明的第一实施例提供一种栅极驱动电路单元,包括扫描输入线、第一扫描控制线、第二扫描控制线、第一晶体管、第二晶体管、第三晶体管和第四晶体管,所述扫描输入线分别与所述第一晶体管的源极和所述第三晶体管的源极连接,所述第一扫描控制线分别与所述第一晶体管的栅极、第二晶体管的漏极和第四晶体管的栅极连接,所述第二扫描控制线分别与所述第二晶体管的栅极、第三晶体管的栅极和第四晶体管的漏极连接,所述第一晶体管的漏极和所述第二晶体管的源极均与相邻两条扫描线中的第一扫描线连接,所述第三晶体管的漏极和所述第四晶体管的源极均与该相邻两条扫描线中的第二扫描线连接。

[0009] 本发明的第二实施例提供一种栅极驱动电路单元,包括扫描输入线、第一扫描控制线、第二扫描控制线、第一晶体管、第二晶体管、第三晶体管和第四晶体管,所述扫描输入线分别与所述第一晶体管的源极、第二晶体管的栅极、第三晶体管的源极和第四晶体管的栅极连接,所述第一扫描控制线分别与所述第一晶体管的栅极和所述第二晶体管的漏极连接,所述第二扫描控制线分别与所述第三晶体管的栅极和所述第四晶体管的漏极连接,所述第一晶体管的漏极和所述第二晶体管的源极均与相邻两条扫描线中的第一扫描线连接,所述第三晶体管的漏极和所述第四晶体管的源极均与该相邻两条扫描线中的第二扫描线连接。

[0010] 本发明的第三实施例提供一种栅极驱动电路单元,包括扫描输入线、第一扫描控制线、第二扫描控制线、第三扫描控制线、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管,所述扫描输入线分别与所述第一晶体管的源极、第三晶体管的源极和第五晶体管的源极连接,所述第一扫描控制线分别与所述第一晶体管的栅极和所述第二晶体管的漏极连接,所述第二扫描控制线分别与所述第二晶体管的栅极、第三晶体管的栅极、第四晶体管的漏极和第六晶体管的栅极连接,所述第三扫描控制线分别与所述第四晶体管的栅极、第五晶体管的栅极和第六晶体管的漏极连接,所述第一晶体管的漏极和所述第二晶体管的源极均与相邻三条扫描线中的第一扫描线连接,所述第三晶体管的漏极和所述第四晶体管的源极均与该相邻三条扫描线中的第二扫描线连接,所述第五晶体管的漏极和所述第六晶体管的源极均与该相邻三条扫描线中的第三扫描线连接。

[0011] 本发明的第四实施例提供一种栅极驱动电路单元,包括扫描输入线、第一扫描控制线、第二扫描控制线、第三扫描控制线、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管,所述扫描输入线分别与所述第一晶体管的源极、第二晶体管的栅极、第三晶体管的源极、第四晶体管的栅极、第五晶体管的源极和第六晶体管的栅极连接,所述第一扫描控制线分别与所述第一晶体管的栅极和所述第二晶体管的漏极连接,所述第二扫描控制线分别与所述第三晶体管的栅极和所述第四晶体管的漏极连接,所述第三扫描控制线分别与所述第五晶体管的栅极和所述第六晶体管的漏极连接,所述第一晶体管的漏极和所述第二晶体管的源极均与相邻三条扫描线中的第一扫描线连接,所述第三晶体管的漏极和所述第四晶体管的源极均与该相邻三条扫描线中的第二扫描线连接,所述第五晶体管的漏极和所述第六晶体管的源极均与该相邻三条扫描线中的第三扫描线连接。

[0012] 进一步地,在第一实施例或第二实施例的栅极驱动电路单元中,所述第一扫描控制线用于接收第一时钟信号,所述第二扫描控制线用于接收第二时钟信号,所述扫描输入线用于接收一脉冲驱动信号,所述扫描输入线的脉冲驱动信号处于高电平的时间为扫描线

在一个扫描周期内被充入高电平的时间的两倍,所述第一时钟信号在一个周期内处于高电平或低电平的时间等于扫描线在一个扫描周期内被充入高电平的时间,所述第二时钟信号与所述第一时钟信号相同但比所述第一时钟信号滞后,滞后的时间相当于所述第一时钟信号的1/2个周期。

[0013] 进一步地,在第三实施例或第四实施例的栅极驱动电路单元中,所述第一扫描控制线用于接收第一时钟信号,所述第二扫描控制线用于接收第二时钟信号,所述第三扫描控制线用于接收第三时钟信号,所述扫描输入线用于接收一脉冲驱动信号;所述扫描输入线的脉冲驱动信号处于高电平的时间为扫描线在一个扫描周期内被充入高电平的时间的三倍;所述第一时钟信号在一个周期内处于高电平的时间等于扫描线在一个扫描周期内被充入高电平的时间,所述第一时钟信号在一个周期内处于低电平的时间等于扫描线在一个扫描周期内被充入高电平的时间的两倍;所述第二时钟信号与所述第一时钟信号相同但比所述第一时钟信号滞后,滞后的时间相当于所述第一时钟信号的1/3个周期;所述第三时钟信号与所述第一时钟信号相同但比所述第一时钟信号滞后,滞后的时间相当于所述第一时钟信号的2/3个周期。

[0014] 本发明还提供一种显示面板,所述显示面板在边缘区域上集成设置有多个第一至第四实施例中任一实施例所述的栅极驱动电路单元,所述多个栅极驱动电路单元之间的各扫描控制线分别相互对应连接在一起,每个栅极驱动电路单元的扫描输入线经由显示面板的边缘区域走线并与外围栅极驱动电路相连。

[0015] 进一步地,所述多个栅极驱动电路单元集成设置且分布在所述显示面板相对的第一侧和第二侧的边缘区域上。

[0016] 进一步地,所述外围栅极驱动电路为一栅极驱动电路芯片,所述栅极驱动电路芯片设置在所述显示面板的第三侧的边缘区域上,所述多个栅极驱动电路单元的扫描输入线从所述显示面板的第一侧和第二侧的边缘区域走线后统一汇集到所述显示面板的第三侧与所述栅极驱动电路芯片相连。

[0017] 进一步地,所述外围栅极驱动电路由多个集成栅极电路单元构成,所述多个集成栅极电路单元集成设置在显示面板的边缘区域上且与所述多个栅极驱动电路单元一一对应相连,每个栅极驱动电路单元通过其扫描输入线与对应的集成栅极电路单元的输出端连接。

[0018] 相较于现有技术,本发明中每个栅极驱动电路单元能控制两条以上的扫描线,显示面板的边缘区域上的扫描线走线的数量就减少了至少一半,因此显示面板单侧的走线总宽度也至少减少一半以上,从而实现显示面板的窄边框。

附图说明

[0019] 图1是现有技术中显示面板的示意图。

[0020] 图2是本发明第一实施例中显示面板的示意图。

[0021] 图3是本发明第一实施例中栅极驱动电路单元的电路图。

[0022] 图4是本发明第一实施例中栅极驱动电路单元的信号图。

[0023] 图5是本发明第二实施例中显示面板的示意图。

[0024] 图6是本发明第二实施例中栅极驱动电路单元的电路图。

- [0025] 图7是本发明第二实施例中栅极驱动电路单元的信号图。
- [0026] 图8是本发明第三实施例中栅极驱动电路单元的电路图。
- [0027] 图9是本发明第三实施例中栅极驱动电路单元的信号图。
- [0028] 图10是本发明第四实施例中栅极驱动电路单元的电路图。
- [0029] 图11是本发明第四实施例中栅极驱动电路单元的信号图。
- [0030] 图12是本发明第五实施例中显示面板的示意图。
- [0031] 图13是本发明第五实施例中集成栅极电路单元的其中一种电路图。

具体实施方式

[0032] 为详细说明本发明的技术内容、构造特征、所实现目的及效果，以下结合实施方式并配合附图详予说明。

[0033] 图2是本发明第一实施例中显示面板的示意图，图3是本发明第一实施例的显示面板中的栅极驱动电路单元的电路图，请同时参考图2与图3所示，本实施例中以该显示面板为液晶显示面板为例进行说明，但并不以此为限，该显示面板例如还可以为有机发光二极管显示面板(organic light emitting diode display panel)等。显示面板20包括由多个像素单元21排列构成的二维像素阵列、沿着第一方向(例如横向)设置的多条扫描线(例如图3中的扫描线G1和扫描线G2)、以及沿着第二方向(例如竖向)设置的多条数据线(图未示)。每个像素单元21设置有一个薄膜晶体管(图未示)。每条扫描线(例如图3中的扫描线G1或扫描线G2)对应于上述二维像素阵列中的一行(横向)并与该行中的所有薄膜晶体管的栅极相连。每条数据线对应于上述二维像素阵列中的一列(竖向)并与该列中的所有薄膜晶体管的源极相连。每个像素单元21的薄膜晶体管的漏极与该像素单元21中的像素电极相连。

[0034] 显示面板20上还设置有多个栅极驱动电路单元22a，该多个栅极驱动电路单元22a集成设置在显示面板20至少一侧的边缘区域上。在本实施例中，多个栅极驱动电路单元22a集成设置且分布在显示面板20左右两侧的边缘区域上，且在显示面板20左右两侧呈交替地分布设置。每个栅极驱动电路单元22a与显示面板20上相邻的两条扫描线相连，如图3所示的其中一个栅极驱动电路单元22a与显示面板20上相邻的扫描线G1、G2相连，用于控制相邻的扫描线G1、G2的状态。请参图2，第一个栅极驱动电路单元22a设置在显示面板20的左侧边缘区域并用于控制第一条与第二条扫描线的状态，第二个栅极驱动电路单元22a设置在显示面板20的右侧边缘区域并用于控制第三条与第四条扫描线的状态，第三个栅极驱动电路单元22a设置在显示面板20的左侧边缘区域并用于控制第五条与第六条扫描线的状态，依次类推，使多个栅极驱动电路单元22a在显示面板20的左右两侧呈交替分布设置。显示面板20通过多个栅极驱动电路单元22a输出扫描信号到各扫描线，完成对像素阵列的扫描。

[0035] 具体的，如图3所示，每个栅极驱动电路单元22a包括扫描输入线S、第一扫描控制线C1、第二扫描控制线C2、第一晶体管221、第二晶体管222、第三晶体管223和第四晶体管224。本实施例中，显示装置中的晶体管为薄膜晶体管(Thin Film Transistor, TFT)，但并不以此为限。扫描输入线S分别与第一晶体管221的源极和第三晶体管223的源极连接。第一扫描控制线C1分别与第一晶体管221的栅极、第二晶体管222的漏极和第四晶体管224的栅极连接。第二扫描控制线C2分别与第二晶体管222的栅极、第三晶体管223的栅极和第四晶体管224的漏极连接。第一晶体管221的漏极和第二晶体管222的源极均与相邻两条扫描线

中的第一扫描线G1连接。第三晶体管223的漏极和第四晶体管224的源极均与该相邻两条扫描线中的第二扫描线G2连接。

[0036] 请再次参考图2,位于显示面板20同一侧边缘区域上的各个栅极驱动电路单元22a之间的各扫描控制线C1、C2分别相互对应连接在一起,即:同一侧边缘区域上的各个栅极驱动电路单元22a之间的第一扫描控制线C1相互对应连接在一起,使位于显示面板20同一侧边缘区域上的各个栅极驱动电路单元22a共用一条第一扫描控制线C1;同一侧边缘区域上的各个栅极驱动电路单元22a之间的第二扫描控制线C2相互对应连接在一起,使位于显示面板20同一侧边缘区域上的各个栅极驱动电路单元22a共用一条第二扫描控制线C2。而每个栅极驱动电路单元22a的扫描输入线S沿着显示面板20的边缘区域走线并统一与外围栅极驱动电路23相连,在本实施例中,该外围栅极驱动电路23例如为一栅极驱动电路芯片(Gate IC),其可以直接设置在显示面板20上或者通过软性电路板(FPC)与显示面板20连接,在本实施例中,该外围栅极驱动电路23焊接设置在显示面板20下侧的边缘区域上,左右两侧的各个栅极驱动电路单元22a的扫描输入线S分别从显示面板20的左右两侧走线后汇集到显示面板20的下侧与外围栅极驱动电路23连接。外围栅极驱动电路23为每个栅极驱动电路单元22a的扫描输入线S提供扫描所需的脉冲驱动信号,同时第一扫描控制线C1和第二扫描控制线C2在串接各个栅极驱动电路单元22a之后也与外围栅极驱动电路23连接,外围栅极驱动电路23分别为第一扫描控制线C1和第二扫描控制线C2提供周期的时钟信号,以使每个栅极驱动电路单元22a能够控制与其相连的两条扫描线的状态。

[0037] 图4是本发明第一实施例的栅极驱动电路单元的信号图,请同时参考图2、图3与图4,栅极驱动电路单元22a的工作原理为:外围栅极驱动电路23给所有栅极驱动电路单元22a的第一扫描控制线C1统一提供第一时钟信号CLK-A,并给所有栅极驱动电路单元22a的第二扫描控制线C2统一提供第二时钟信号CLK-B,以及给每个栅极驱动电路单元22a的扫描输入线S分别提供一脉冲驱动信号Vs。扫描输入线S的脉冲驱动信号Vs处于高电平的时间为扫描线G1或G2在一个扫描周期内被充入高电平的时间的两倍,第一扫描控制线C1上接收的第一时钟信号CLK-A在一个周期内处于高电平或低电平的时间等于扫描线G1在一个扫描周期内被充入高电平的时间,第二扫描控制线C2上接收的第二时钟信号CLK-B与第一扫描控制线C1上接收的第一时钟信号CLK-A相同但比第一时钟信号CLK-A滞后,滞后的时间相当于第一时钟信号CLK-A的1/2个周期。

[0038] 当扫描输入线S提供的脉冲驱动信号Vs处于高电平的前1/2时间:第一扫描控制线C1接收的第一时钟信号CLK-A为高电平,第二扫描控制线C2接收的第二时钟信号CLK-B为低电平,第一晶体管221和第四晶体管224处于打开状态,第二晶体管222和第三晶体管223处于关闭状态,扫描输入线S上处于高电平的脉冲驱动信号Vs通过打开的第一晶体管221充入第一扫描线G1,第一扫描线G1上的第一扫描信号Vg1处于高电平,使显示面板20上与第一扫描线G1相连的所有像素单元21中的薄膜晶体管全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元21中。

[0039] 当扫描输入线S上的脉冲驱动信号Vs处于高电平的后1/2时间:第一扫描控制线C1上接收的第一时钟信号CLK-A为低电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为高电平,第一晶体管221和第四晶体管224处于关闭状态,第二晶体管222和第三晶体管223处于打开状态,第一扫描控制线C1上处于低电平的第一时钟信号CLK-A通过打开的第二晶

晶体管222充入第一扫描线G1,使显示面板20上与第一扫描线G1相连的所有像素单元21中的薄膜晶体管全部关闭,像素单元21中的电压保持为原来充入的电压;同时,扫描输入线S上处于高电平的脉冲驱动信号Vs通过打开的第三晶体管223充入第二扫描线G2,第二扫描线G2上的第二扫描信号Vg2处于高电平,使显示面板20上与第二扫描线G2相连的所有像素单元21中的薄膜晶体管全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元21中。

[0040] 当扫描输入线S上的脉冲驱动信号Vs处于低电平时,分两种情况:(1)当第一扫描控制线C1上接收的第一时钟信号CLK-A为高电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为低电平时,第一晶体管221和第四晶体管224处于打开状态,第二晶体管222和第三晶体管223处于关闭状态,扫描输入线S上处于低电平的脉冲驱动信号Vs通过打开的第一晶体管221充入第一扫描线G1,第二扫描控制线C2上处于低电平的第二时钟信号CLK-B通过打开的第四晶体管224充入第二扫描线G2;(2)当第一扫描控制线C1上接收的第一时钟信号CLK-A为低电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为高电平时,第一晶体管221和第四晶体管224处于关闭状态,第二晶体管222和第三晶体管223处于打开状态,第一扫描控制线C1上处于低电平的第一时钟信号CLK-A通过打开的第二晶体管222充入第一扫描线G1,扫描输入线S上处于低电平的脉冲驱动信号Vs通过打开的第三晶体管223充入第二扫描线G2。也就是说,当扫描输入线S上的脉冲驱动信号Vs处于低电平时,第一扫描线G1上的第一扫描信号Vg1和第二扫描线G2上的第二扫描信号Vg2都处于低电平,与这两条扫描线G1、G2相连的所有像素单元21中的薄膜晶体管全部关闭,使这两条扫描线G1、G2上的所有像素单元21中的像素电压保持不变,直到下一次扫描输入线S上的脉冲驱动信号Vs变为高电平。

[0041] 请再次参考图2与图3,由于每个栅极驱动电路单元22a均可控制两条扫描线G1、G2,而每个栅极驱动电路单元22a只通过一条走线(即扫描输入线S)与外围栅极驱动电路23相连,相当于两条扫描线(G1、G2)对应于一条走线(即扫描输入线S),相较于现有技术中一条扫描线需要对应于一条走线而言,显示面板20单侧的扫描线走线就减少为现有技术中单侧扫描线走线的一半,显示面板20单侧的走线总宽度也就对应减少为现有技术中单侧走线总宽度的一半,从而实现显示面板20的窄边框。例如,以一个解析度为1280X720的显示面板为例,单侧的扫描线走线则减少为180条(即360/2)。

[0042] 图5是本发明第二实施例中显示面板的示意图,图6是本发明第二实施例的显示面板中栅极驱动电路单元的电路图,请同时参考图5与图6,第二实施例中显示面板30与上述第一实施例的不同之处在于:每个栅极驱动电路单元22b与显示面板30上相邻的三条扫描线G1、G2、G3相连,用于控制该相邻三条扫描线G1、G2、G3的状态。

[0043] 具体的,如图6所示,每个栅极驱动电路单元22b包括扫描输入线S、三条扫描控制线(分别为第一扫描控制线C1、第二扫描控制线C2及第三扫描控制线C3)、以及六个晶体管(分别为第一晶体管221、第二晶体管222、第三晶体管223、第四晶体管224、第五晶体管225及第六晶体管226)。扫描输入线S分别与第一晶体管221的源极、第三晶体管223的源极和第五晶体管225的源极连接。第一扫描控制线C1分别与第一晶体管221的栅极和第二晶体管222的漏极连接。第二扫描控制线C2分别与第二晶体管222的栅极、第三晶体管223的栅极、第四晶体管224的漏极和第六晶体管226的栅极连接。第三扫描控制线C3分别与第四晶体管

224的栅极、第五晶体管225的栅极和第六晶体管226的漏极连接。第一晶体管221的漏极和第二晶体管222的源极均与相邻三条扫描线中的第一扫描线G1连接。第三晶体管223的漏极和第四晶体管224的源极均与该相邻三条扫描线中的第二扫描线G2连接。第五晶体管225的漏极和第六晶体管226的源极均与该相邻三条扫描线中的第三扫描线G3连接。

[0044] 请再次参考图5,位于显示面板30同一侧边缘区域上的各个栅极驱动电路单元22b之间的各扫描控制线C1、C2、C3分别相互对应连接在一起,即:同一侧边缘区域上的各个栅极驱动电路单元22b之间的第一扫描控制线C1相互对应连接在一起,使位于显示面板30同一侧边缘区域上的各个栅极驱动电路单元22b共用一条第一扫描控制线C1;同一侧边缘区域上的各个栅极驱动电路单元22b之间的第二扫描控制线C2相互对应连接在一起,使位于显示面板30同一侧边缘区域上的各个栅极驱动电路单元22b共用一条第二扫描控制线C2;同一侧边缘区域上的各个栅极驱动电路单元22b之间的第三扫描控制线C3相互对应连接在一起,使位于显示面板30同一侧边缘区域上的各个栅极驱动电路单元22b共用一条第三扫描控制线C3。第一扫描控制线C1、第二扫描控制线C2和第三扫描控制线C3在串接各个栅极驱动电路单元22b之后与外围栅极驱动电路23连接,而每个栅极驱动电路单元22b的扫描输入线S经由显示面板30的边缘区域走线后连接到外围栅极驱动电路33上。

[0045] 图7是本发明第二实施例的栅极驱动电路单元的信号图,请同时参考图5、图6与图7,栅极驱动电路单元22b的工作原理为:外围栅极驱动电路33给所有栅极驱动电路单元22b的第一扫描控制线C1统一提供第一时钟信号CLK-A,并给所有栅极驱动电路单元22b的第二扫描控制线C2统一提供第二时钟信号CLK-B,并给所有栅极驱动电路单元22b的第三扫描控制线C3统一提供第三时钟信号CLK-C,以及给每个栅极驱动电路单元22b的扫描输入线S分别提供一脉冲驱动信号 V_s 。扫描输入线S的脉冲驱动信号 V_s 处于高电平的时间为扫描线G1、G2、G3在一个扫描周期内被充入高电平的时间的三倍;第一时钟信号CLK-A在一个周期内处于高电平的时间等于扫描线G1、G2、G3在一个扫描周期内被充入高电平的时间,第一时钟信号CLK-A在一个周期内处于低电平的时间为扫描线G1、G2、G3在一个扫描周期内被充入高电平的时间的两倍;第二时钟信号CLK-B与第一时钟信号CLK-A相同但比第一时钟信号CLK-A滞后,滞后的时间相当于第一时钟信号CLK-A的1/3个周期;第三时钟信号CLK-C与第一时钟信号CLK-A相同但比第一时钟信号CLK-A滞后,滞后的时间相当于第一时钟信号CLK-A的2/3个周期。

[0046] 在扫描输入线S上的脉冲驱动信号 V_s 处于高电平的前1/3时间:第一扫描控制线C1上的第一时钟信号CLK-A为高电平,第二扫描控制线C2上的第二时钟信号CLK-B为低电平,第三扫描控制线C3上的第三时钟信号CLK-C为低电平,第一晶体管221处于打开状态,第二至第六晶体管222~226处于关闭状态,扫描输入线S上处于高电平的脉冲驱动信号 V_s 通过打开的第一晶体管221充入第一扫描线G1,第一扫描线G1上的第一扫描信号 V_{g1} 处于高电平,使显示面板30上与第一扫描线G1相连的所有像素单元31中的薄膜晶体管(图中未示出)全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元31中。

[0047] 在扫描输入线S上的脉冲驱动信号 V_s 处于高电平的中间1/3时间:第一扫描控制线C1上的第一时钟信号CLK-A为低电平,第二扫描控制线C2上的第二时钟信号CLK-B为高电平,第三扫描控制线C3上的第三时钟信号CLK-C为低电平,第一晶体管221、第四晶体管224和第五晶体管225处于关闭状态,第二晶体管222、第三晶体管223和第六晶体管226处于打

开状态,第一扫描控制线C1上处于低电平的第一时钟信号CLK-A通过打开的第二晶体管222充入第一扫描线G1,使显示面板30上与第一扫描线G1相连的所有像素单元31中的薄膜晶体管全部关闭,像素单元31中的电压保持为原来充入的电压;同时,扫描输入线S上处于高电平的脉冲驱动信号Vs通过打开的第三晶体管223充入第二扫描线G2,第二扫描线G2上的第二扫描信号Vg2处于高电平,使显示面板30上与第二扫描线G2相连的所有像素单元31中的薄膜晶体管全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元31中;且同时,第三扫描控制线C3上处于低电平的第三时钟信号CLK-C通过打开的第六晶体管226充入第三扫描线G3,第三扫描线G3上的第三扫描信号Vg3处于低电平。

[0048] 在扫描输入线S上的脉冲驱动信号Vs处于高电平的后1/3时间:第一扫描控制线C1上的第一时钟信号CLK-A为低电平,第二扫描控制线C2上的第二时钟信号CLK-B为低电平,第三扫描控制线C3上的第三时钟信号CLK-C为高电平,第一晶体管221、第二晶体管222、第三晶体管223和第六晶体管226处于关闭状态,第四晶体管224和第五晶体管225处于打开状态,第二扫描控制线C2上处于低电平的第二时钟信号CLK-B通过打开的第四晶体管224充入第二扫描线G2,使显示面板30上与第二扫描线G2相连的所有像素单元31中的薄膜晶体管全部关闭,像素单元31中的电压保持为原来充入的电压;同时,扫描输入线S上处于高电平的脉冲驱动信号Vs通过打开的第五晶体管225充入第三扫描线G3,第三扫描线G3上的第三扫描信号Vg3处于高电平,使显示面板30上与第三扫描线G3相连的所有像素单元31中的薄膜晶体管全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元31中。

[0049] 当扫描输入线S上的脉冲驱动信号Vs处于低电平时,分三种情况:(1)当第一扫描控制线C1上接收的第一时钟信号CLK-A为高电平,第二扫描控制线C2上接收的第二时钟信号CLK-B与第三扫描控制线C3上接收的第三时钟信号CLK-C都为低电平时,第一晶体管221处于打开状态,第二晶体管222至第六晶体管226都处于关闭状态,扫描输入线S上处于低电平的脉冲驱动信号Vs通过打开的第一晶体管221充入第一扫描线G1;(2)当第二扫描控制线C2上接收的第二时钟信号CLK-B为高电平,第一扫描控制线C1上接收的第一时钟信号CLK-A与第三扫描控制线C3上接收的第三时钟信号CLK-C都为低电平时,第二晶体管222、第三晶体管223和第六晶体管226处于打开状态,第一晶体管221、第四晶体管224和第五晶体管225处于关闭状态,第一扫描控制线C1上处于低电平的第一时钟信号CLK-A通过打开的第二晶体管222充入第一扫描线G1,扫描输入线S上处于低电平的脉冲驱动信号Vs通过打开的第三晶体管223充入第二扫描线G2,第三扫描控制线C3上处于低电平的第三时钟信号CLK-C通过打开的第六晶体管226充入第三扫描线G3;(3)当第三扫描控制线C3上接收的第三时钟信号CLK-C为高电平,第一扫描控制线C1上接收的第一时钟信号CLK-A与第二扫描控制线C2上接收的第二时钟信号CLK-B都为低电平时,第四晶体管224和第五晶体管225处于打开状态,第一晶体管221、第二晶体管222、第三晶体管223和第六晶体管226处于关闭状态,第二扫描控制线C2上处于低电平的第二时钟信号CLK-B通过打开的第四晶体管224充入第二扫描线G2,扫描输入线S上处于低电平的脉冲驱动信号Vs通过打开的第五晶体管225充入第三扫描线G3。也就是说,当扫描输入线S上的脉冲驱动信号Vs处于低电平时,第一扫描线G1上的第一扫描信号Vg1、第二扫描线G2上的第二扫描信号Vg2与第三扫描线G3上的第三扫描信号Vg3都处于低电平,与这三条扫描线G1、G2、G3相连的所有像素单元中的薄膜晶体管全部关闭,

使这三条扫描线G1、G2、G3上的像素电压保持不变,直到下一次扫描输入线S上的脉冲驱动信号Vs变为高电平。

[0050] 请再次参考图5,由于每个栅极驱动电路单元22b均可控制三条扫描线G1、G2、G3,而每个栅极驱动电路单元22b只通过一条走线(即扫描输入线S)与外围栅极驱动电路33相连,相当于三条扫描线(G1、G2、G3)对应于一条走线(即扫描输入线S),相较于现有技术中一条扫描线需要对应于一条走线而言,显示面板30单侧的扫描线走线就减少为现有技术中单侧扫描线走线的三分之一,单侧的走线总宽度也就对应减少为现有技术中单侧走线总宽度的三分之一,从而实现显示面板30的窄边框。例如,以一个解析度为1280X720的显示面板为例,单侧的扫描线走线则减少为120条(即360/3)。

[0051] 图8是本发明第三实施例的栅极驱动电路单元的电路图,请参考图8,每个栅极驱动电路单元22c包括扫描输入线S、第一扫描控制线C1、第二扫描控制线C2、第一晶体管221、第二晶体管222、第三晶体管223和第四晶体管224。扫描输入线S分别与第一晶体管221的源极、第二晶体管222的栅极、第三晶体管223的源极和第四晶体管224的栅极连接。第一扫描控制线C1分别与第一晶体管221的栅极和第二晶体管222的漏极连接。第二扫描控制线C2分别与第三晶体管223的栅极和第四晶体管224的漏极连接。第一晶体管221的漏极和第二晶体管222的源极均与相邻两条扫描线中的第一扫描线G1连接。第三晶体管223的漏极和第四晶体管224的源极均与该相邻两条扫描线中的第二扫描线G2连接。关于第三实施例的各个栅极驱动电路单元22c在显示面板上的设置方式可参见图2的第一实施例,在此不再赘述。

[0052] 图9是本发明第三实施例的栅极驱动电路单元的信号图,请参考图9,该栅极驱动电路单元22c的工作原理为:外围栅极驱动电路(图中未示出)给所有栅极驱动电路单元22c的第一扫描控制线C1统一提供第一时钟信号CLK-A,并给所有栅极驱动电路单元22c的第二扫描控制线C2统一提供第二时钟信号CLK-B,以及给每个栅极驱动电路单元22c的扫描输入线S分别提供一脉冲驱动信号Vs。扫描输入线S上的脉冲驱动信号Vs处于高电平的时间为扫描线G1、G2在一个扫描周期内被充入高电平的时间的两倍,第一时钟信号CLK-A在一个周期内处于高电平或低电平的时间等于扫描线G1、G2在一个扫描周期内被充入高电平的时间,第二时钟信号CLK-B与第一时钟信号CLK-A相同但比第一时钟信号CLK-A滞后,滞后的时间相当于第一时钟信号CLK-A的1/2个周期。

[0053] 在扫描输入线S上的脉冲驱动信号Vs处于高电平的前1/2时间:第一扫描控制线C1上接收的第一时钟信号CLK-A为高电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为低电平,第一晶体管221、第二晶体管222和第四晶体管224处于打开状态,第三晶体管223处于关闭状态,扫描输入线S上处于高电平的脉冲驱动信号Vs通过打开的第一晶体管221充入第一扫描线G1,且第一扫描控制线C1上处于高电平的第一时钟信号CLK-A通过打开的第二晶体管222也充入第一扫描线G1,第一扫描线G1上的第一扫描信号Vg1处于高电平,使显示面板上与第一扫描线G1相连的所有像素单元(图中未示出)中的薄膜晶体管(图中未示出)全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元中;同时,第二扫描控制线C2上处于低电平的第二时钟信号CLK-B通过打开的第四晶体管224充入第二扫描线G2,第二扫描线G2上的第二扫描信号Vg2处于低电平。

[0054] 在扫描输入线S上的脉冲驱动信号Vs处于高电平的后1/2时间:第一扫描控制线C1上接收的第一时钟信号CLK-A为低电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为

高电平,第一晶体管221处于关闭状态,第二晶体管222、第三晶体管223和第四晶体管224处于打开状态,第一扫描控制线C1上处于低电平的第一时钟信号CLK-A通过打开的第二晶体管222充入第一扫描线G1,使显示面板上与第一扫描线G1相连的所有像素单元(图中未示出)中的薄膜晶体管(图中未示出)全部关闭,像素单元中的电压保持为原来充入的电压;同时,扫描输入线S上处于高电平的脉冲驱动信号 V_s 通过打开的第三晶体管223充入第二扫描线G2,且第二扫描控制线C2上处于高电平的第二时钟信号CLK-B通过打开的第四晶体管224也充入第二扫描线G2,第二扫描线G2上的第二扫描信号 V_{g2} 处于高电平,使显示面板上与第二扫描线G2相连的所有像素单元中的薄膜晶体管全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元中。

[0055] 当扫描输入线S上的脉冲驱动信号 V_s 处于低电平时,分两种情况:(1)当第一扫描控制线C1上接收的第一时钟信号CLK-A为高电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为低电平时,第一晶体管221处于打开状态,第二晶体管222至第四晶体管224处于关闭状态,扫描输入线S上处于低电平的脉冲驱动信号 V_s 通过打开的第一晶体管221充入第一扫描线G1;(2)当第一扫描控制线C1上接收的第一时钟信号CLK-A为低电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为高电平时,第三晶体管223处于打开状态,第一晶体管221、第二晶体管222和第四晶体管224处于关闭状态,扫描输入线S上处于低电平的脉冲驱动信号 V_s 通过打开的第三晶体管223充入第二扫描线G2。也就是说,当扫描输入线S上的脉冲驱动信号 V_s 处于低电平时,第一扫描线G1上的第一扫描信号 V_{g1} 和第二扫描线G2上的第二扫描信号 V_{g2} 都处于低电平,与这两条扫描线相连的所有像素单元中的薄膜晶体管全部关闭,使这两条扫描线上的像素电压保持不变,直到下一次扫描输入线S变为高电平。

[0056] 在第三实施例中,由于每个栅极驱动电路单元22c均可控制两条扫描线G1、G2,而每个栅极驱动电路单元22c只通过一条走线(即扫描输入线S)与外围栅极驱动电路相连,相当于两条扫描线(G1、G2)对应于一条走线(即扫描输入线S),相较于现有技术中一条扫描线需要对应于一条走线而言,显示面板单侧的扫描线走线就减少为现有技术中显示面板上单侧扫描线走线的一半,单侧的走线总宽度也就对应减少为现有技术中显示面板上单侧走线总宽度的一半,从而实现显示面板的窄边框。例如,以一个解析度为1280X720的显示面板为例,单侧的扫描线走线则减少为180条(即360/2)。

[0057] 图10是本发明第四实施例的栅极驱动电路单元的电路图,请参考图10,每个栅极驱动电路单元22d包括扫描输入线S、第一扫描控制线C1、第二扫描控制线C2、第三扫描控制线C3、第一晶体管221、第二晶体管222、第三晶体管223、第四晶体管224、第五晶体管225和第六晶体管226。扫描输入线S分别与第一晶体管221的源极、第二晶体管222的栅极、第三晶体管223的源极、第四晶体管224的栅极、第五晶体管225的源极和第六晶体管226的栅极连接。第一扫描控制线C1分别与第一晶体管221的栅极和第二晶体管222的漏极连接。第二扫描控制线C2分别与第三晶体管223的栅极和第四晶体管224的漏极连接。第三扫描控制线C3分别与第五晶体管225的栅极和第六晶体管226的漏极连接。第一晶体管221的漏极和第二晶体管222的源极均与相邻三条扫描线中的第一扫描线G1连接。第三晶体管223的漏极和第四晶体管224的源极均与该相邻三条扫描线中的第二扫描线G2连接。第五晶体管225的漏极和第六晶体管226的源极均与该相邻三条扫描线中的第三扫描线G3连接。关于第四实施例的各个栅极驱动电路单元22d在显示面板上的设置方式可参见图5的第二实施例,在此不再

赘述。

[0058] 图11是本发明第四实施例的栅极驱动电路单元的信号图,请参考图11,该栅极驱动电路单元22d的工作原理为:外围栅极驱动电路(图中未示出)给所有栅极驱动电路单元22d的第一扫描控制线C1统一提供第一时钟信号CLK-A,给所有栅极驱动电路单元22d的第二扫描控制线C2统一提供第二时钟信号CLK-B,并给所有栅极驱动电路单元22d的第三扫描控制线C3统一提供第三时钟信号CLK-C,以及给每个栅极驱动电路单元22d的扫描输入线S分别提供一脉冲驱动信号 V_s 。扫描输入线S上的脉冲驱动信号 V_s 处于高电平的时间为扫描线G1、G2、G3在一个扫描周期内被充入高电平的时间的三倍;第一时钟信号CLK-A在一个周期内处于高电平的时间等于扫描线G1、G2、G3在一个扫描周期内被充入高电平的时间,第一时钟信号CLK-A在一个周期内处于低电平的时间为扫描线G1、G2、G3在一个扫描周期内被充入高电平的时间的两倍;第二时钟信号CLK-B与第一时钟信号CLK-A相同但比第一时钟信号CLK-A滞后,滞后的时间相当于第一时钟信号CLK-A的1/3个周期;第三时钟信号CLK-C与第一时钟信号CLK-A相同但比第一时钟信号CLK-A滞后,滞后的时间相当于第一时钟信号CLK-A的2/3个周期。

[0059] 在扫描输入线S上的脉冲驱动信号 V_s 处于高电平的前1/3时间:第一扫描控制线C1上接收的第一时钟信号CLK-A为高电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为低电平,第三扫描控制线C3上的第三时钟信号CLK-C为低电平,第一晶体管221、第二晶体管222、第四晶体管224和第六晶体管226处于打开状态,第三晶体管223和第五晶体管225处于关闭状态,扫描输入线S上处于高电平的脉冲驱动信号 V_s 通过打开的第一晶体管221充入第一扫描线G1,且第一扫描控制线C1上处于高电平的第一时钟信号CLK-A通过打开的第二晶体管222也充入第一扫描线G1,第一扫描线G1上的第一扫描信号 V_{g1} 处于高电平,使显示面板上与第一扫描线G1相连的所有像素单元(图中未示出)中的薄膜晶体管(图中未示出)全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元中;同时,第二扫描控制线C2上处于低电平的第二时钟信号CLK-B通过打开的第四晶体管224充入第二扫描线G2,第二扫描线G2上的第二扫描信号 V_{g2} 处于低电平;且同时,第三扫描控制线C3上处于低电平的第二时钟信号CLK-C通过打开的第六晶体管226充入第三扫描线G3,第三扫描线G3上的第三扫描信号 V_{g3} 处于低电平。

[0060] 在扫描输入线S上的脉冲驱动信号 V_s 处于高电平的中间1/3时间:第一扫描控制线C1上接收的第一时钟信号CLK-A为低电平,第二扫描控制线C2上接收的第二时钟信号CLK-B为高电平,第三扫描控制线C3上的第三时钟信号CLK-C为低电平,第二晶体管222、第三晶体管223、第四晶体管224和第六晶体管226处于打开状态,第一晶体管221和第五晶体管225处于关闭状态,第一扫描控制线C1上处于低电平的第一时钟信号CLK-A通过打开的第二晶体管222充入第一扫描线G1,使显示面板上与第一扫描线G1相连的所有像素单元中的薄膜晶体管全部关闭,像素单元中的电压保持为原来充入的电压;同时,扫描输入线S上处于高电平的脉冲驱动信号 V_s 通过打开的第三晶体管223充入第二扫描线G2,且第二扫描控制线C2上处于高电平的第二时钟信号CLK-B通过打开的第四晶体管224也充入第二扫描线G2,第二扫描线G2上的第二扫描信号 V_{g2} 处于高电平,使显示面板上与第二扫描线G2相连的所有像素单元中的薄膜晶体管全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元中;且同时,第三扫描控制线C3上处于低电平的第二时钟信号CLK-C通过打开的

第六晶体管226充入第三扫描线G3,第三扫描线G3上的第三扫描信号Vg3处于低电平。

[0061] 在扫描输入线S上的脉冲驱动信号Vs处于高电平的后1/3时间:第一扫描控制线C1上的第一时钟信号CLK-A为低电平,第二扫描控制线C2上的第二时钟信号CLK-B为低电平,第三扫描控制线C3上的第三时钟信号CLK-C为高电平,第二晶体管222、第四晶体管224、第五晶体管225和第六晶体管226处于打开状态,第一晶体管221和第三晶体管223处于关闭状态,第一扫描控制线C1上处于低电平的第一时钟信号CLK-A通过打开的第二晶体管222充入第一扫描线G1,第一扫描线G1上的第一扫描信号Vg1处于低电平;同时,第二扫描控制线C2上处于低电平的第二时钟信号CLK-B通过打开的第四晶体管224充入第二扫描线G2,使显示面板上与第二扫描线G2相连的所有像素单元中的薄膜晶体管全部关闭,像素单元中的电压保持为原来充入的电压;且同时,扫描输入线S上处于高电平的脉冲驱动信号Vs通过打开的第五晶体管225充入第三扫描线G3,且第三扫描控制线C3上处于高电平的第三时钟信号CLK-C通过打开的第六晶体管226也充入第三扫描线G3,第三扫描线G3上的第三扫描信号Vg3处于高电平,使显示面板上与第三扫描线G3相连的所有像素单元中的薄膜晶体管全部打开,此时用于显示图像的数据信号即可经由数据线充入对应的像素单元中。

[0062] 当扫描输入线S上的脉冲驱动信号Vs处于低电平时,分三种情况:(1)当第一扫描控制线C1上接收的第一时钟信号CLK-A为高电平,第二扫描控制线C2上接收的第二时钟信号CLK-B与第三扫描控制线C3上接收的第三时钟信号CLK-C都为低电平时,第一晶体管221处于打开状态,第二晶体管222至第六晶体管226处于关闭状态,扫描输入线S上处于低电平的脉冲驱动信号Vs通过打开的第一晶体管221充入第一扫描线G1;(2)当第二扫描控制线C2上接收的第二时钟信号CLK-B为高电平,第一扫描控制线C1上接收的第一时钟信号CLK-A与第三扫描控制线C3上接收的第三时钟信号CLK-C都为低电平时,第三晶体管223处于打开状态,第一晶体管221、第二晶体管222、第四晶体管224、第五晶体管225和第六晶体管226处于关闭状态,扫描输入线S上处于低电平的脉冲驱动信号Vs通过打开的第三晶体管223充入第二扫描线G2;(3)当第三扫描控制线C3上接收的第三时钟信号CLK-C为高电平,第一扫描控制线C1上接收的第一时钟信号CLK-A与第二扫描控制线C2上接收的第二时钟信号CLK-B都为低电平时,第五晶体管225处于打开状态,第一晶体管221、第二晶体管222、第三晶体管223、第四晶体管224和第六晶体管226处于关闭状态,扫描输入线S上处于低电平的脉冲驱动信号Vs通过打开的第五晶体管225充入第三扫描线G3。也就是说,当扫描输入线S上的脉冲驱动信号Vs处于低电平时,第一扫描线G1上的第一扫描信号Vg1、第二扫描线G2上的第二扫描信号Vg2和第三扫描线G3上的第三扫描信号Vg3都处于低电平,与这三条扫描线相连的所有像素单元中的薄膜晶体管全部关闭,使这三条扫描线上的像素电压保持不变,直到下一次扫描输入线S变为高电平。

[0063] 在第四实施例中,由于每个栅极驱动电路单元22d均可控制三条扫描线G1、G2、G3,而每个栅极驱动电路单元22d只通过一条走线(即扫描输入线S)与外围栅极驱动电路相连,相当于三条扫描线(G1、G2、G3)对应于一条走线(即扫描输入线S),相较于现有技术中一条扫描线需要对应于一条走线而言,显示面板单侧的扫描线走线就减少为现有技术中单侧扫描线走线的三分之一,单侧的走线总宽度也就对应减少为现有技术中单侧走线总宽度的三分之一,从而实现显示面板的窄边框。例如,以一个解析度为1280X720的显示面板为例,单侧的扫描线走线则减少为120条(即360/3)。

[0064] 图12是本发明第五实施例中显示面板的示意图,请参考图12,显示面板40在边缘区域上设置有多個栅极驱动电路单元22e和多个集成栅极电路单元(gate driver in array,GIA)43a,该多个集成栅极电路单元43a构成显示面板40的外围栅极驱动电路43,各个栅极驱动电路单元22e和各个集成栅极电路单元43a均集成设置在显示面板40左右两侧的边缘区域上,且各个栅极驱动电路单元22e与各个集成栅极电路单元43a一一对应相连,即每个栅极驱动电路单元22e与一个对应的集成栅极电路单元43a相连,且每个栅极驱动电路单元22e通过其扫描输入线S与对应的集成栅极电路单元43a的输出端Vout连接,由集成栅极电路单元43a为栅极驱动电路单元22e的扫描输入线S提供所需的脉冲驱动信号Vs。其中,栅极驱动电路单元22e可以为上述第一实施例或第三实施例中的栅极驱动电路单元22a或22c,用于与相邻的两条扫描线(见图3或图8中的G1、G2)相连以控制该相邻两条扫描线的状态;当然,栅极驱动电路单元22e也可以为上述第二实施例或第四实施例中的栅极驱动电路单元22b或22d,用于与相邻的三条扫描线(见图6或图10中的G1、G2、G3)相连以控制该相邻三条扫描线的状态。

[0065] 图13是本发明第五实施例中集成栅极电路单元的其中一种电路图,请参考图13,该集成栅极电路单元43a包括输入端Vin、输出端Vout、五个晶体管T1~T5、三个时钟信号输入端CLK1、CLK2、CLK3、以及低电平接入端Vss,每个栅极驱动电路单元22e通过其扫描输入线S与对应的集成栅极电路单元43a的输出端Vout连接。关于该集成栅极电路单元43a的更多详细内容与工作原理可参考本申请人较早之前提出的发明专利第201010111791.7号,其全文内容在此引入作为参考,且在此不再赘述。应当理解地,集成栅极电路单元43a的实施方式并不局限于图13所示的方式。

[0066] 在本实施例中,集成栅极电路单元43a和栅极驱动电路单元22e均集成在显示面板40上,且栅极驱动电路单元22e与集成栅极电路单元43a相结合,其中通过每个栅极驱动电路单元22e与至少两条扫描线相连,可以实现显示面板的窄边框;同时,由于集成栅极电路单元43a与栅极驱动电路单元22e为一一对应连接关系,即每个集成栅极电路单元43a也是对应于至少两条扫描线,相较于现有技术中每条扫描线需要对应设置一个GIA电路单元而言,又可以减少GIA电路单元的整体数量,提高GIA电路的稳定性。

[0067] 在本文中,所涉及的前、后、上、下等方位词是以附图中零部件位于图中以及零部件相互之间的位置来定义的,只是为了表达技术方案的清楚及方便。应当理解,所述方位词的使用不应限制本申请请求保护的范围。

[0068] 在本文中,除非另外特别指出,否则,用于描述元件的序列形容词“第一”、“第二”等仅仅是为了区别相同元件,并不意味着这样描述的元件必须依照给定的顺序,或者时间、空间、等级或其它的限制。

[0069] 在本文中,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,除了包含所列的那些要素,而且还可包含没有明确列出的其他要素。

[0070] 在不冲突的情况下,本文中上述实施例及实施例中的特征可以相互结合。

[0071] 以上所述仅为本发明的优选实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

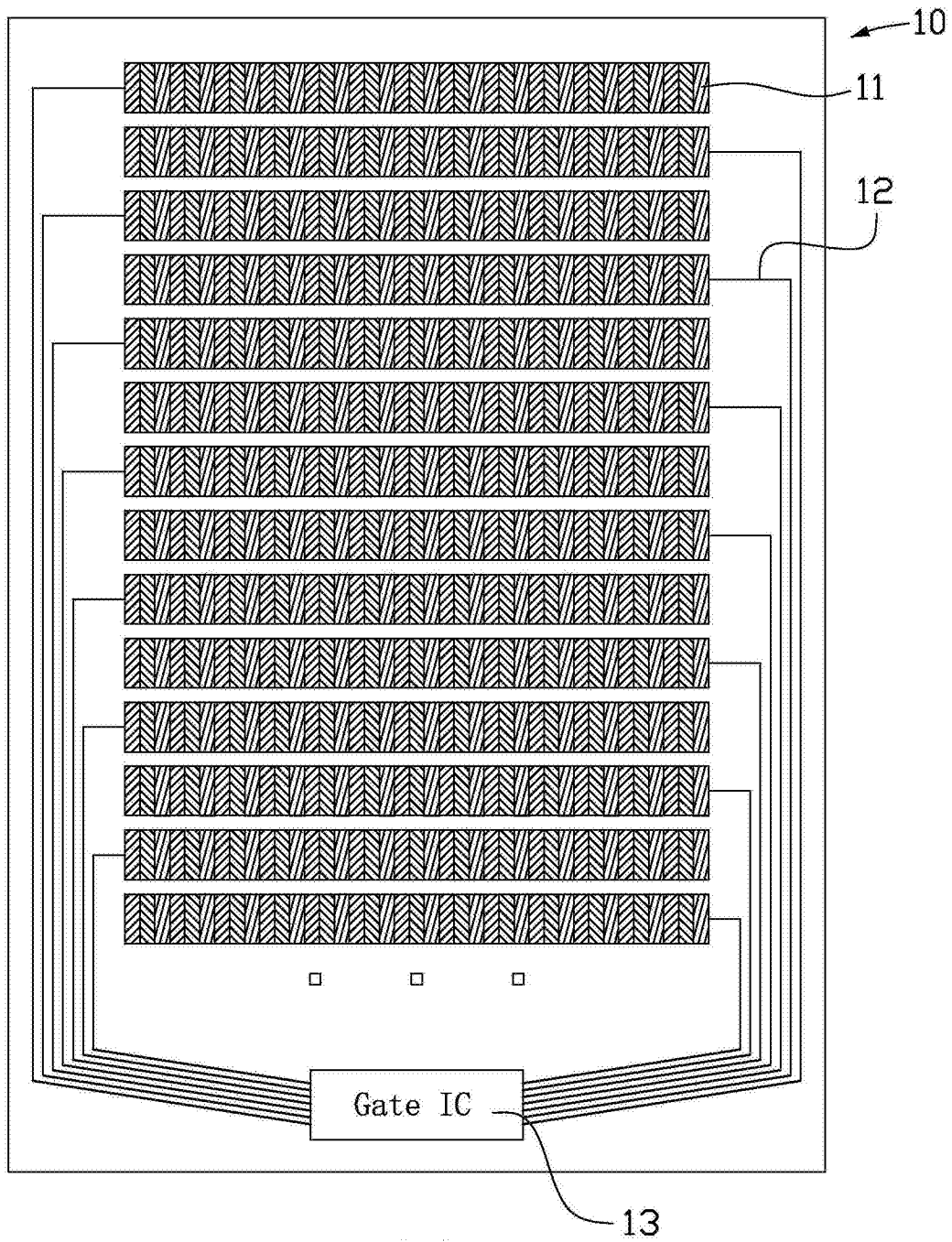


图1

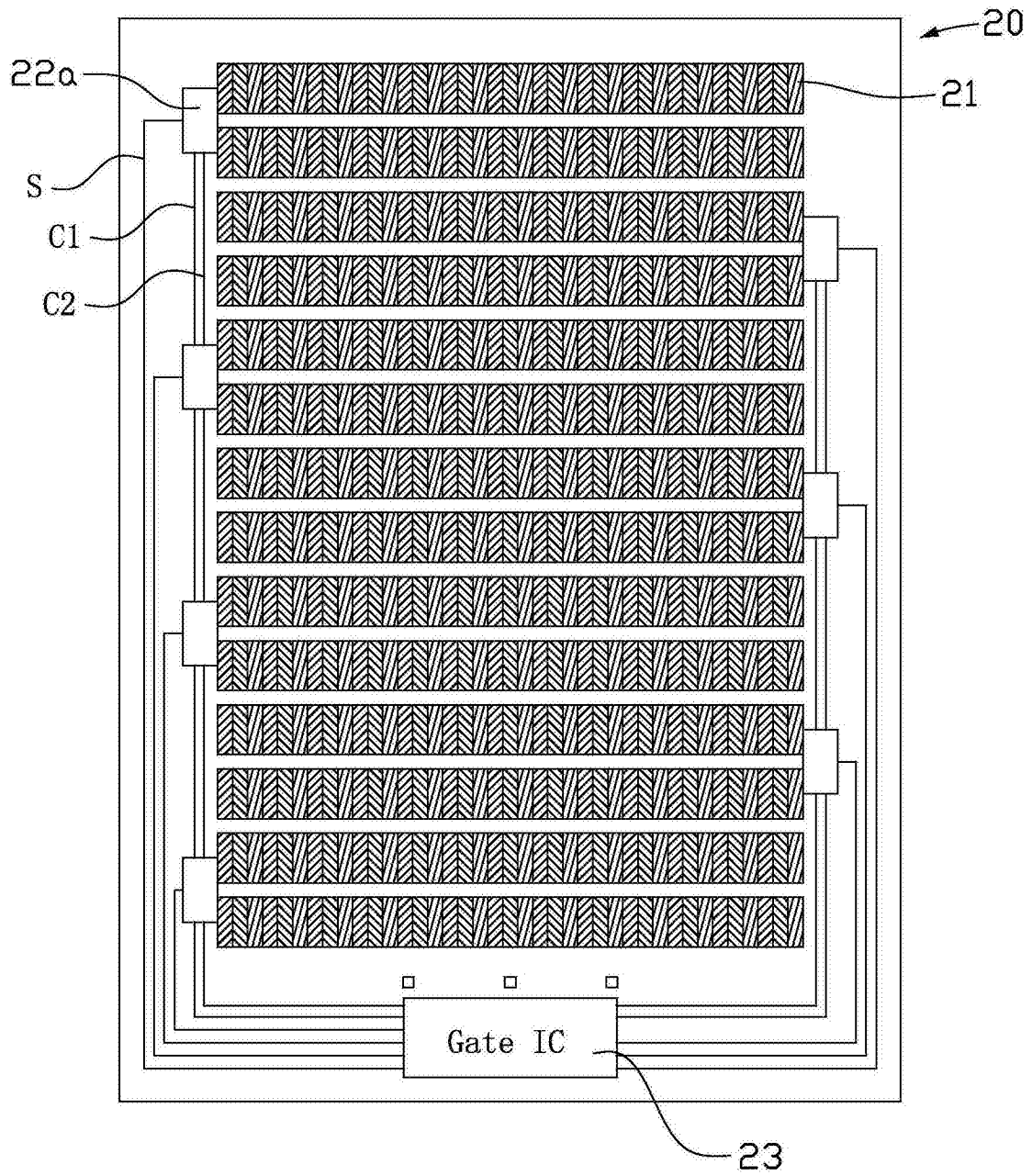


图2

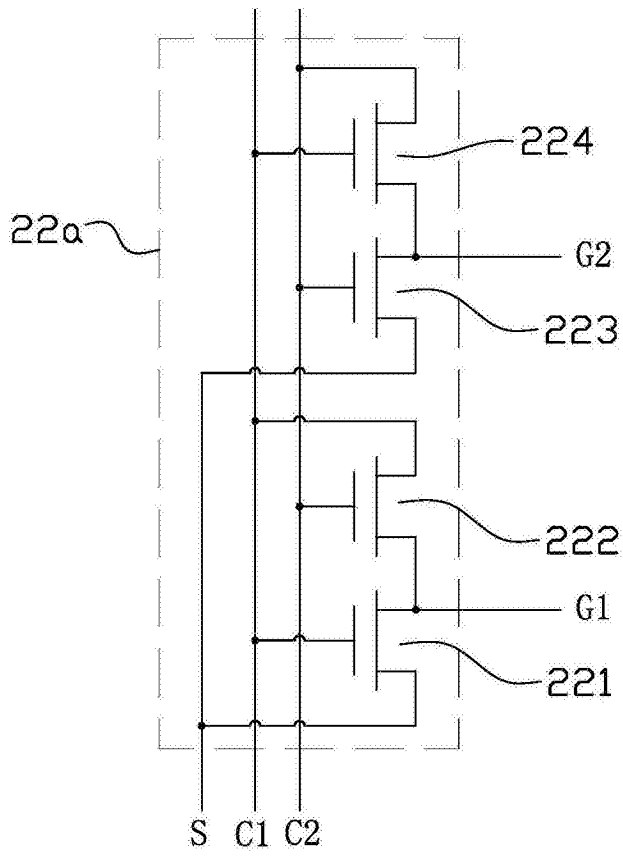


图3

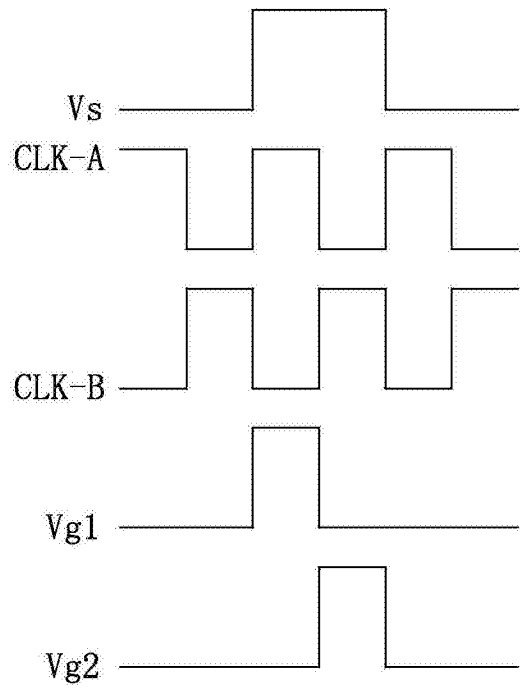


图4

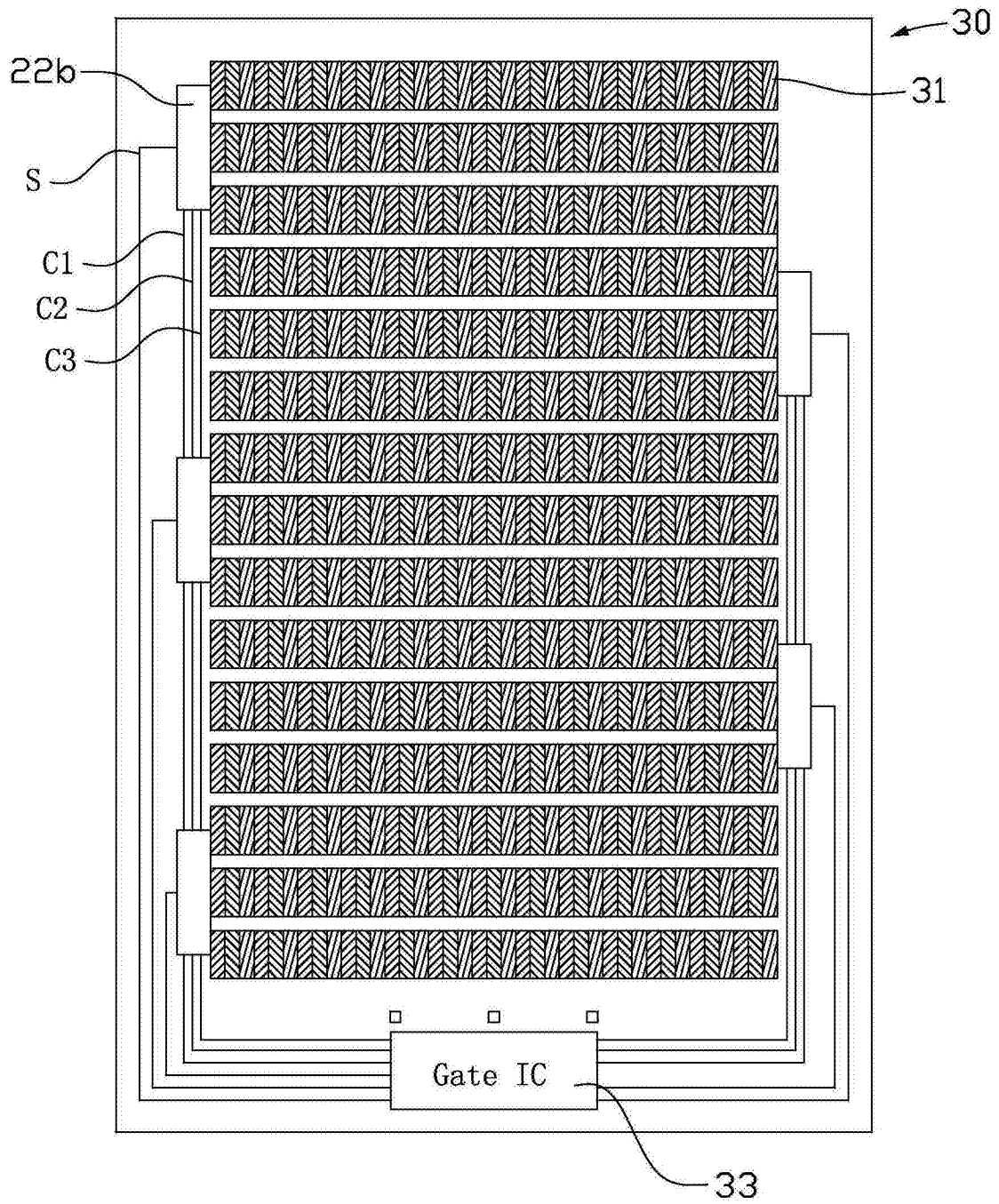


图5

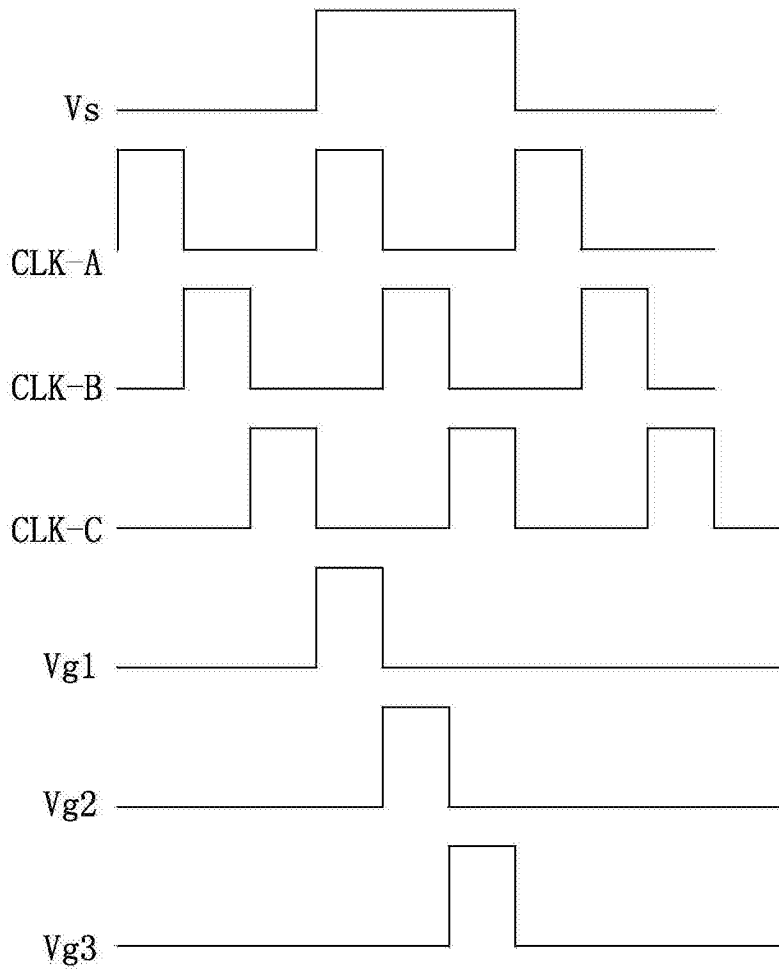


图7

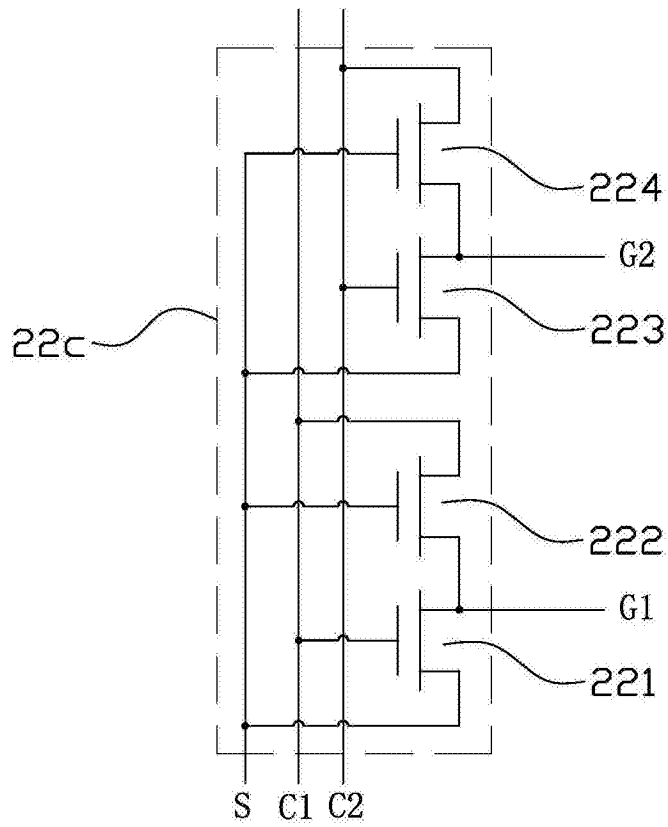


图8

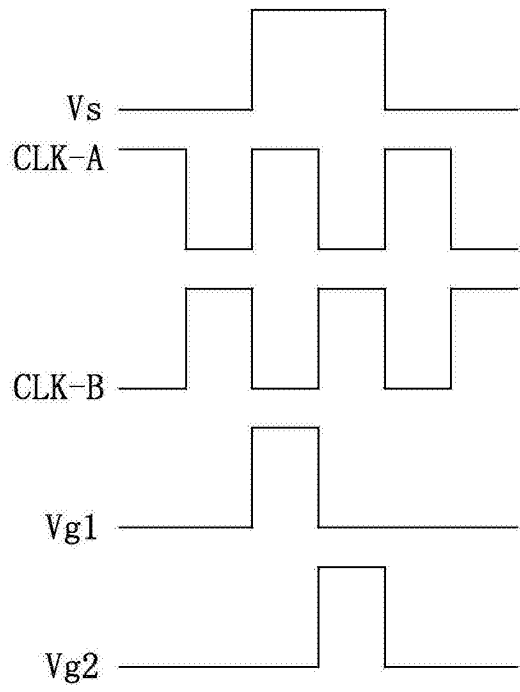


图9

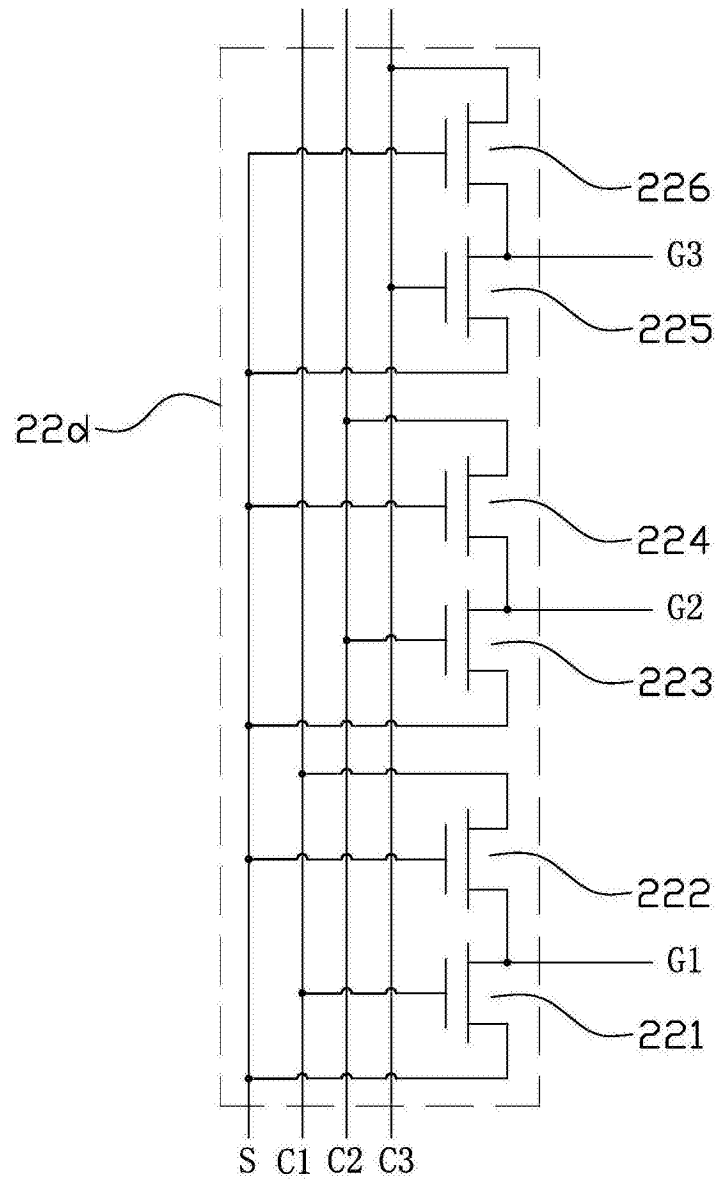


图10

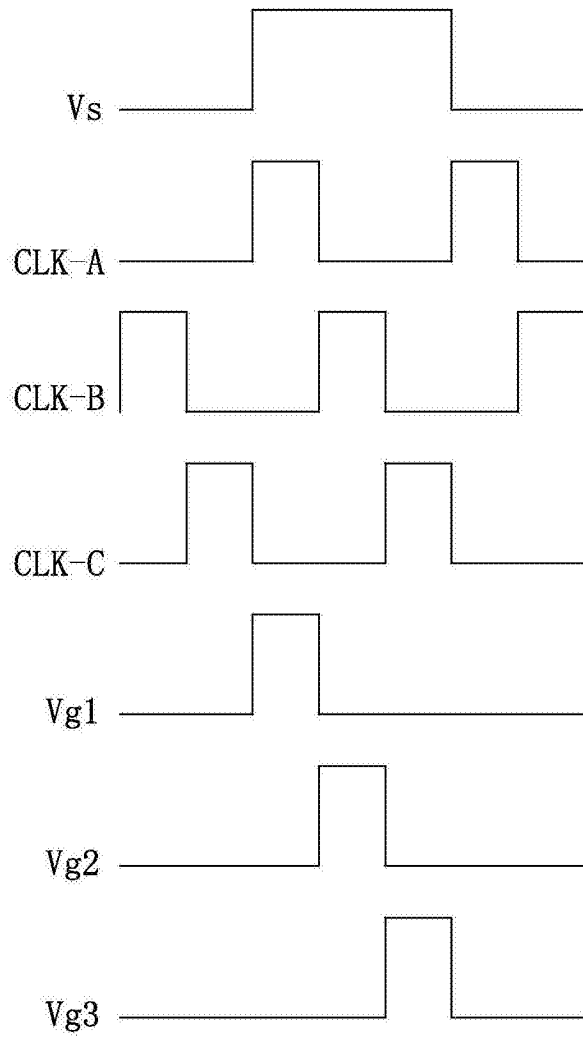


图11

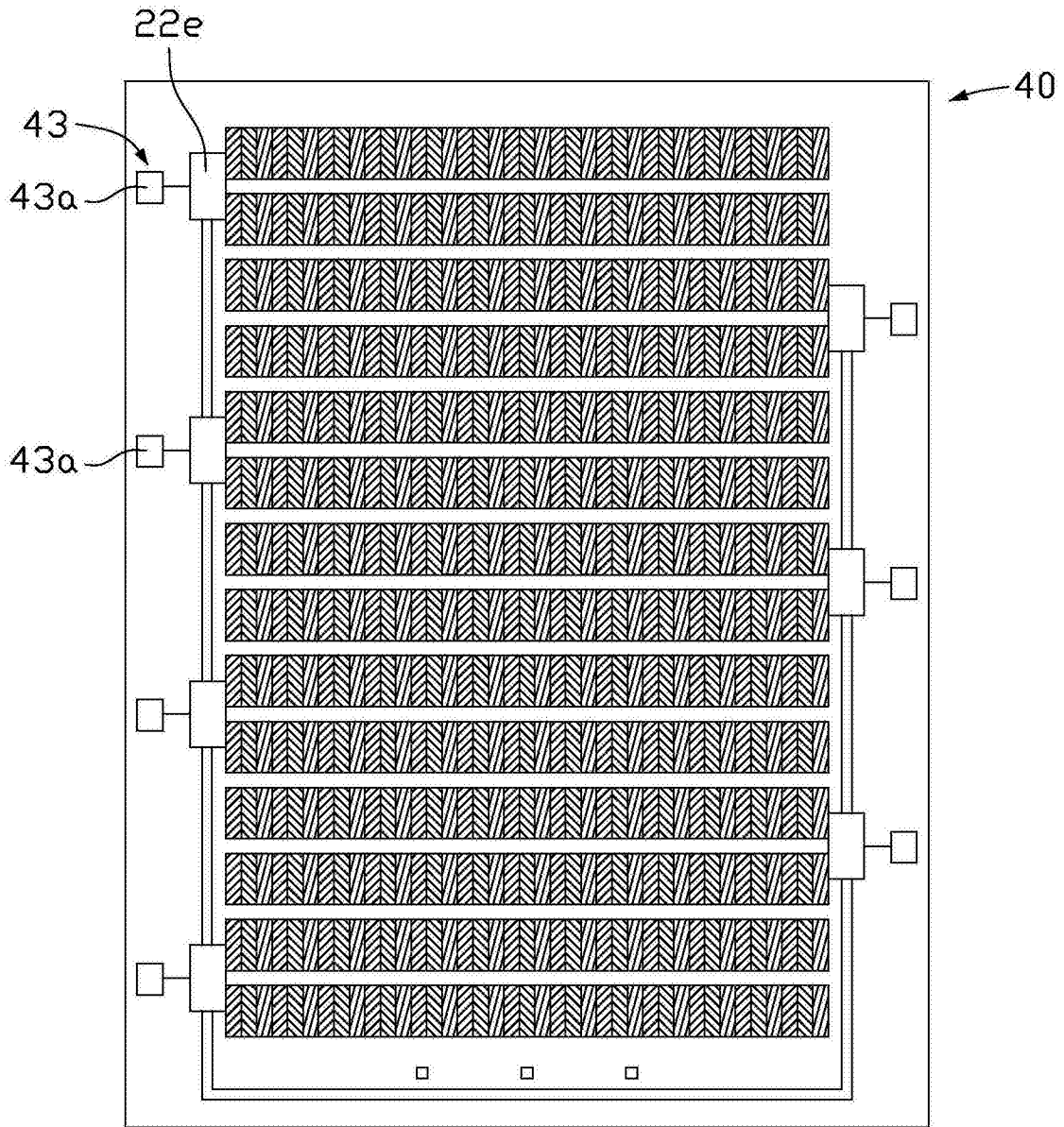


图12

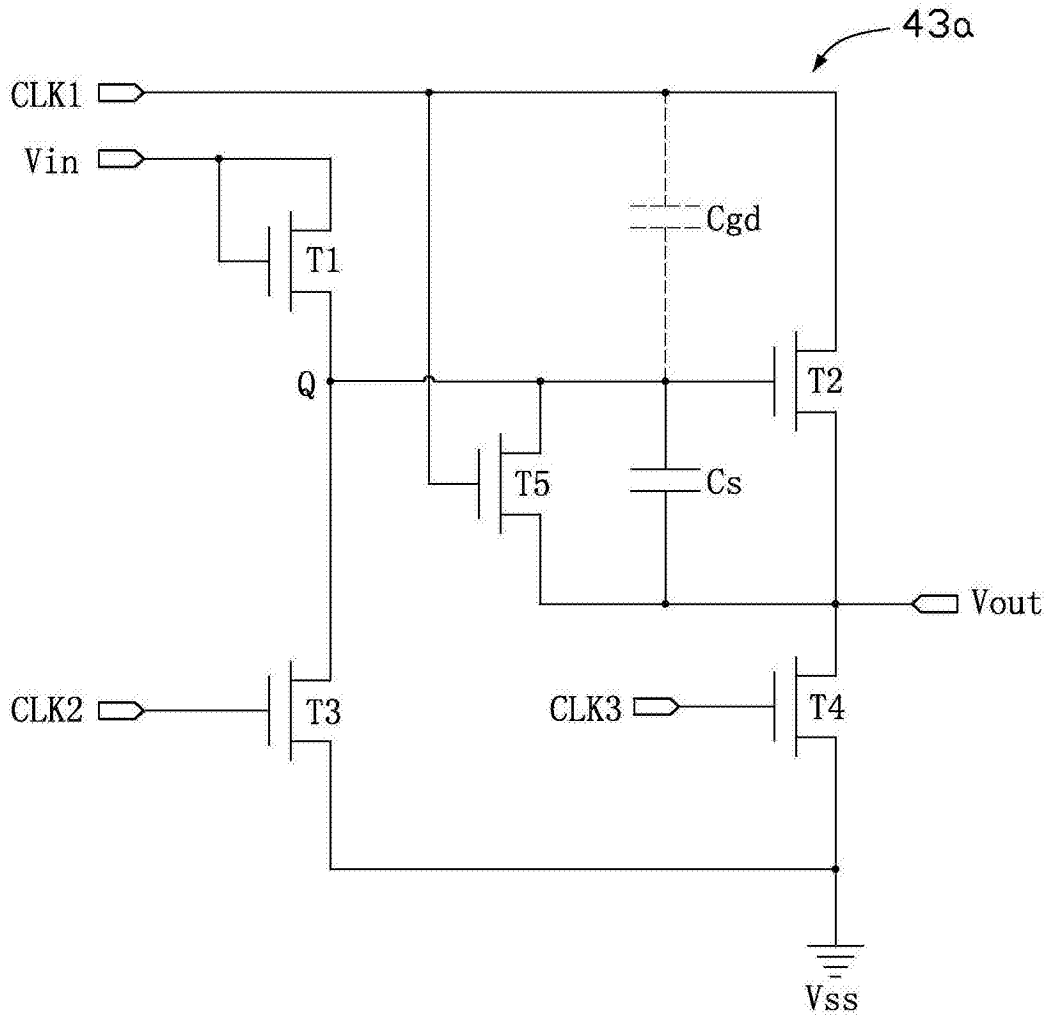


图13