

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3615182号

(P3615182)

(45) 発行日 平成17年1月26日(2005.1.26)

(24) 登録日 平成16年11月12日(2004.11.12)

(51) Int. Cl.⁷

F I

G03F	1/08	G03F	1/08	A
G06F	17/50	G06F	17/50	658M
H01L	21/027	G06F	17/50	666C
H01L	21/82	H01L	21/30	502P
		H01L	21/82	D

請求項の数 8 (全 22 頁)

(21) 出願番号	特願2001-359956 (P2001-359956)	(73) 特許権者	000003078
(22) 出願日	平成13年11月26日(2001.11.26)		株式会社東芝
(65) 公開番号	特開2003-162041 (P2003-162041A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年6月6日(2003.6.6)	(74) 代理人	100083806
審査請求日	平成15年3月10日(2003.3.10)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一

最終頁に続く

(54) 【発明の名称】 光近接効果補正方法及び光近接効果補正システム

(57) 【特許請求の範囲】

【請求項1】

OPC不適合パターン及びその対策をライブラリ記憶装置に格納するステップと、レイアウト設計、OPC、リソグラフィ・ルール・チェック、危険箇所の登録のうち少なくとも1の段階において、得られた設計パターンに対して前記ライブラリ記憶装置に格納されている前記OPC不適合パターンとパターンマッチングを行うステップとを含むことを特徴とする光近接効果補正方法。

【請求項2】

前記ライブラリ記憶装置に格納されている既知の前記OPC不適合パターンを抽出するステップと、

前記OPC不適合パターンに対応して、前記ライブラリ記憶装置に格納されている前記対策を抽出し、前記対策を前記OPC不適合パターンに施し、OPCに最適なレイアウト設計を実現するステップ

とを更に有することを特徴とする請求項1記載の光近接効果補正方法。

【請求項3】

前記危険箇所の登録の段階において危険箇所記憶装置に格納されている全ての危険箇所のパターンと前記ライブラリ記憶装置に格納されている前記OPC不適合パターンと前記パターンマッチングを行い、前記OPC不適合パターンと一致しない場合は、転写イメージ出力を行うステップを有することを特徴とする請求項1又は2のいずれか1項記載の光近接効果補正方法。

10

20

【請求項 4】

マスク製造工程において製造されたフォトマスクを検査するステップ、ウエハ上のフォトレジスト膜に前記フォトマスクを用いて露光されたパターンを検査するステップ、前記フォトレジスト膜をエッチングマスクとして前記フォトレジスト膜の下層の薄膜をエッチングし、基板上に生成されたパターンを検査するステップからなるグループのうち少なくとも1からなる検査ステップと、

前記検査ステップによりOPC不適合パターンを抽出するステップと、

抽出された前記OPC不適合パターンを前記ライブラリ記憶装置に格納するステップ

とを更に有することを特徴とする請求項1～3のいずれか1項記載の光近接効果補正方法。

10

【請求項 5】

OPC不適合パターン及びその対策をライブラリ記憶装置に格納する登録手段と、

レイアウト設計を行うレイアウト設計手段、OPCを行うOPC手段、リソグラフィ・ルール・チェックを行うリソグラフィ・ルール・チェック手段、危険箇所の判定を行い危険箇所記憶装置に格納する危険箇所登録手段のうちの少なくとも1の手段において、得られた設計パターンに対して前記ライブラリ記憶装置に格納されている前記OPC不適合パターンとパターンマッチングを行うパターンマッチング手段

とを含むことを特徴とする光近接効果補正システム。

【請求項 6】

前記ライブラリ記憶装置に格納されている既知の前記OPC不適合パターンを抽出し、抽出された前記OPC不適合パターンに対応して前記ライブラリ記憶装置に格納されている前記対策を抽出し、前記対策を前記OPC不適合パターンに施し、OPCに最適なレイアウト設計を実現するレイアウト設計手段

を更に有することを特徴とする請求項5記載の光近接効果補正システム。

20

【請求項 7】

前記パターンマッチングを行い、前記OPC不適合パターンと一致しない場合は、転写イメージを出力する転写イメージ出力手段

を有することを特徴とする請求項5又は6のいずれか1項記載の光近接効果補正システム。

【請求項 8】

マスク製造工程において製造されたフォトマスクセットを検査するマスク検査装置、ウエハ上のフォトレジスト膜に前記フォトマスクを用いて露光されたパターンを検査するレジストパターン検査装置、前記フォトレジスト膜をエッチングマスクとして前記フォトレジスト膜の下層の薄膜をエッチングし、基板上に生成されたパターンを検査するエッチング形状検査装置からなるグループの少なくとも1つを有するパターン検査手段を更に有し、前記ライブラリ登録手段は、前記パターン検査手段の結果抽出されたOPC不適合パターンを前記ライブラリ記憶装置に格納することを特徴とする請求項5～7のいずれか1項記載の光近接効果補正システム。

30

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体集積回路のレイアウト設計、マスクデータ作成検証処理に関する光近接効果補正（以下において「OPC」と言う。）システム及びその方法に係わる。

【0002】**【従来の技術】**

半導体装置の微細化に伴い、光学露光方式で微細なマスクのパターン形状をウエハ上に忠実に形成することが次第に困難になる。このため、微細化されたマスクパターンにおいては予めマスクパターンに図形を付加したり、疎密に応じてサイズを補正するOPCが行われている。このOPCは、ルールベースOPCとモデルベースOPCという手法で実現されている。「ルールベースOPC」とは、OPCテストパターンの転写結果から得られた

40

50

実測値をベースに、ライン幅毎、スペース毎に近接効果によるひずみ量との相関表を作成し、レイアウト・パターンに変更を加えるルールを作成し、このルールにより補正を実現する方法である。すなわち、ルールベースOPCは、回路パターンにおけるパターンカテゴリごとにOPCパターンの作成ルールを規定し、規定した作成ルールに従ってOPCパターンを作成する方法である。このルールベースOPCは、ライン・アンド・スペース・パターンのように、近接図形を一次元的に調べて補正する処理を得意としている。一方、「モデルベースOPC」とは、リソグラフィ・シミュレーションをベースとしたモデルを用いた補正であり、パターン転写結果から得られた実測値をもとに、モデルをキャリブレーション（調整）し、さらに詳細に複雑なプロセスに対応することを可能とする方法である。すなわち、モデルベースOPCは、加工寸法をシミュレーションするモデル式を用いて、加工後のマスクパターンの寸法が設計パターンと一致するように算出する方法である。このモデルベースOPCは、近接図形の効果を二次元的に調べて補正する処理を得意とし、ルールベースOPCに比べて処理時間はかかるが、全般的な補正精度は高い。近年の先端デバイスでは、二次元的補正を行うOPCが必要とされ、これが比較的容易に実現できるモデルベースOPCが使用されている。また、ルールベースOPCとモデルベースOPCとを組み合わせて補正する手法も使用されている。

10

【0003】

しかし、プロセス世代を増す毎に、OPCに要求される精度は高くなってきており、正しく補正することが出来ないパターンが増えてきている。これに対して、モデルベースOPCにおいて、実測値をベースにしたキャリブレーションで全てを対応させることは、実測値の測定時間及び膨大な量のデータに対する調整が難しいという点において現実的な方法ではない。そのため、

20

(a) 要求精度が異なる領域等があれば、それぞれに対して特化したモデルを作成し、使い分ける方法；または、

(b) マスク製造、ウエハ上へのリソグラフィ、エッチング等のリソグラフィ以降のウエハ加工プロセス等、それぞれの工程に特化したモデル（またはルール）を使用した方が精度の向上が図れる場合（例えば、エッチングにおける近接効果の傾向が、他の工程における近接効果の傾向と異なるとき等）は、異なるモデル（またはルール）を作成し、各工程用の補正を順次行う方法が用いられる。

【0004】

次に、図12に従来の高精度OPC処理の全体フローを示す。

30

【0005】

(イ) ステップS201のレイアウト設計段階において、DRC（デザイン・ルール・チェック）/LVS（レイアウト対スキマティック）等を用いてレイアウト検証を行う。ここで、DRCとは、設計したマスクパターンが設計ルールに適合しているか否かを検証するソフトウェアのことである。従って、設計規則違反は、DRCにおいて見つけられる。また、LVSとは、レイアウト対スキマティックを検証するソフトウェアで、これを用いて元のスキマティックとそのレイアウトの整合性を検証するものである。その後、検証済みのレイアウト設計データを図13のレイアウト記憶装置43に格納する。図14(a)にOPC処理前のパターン（図形90、91）、図14(b)にOPC処理後のパターン（図形90、91、補正部分92a、93a）を示す。

40

【0006】

(ロ) 次に、ステップS202のOPCでは、ステップS201で設計された検証済みのレイアウトデータに対して、OPC処理を行う。尚、ここでは、OPC処理の前処理においてはOPC対象図形の抽出・合成等、OPC処理の後処理においてはマスクデータとして出力する図形の合成等を行う。

【0007】

(ハ) 次に、ステップS203のOPCルール・チェックにおいて、OPC後のパターンの図形的な正当性をDRCを用いて検証する。例えば、OPCルール・チェックでは、取り決めたマスク検査及び作製における限界値、ウエハ・プロセスにおける限界値を違反し

50

た補正がなされていないかを検証する。

【 0 0 0 8 】

(ニ)次にステップS 2 0 4のリソグラフィ・ルール・チェックにおいて、OPC前後のパターンを入力し、OPC後(又はOPC前)のエッジ(OPC対象図形の辺)毎に簡易なリソグラフィ・シミュレーションを実行することにより、所望のパターンのエッジとのズレが指定値よりも大きなものを危険箇所として出力することを行う。例えば、図14(c)に示す例では、危険箇所となるエッジ92c、93cが指定した許容誤差をオーバーする場合、抽出される。

【 0 0 0 9 】

(ホ)次に、ステップS 2 0 5において、危険箇所を含む危険箇所近傍パターン(図14(c)危険箇所となるエッジ92c、93c参照)を読み込み、危険箇所近傍パターンに対して詳細なリソグラフィ・シミュレーションを実行することにより、図14(d)に示すような転写イメージ94、95を取得する。

【 0 0 1 0 】

(ヘ)そして、ステップS 2 0 6において、転写イメージ出力による判定を行い、OPC結果の問題の有無を判断する。ステップS 2 0 6の判定により、問題がある場合は、ステップS 2 0 1又はステップS 2 0 2の処理へ戻り、回避策等を検討し、レイアウトを変更したり、OPC設定を最適化する等、対処する。ステップS 2 0 6の判定により、問題がなければ、ステップS 2 0 7において、OPC検証済みのデータを電子ビーム(EB)描画用のデータに変換し、ステップS 2 0 8のマスク(レティクル)製造の工程に進む。以上の(ハ)~(ヘ)のステップS 2 0 3~S 2 0 6までの処理がOPC検証である。そして、このOPC検証は、図13のステップS 3 4、S 3 8、S 4 2等の細分化された各OPC処理後においてもそれぞれ行われる。

【 0 0 1 1 】

(ト)そして、ステップS 2 0 8のマスク製造の工程において製造された複数枚のフォトマスクからなるセットは、ステップS 2 0 9で、それぞれ検査され、問題がなければ、ステップS 2 1 0のウエハ上へのリソグラフィ工程へ進む。ステップS 2 1 0では、ウエハ上にフォトレジスト膜をスピナーを用いて塗布し、ステッパーに搭載されたフォトマスク(レティクル)を用いて、フォトレジスト膜を露光する。更に、現像、リンス、ポストバーク、キュア等の工程を経て、ステップS 2 1 1のリソグラフィ検査の工程へ進む。ステップS 2 1 1において、ウエハ上のフォトレジストパターンの検査が行われた結果、問題がなければ、ステップS 2 1 2のエッチング工程へ進む。ステップS 2 1 2では、反応性イオンエッチング(RIE)等により、ウエハ上に形成されたフォトレジスト膜をエッチングマスクとしてフォトレジスト膜の下層の薄膜をエッチングする。エッチングが終了すると、ステップS 2 1 3のエッチング形状の検査へ進む。ステップS 2 0 9のマスク検査、ステップS 2 1 1のリソグラフィ検査、ステップS 2 1 3のエッチング形状検査の結果、問題があれば、ステップS 2 0 2の処理へ戻り、OPC設定の修正を行う。また、レイアウト修正が必要なものについては、ステップS 2 0 1の処理へ戻りレイアウト修正を行う。

【 0 0 1 2 】

【発明が解決しようとする課題】

上述してきた従来のOPC及びOPC検証フローでは、転写イメージを取得するリソグラフィ・シミュレーション時間と、リソグラフィ・シミュレーションの結果危険箇所として出力されたパターンとを解析し、対策を検討する時間及び工程数は、多大なものであり、検証に多大な時間を要するという問題がある。また、各領域毎、各工程毎にOPC処理後にリソグラフィ・ルール・チェックを行い、その後、転写イメージの詳細なシミュレーションを行うというフローを繰り返し行わなければならない、半導体集積回路の製造までに、多大な時間を要した。また、従来は、各工程又は各領域において、パターンが不適合であると判断されるたび、フローの始めに戻り、OPC設定の変更を行うか、レイアウト設計の変更を行う等していたため、多くの時間を要しなければならなかった。更に、OPC検

10

20

30

40

50

証結果をもとにOPCの設定等を変更し、精度向上を図っているが、他のパターンに与える副作用等による精度劣化の問題もあり、OPCの最適化は困難になってきている。

【0013】

また、図15に示すように、OPC補正対象エッジの分類例として、ライン端80a、ライン部80b、内部コーナー80c、外部コーナー80d等があげられる。まず、図16(a)に示すように、パターン81の有するライン端83aとパターン82の有する外部コーナー84aが接近する部分について、制約のない(またはデフォルト値である)ルール又はモデルによる補正を考えてみる。この場合、図16(b)に示すように、補正部分83b及び84bにより、図形81及び82のスペースが詰まりすぎる傾向にあり、転写後に図形81と82がショートしてしまう危険性がある。従って、OPC処理を行うに際して、図16(c)に示すように、ライン端83cと外部コーナー84cに適切な最小スペースを確保することができる制約値を与え、ショートする危険性を回避する必要がある。

10

【0014】

そこで、図15に示すように分類したエッジの種類(80a、80b、80c、80d等)毎に、きめ細かい補正の設定を行うことにより、それぞれのパターンに特化した対策が可能となるが、現実には新たなパターンバリエーションに柔軟に対応することは難しい。例えば、図16(c)に示すような、補正制約値においても、周辺環境及びパターン自体の線幅等の違いにより、異なる値が必要となる場合も生じてくる。

【0015】

更に、メモリ混載チップ等におけるロジック部、メモリ部(メモリセル内部、セル端部、セル周辺部等)等のチップ上の領域毎、又はレティクル製造、ウエハ上でのリソグラフィ、エッチング・プロセス等の工程毎に、最適なOPCが行われても全体の平均的な精度を向上させるものであって、パターンによっては対応することができないものもあり、パターン毎に特化した対策が必要となっている。尚、メモリ部は、メモリセル内部、セル端部、セル周辺部等に分けられ、それぞれにおいても異なったOPCが行われる。

20

【0016】

前述してきたように、従来手法では、ほとんどのパターン・バリエーションに対応したOPCを早期に立ち上げることは難しい。

【0017】

本発明は上述の如き従来の課題を解決するためになされたもので、その目的は、パターンを短時間で適切に補正し、ほとんどのパターンに対応したOPCを早期に立ち上げることである。

30

【0018】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の特徴は、(イ)OPC不適合パターン及びその対策をライブラリ記憶装置に格納するステップ；(ロ)レイアウト設計、OPC、リソグラフィ・ルール・チェック、危険箇所の登録のうち少なくとも1の段階において、得られた設計パターンに対してライブラリ記憶装置に格納されているOPC不適合パターンとパターンマッチングを行うステップとを含む光近接効果補正方法としたことである。

40

【0019】

「OPC不適合パターン」は、OPCにとって厳しい条件となりそうなOPCテストパターンまたは製品処理のOPC検証でOPC不適合と判断されたパターンのことをいう。「対策」は、OPC不適合パターンに対して問題点を改善する方法等のことをいう。「ライブラリ記憶装置」は、OPC不適合パターン及びその対策(解決策)を格納しておくための記憶装置である。「レイアウト設計」の段階とは、パターンマッチングによって抽出されたOPC不適合パターンについてOPC適合パターンとなるようにレイアウト設計を行う段階のことをいう。「OPC」の段階とは、レイアウト設計データに基づきマスクパターンとウエハ上に転写されるパターンとの差異を計算し、予めマスクパターンデータに対して光近接効果補正(OPC)を行う段階のことをいう。「リソグラフィ・ルール・チェ

50

ック」の段階とは、ウエハ上に転写されるパターンに対して、危険箇所の有無を検証する段階のことをいう。「危険箇所」とは、欠陥を起因する危険性のある箇所のことをいう。

【0020】

本発明の第1の特徴に係わるOPC方法では、予めOPC不適合パターンを抽出し、ライブラリ記憶装置に格納しておくほか、処理をシンプルにしたため、OPCの失敗による再実行の回数を減らすことが出来、従来に比べOPC処理時間を短くし、結果、OPCの高速化を実現することが出来る。また、本発明の第1の特徴に係わるOPC方法では、各ステップにおいて、マスキレイアウトをライブラリ記憶装置に格納されたOPC不適合パターンとパターンマッチングを行うステップと、一致するOPC不適合パターンの対策を抽出するステップと、対策に基づきマスクパターンに補正を加えるステップと、マスクパター

10

【0021】

本発明の第2の特徴は、(イ)OPC不適合パターン及びその対策をライブラリ記憶装置に格納する登録手段と、(ロ)レイアウト設計を行うレイアウト設計手段、OPCを行うOPC手段、リソグラフィ・ルール・チェックを行うリソグラフィ・ルール・チェック手段、危険箇所を危険箇所記憶装置に格納する危険箇所登録手段のうちの少なくとも1の手段において、得られた設計パターンに対してライブラリ記憶装置に格納されているOPC不適合パターンとパターンマッチングを行うパターンマッチング手段とを含む光近接効果補正システムとしたことである。

20

【0022】

「登録手段」は、レイアウト設計手段、OPC手段、リソグラフィ・ルール・チェック手段、危険箇所登録手段においてパターンマッチング手段により抽出されたOPC不適合パターン、その対策、レイアウトパターン、補正後レイアウトパターン、エラー箇所等のデータをそれぞれライブラリ記憶装置、エラー箇所記憶装置、レイアウト記憶装置、補正後レイアウト記憶装置、危険箇所記憶装置に登録するための手段であり、テストパターンを解析するテストパターン解析手段、OPC不適合パターンを抽出する不適合パターン抽出手段、OPC不適合パターンに対する修正案としての対策を解析する対策解析手段、OPC不適合パターンをライブラリ記憶装置に登録するライブラリ登録手段、レイアウト設計データをレイアウト記憶装置に登録するレイアウト登録手段、OPC設定に基づき補正した後のレイアウトを補正後レイアウト記憶装置に登録する補正後レイアウト登録手段、エラーを起こす可能性のある箇所をエラー箇所記憶装置に危険箇所登録手段から構成される。「パターン・マッチング手段」は、各段階において得られた所望の設計パターンと、ライブラリ記憶装置に格納されているOPC不適合パターンとのパターンマッチングを行う。「レイアウト設計手段」は、レイアウト設計段階において、パターンマッチング手段を用いて、ライブラリ記憶装置に登録されているOPC不適合パターンとレイアウトとのパターンマッチングを行い、OPC不適合パターンについてOPC適合パターンとなるようにレイアウト設計を行う。「OPC手段」は、レイアウト設計データに基づきマスクパターンとウエハ上に転写されるパターンとの差異を計算し、予めマスクパターンデータに対してOPCを行う。「リソグラフィ・ルール・チェック手段」は、OPC前後のパターンを入力し、OPC後(又はOPC前)のOPC対象図形の辺(エッジ)毎に簡易なリソグラフィ・シミュレーションを実行し、所望のパターンのエッジとのズレが指定値よりも大きなものを危険箇所として抽出する。「危険箇所登録手段」は、抽出された危険箇所について、危険箇所記憶装置に格納する。

30

40

【0023】

本発明の第2の特徴に係わるOPCシステムでは、予めOPC不適合パターンを抽出し、ライブラリ記憶装置に格納しておくため、従来に比べてOPC処理時間を短くすることができる。また、本発明の第2の特徴に係わるOPCシステムでは、レイアウト設計手段、OPC手段、リソグラフィ・ルール・チェック手段、及び危険箇所登録手段の各手段にお

50

いて、マスクレイアウトをライブラリ記憶装置に格納されたOPC不適合パターンとパターンマッチングを行うパターンマッチング手段、一致するOPC不適合パターンの対策（ルール又はモデルの変更）を抽出する対策抽出手段、対策に基づきマスクパターンに補正を加える補正手段と、マスクパターン、対策、及び補正後パターンをライブラリ記憶装置に登録するライブラリ登録手段を更に有することによって、シンプルな処理を実現し、OPC処理時間を短縮することができる。

【0024】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

10

【0025】

以下の実施の形態の説明においては、OPCの早期立ち上げを可能とするOPC結果の妥当性を検証するシステム及びこれを用いたOPC方法について述べる。

【0026】

（システム全体）

本発明の実施の形態に係わるOPC検証システム1は、図1に示すように、中央演算処理装置（CPU）30と、CPU30に接続された入出力制御装置34、一時記憶装置33、テストパターン記憶装置40、ライブラリ記憶装置41、エラー箇所記憶装置42、レイアウト記憶装置43、補正後レイアウト記憶装置44、危険箇所記憶装置48とから少なくとも構成されている。入出力制御装置34には、入力装置31、出力装置32、パターン検査手段35等が接続されている。パターン検査手段35には、マスク検査装置36、レジストパターン検査装置37、エッチング形状検査装置38等が含まれる。

20

【0027】

CPU30には、登録手段10、パターンマッチング手段18、レイアウト設計手段19、OPC手段20、OPC検証手段23が少なくとも含まれている。更に、図示を省略しているが、CPU30には、データベース管理手段等他の種々の手段が備えられている。たとえば、テストパターン記憶装置40、ライブラリ記憶装置41、エラー箇所記憶装置42、レイアウト記憶装置43、補正後レイアウト記憶装置44、危険箇所記憶装置48との入出力が必要な場合は、このデータベース管理手段を介して、必要なファイルの格納場所を探し、ファイルの読み出し・書き込み処理がなされる。登録手段10は、必要なデータを抽出し、適宜、データベース管理手段を用いてCPU30に接続している各記憶装置にデータを格納する。この登録手段10には、図2に示すように、テストパターン解析手段11、不適合パターン抽出手段12、対策解析手段13、ライブラリ登録手段14、レイアウト登録手段15、補正後レイアウト登録手段16、危険箇所登録手段17が含まれている。テストパターン解析手段11は、登録手段10の一部として、テストパターン記憶装置40からOPCテストパターンを抽出し、解析する。不適合パターン抽出手段12は、登録手段10の一部として、OPCテストパターン中に欠陥（エラー）などを有するOPC不適合パターンを抽出する。「OPC不適合パターン」としては、例えば次の（a）～（d）が対象となる：

30

（a）OPCのモデルのキャリブレーションに使用出来ないため問題となるパターン；

40

（b）同じプロセス世代のOPC等において、従来から問題となっているパターン；

（c）危険そうなパターン（密集パターン、デザインルールでは許されているがあまり目にしない特異なパターン等）のバリエーションを振り、この危険そうなパターンをOPCとシミュレーションによる検証を用いて絞り込んだ結果問題となるパターン；及び

（d）テストエレメント群（TEG）等を用いたウエハ検証の結果得られた問題となるパターン。

【0028】

この不適合パターン抽出手段12では、まず、欠陥などを起因する領域、欠陥を起因する箇所、エラー要因箇所に大きな影響を及ぼしている周辺パターン等を抽出し、例えば、エラー要因箇所に対して抽出した周辺パターンとは異なる周辺パターンのバリエーションを

50

生成する。次に、バリエーションがエラー要因箇所に対して欠陥を起因するか否かを判定し、バリエーション（若しくはパターン）において、エラーとなるショート、断線、配線の細り/太り許容値オーバーなどの問題の有無が判定される。そして、バリエーションがエラー要因箇所に対して欠陥を起因する可能性のあるパターンを抽出する。対策解析手段13は、抽出したOPC不適合パターンに対して欠陥などの問題を解決するための対策を解析する。対策解析手段13は、OPC不適合パターンに対して対策を施すことにより、周辺にある他の部分への副作用の発生の有無について検証したり、OPC不適合パターンに対して施す対策を設定する。ライブラリ登録手段14は、抽出したOPC不適合パターン、それに対応する対策などをライブラリ記憶装置41に格納する。レイアウト登録手段15は、レイアウト設計段階のパターンマッチングの結果、適合すると判断されたOPC適合パターンをレイアウト記憶装置43に格納する。補正後レイアウト登録手段16は、OPC段階のパターンマッチングの結果適用されるOPC設定に基づき補正された補正後レイアウトパターンを補正後レイアウト記憶装置44に格納する。危険箇所登録手段17は、OPC検証の結果、危険であると判断された箇所を危険箇所記憶装置48に格納する。

10

【0029】

パターンマッチング手段18は、レイアウト設計、OPC、リソグラフィー・ルール・チェック、危険箇所の登録の各段階において、レイアウト設計手段19、OPC手段20、危険箇所抽出手段25、危険箇所登録手段17によって得られた設計パターンに対して、ライブラリ記憶装置41に格納されているOPC不適合パターンとパターンマッチングを行う。

20

【0030】

レイアウト設計手段19は、レイアウト設計段階において、パターンマッチング手段18を用いてライブラリ記憶装置41に登録されているOPC不適合パターンとパターンマッチングを行い、OPC不適合パターンについてOPC適合パターンとなるようにレイアウト設計を行う。

【0031】

OPC手段20は、レイアウト設計データに基づきマスクパターンとウエハ上に転写されるパターンとの差異を計算し、予めマスクパターンデータに対してOPCを行う。図1に示すように、OPC手段20には、対策抽出手段21と補正手段22とが含まれている。対策抽出手段21は、一致するOPC不適合パターンの対策（ルール又はモデル、OPC設定など欠陥等の問題を解決するための対策）をライブラリ記憶装置41から抽出する。補正手段22は、対策（ルール又はモデル、OPC設定など）に基づきマスクパターンに補正を加える。

30

【0032】

OPC検証手段23は、OPC処理後のパターンの図形的な正当性の検証、危険箇所の抽出（簡易シミュレーションベース）、及び転写出力による判定を行い、取り決めたマスク限界値及びプロセスの限界値を違反した補正がされていないかを検証する。このOPC検証手段23には、OPCルールチェック手段24、危険箇所抽出手段25、危険箇所判定手段26、転写イメージ出力手段27が少なくとも含まれている。OPCルールチェック手段24は、OPC処理後のパターンの図形的な正当性をDRC等を用いて検証する。例えば、取り決めたマスク限界値、プロセス限界値を違反した補正がされていないかを検証する。危険箇所抽出手段（リソグラフィ・ルール・チェック手段）25は、リソグラフィ・ルール・チェック、及びシミュレーション・ルール・チェック等を用いて、欠陥を起因する危険性のある箇所を解析し抽出する。危険箇所判定手段26は、危険箇所抽出手段25で抽出した危険箇所を読み込み、危険箇所記憶装置45に格納する。転写イメージ出力判定手段27は、マスクパターンの転写イメージを出力し欠陥の有無を判定する。

40

【0033】

図1のパターン検査手段35は、マスク検査装置36、レジストパターン検査装置37、エッチング形状検査装置38から構成される。マスク検査装置36は、透過型でも、光学

50

顕微鏡のような反射型でも良い。透過型の場合は、例えば、マスク（レティクル）を搭載し、移動させるX-Yステージ、マスクに光を照射する光源、マスクを透過した光を検出するイメージセンサ等を備えて構成される。このマスク検査装置36は、完成したマスクパターン中に存在するであろう欠陥の検査を行う。レジストパターン検査装置37は、ウエハ上に露光・現像されたレジストパターン中に存在するであろう欠陥の検査をレーザー顕微鏡等の光学顕微鏡等を用いて行う。エッチング形状検査装置38は、レジストパターンをエッチングマスクとしてエッチングした後、レジストを除去し、その表面の加工状態を観察する装置である。このエッチング形状検査装置38としては、光学顕微鏡の他、走査型電子顕微鏡（SEM）等が使用できる。断面観察するのであれば、レジストを付けたままSEM等によりエッチング形状を検査しても良い。

10

【0034】

入力装置31は、キーボード、マウス、OCR等の認識装置、イメージスキャナ等の図形入力装置、音声認識装置等の特殊入力装置などにより、出力装置32は、液晶ディスプレイ、CRTディスプレイ等の表示装置、インクジェットプリンタ、レーザープリンタなどの印刷装置等によりそれぞれ構成される。

【0035】

入出力制御装置（入出力インタフェース）34は、マスク検査装置36、レジストパターン検査装置37、エッチング形状検査装置38、入力装置31、出力装置32、あるいは図示を省略したCD-ROM、MO、ZIPなどの記憶装置の読み取り装置等をCPU30につなぐインタフェースである。データの流れからみると、入出力制御装置34は、マスク検査装置36、レジストパターン検査装置37、エッチング形状検査装置38、入力装置31、出力装置32、外部記憶装置の読み取り装置と一時記憶装置（主記憶装置）33とのインタフェースとなる。一時記憶装置（主記憶装置）33には、ROM及びRAMが組み込まれている。ROMは、CPU30において実行されるプログラムを格納しているプログラム記憶装置等として機能する。RAMは、CPU30におけるプログラム実行処理中に利用されるデータ等を一時的に格納したり、作業領域として利用される一時的なデータメモリ等として機能する。テストパターン記憶装置40は、OPCテストパターンを格納しておくための記憶装置である。ライブラリ記憶装置41は、OPC不適合パターン及びその対策としてのOPC設定を格納しておくための記憶装置である。レイアウト記憶装置43は、レイアウト設計データを格納しておくための記憶装置である。エラー箇所記憶装置42は、エラーが生じる箇所を格納しておくための記憶装置である。補正後レイアウト記憶装置44は、OPC設定に基づき補正した後のレイアウトを格納しておくための記憶装置である。危険箇所記憶装置48は、エラーを起こす可能性のある箇所（危険箇所）を格納しておくための記憶装置である。

20

30

【0036】

本発明の実施の形態に係わるOPC検証システム1は、上記のように構成されており、このようなOPC検証システムを用いることにより、従来に比べて短期間にレイアウト設計及び検証環境を立ち上げることができる。

【0037】

（システム全体フロー）

40

次に、図3及び図4を用いて、本発明の実施の形態に係わる光近接効果検証方法について説明する。なお、以下に述べる光近接効果検証方法は、一例であり、この変形例を含めて、これ以外の種々の検証方法により実現可能であることは勿論である。図3、図4は、本発明の実施の形態における高精度OPC処理を含む全体フローを示したものである。

【0038】

（イ）まず、図3に示すステップS101において、テストパターン記憶装置40からOPCテストパターンを読み込み、ステップS102において、図2のテストパターン解析手段11を用いて、読み込んだOPCテストパターンを解析する。更に、この解析の結果、読み込んだOPCテストパターン中のOPC不適合パターンを不適合パターン抽出手段12を用いて抽出し、ステップS103において、ライブラリ登録手段14を用いてライ

50

ブラリ記憶装置 4 1 に登録しておく。

【 0 0 3 9 】

(ロ)次に、図 1 のレイアウト設計手段 1 9 により、ステップ S 1 0 4 において、対象とする L S I の機能を実現するための L S I レイアウト設計を行う。このレイアウト設計段階において、D R C / L V S 等を用いて、レイアウト検証を行う。次に、検証済みのレイアウト設計データに対して、ステップ S 1 0 5 において、パターンマッチング手段 1 8 を用いてライブラリ記憶装置 4 1 に登録されている O P C 不適合パターンとパターンマッチングを行う。そして、O P C 不適合パターンと一致するものと、O P C 不適合パターンと一致しないものに分け、レイアウト登録手段 1 5 を用いて、O P C 不適合パターンと一致するものをレイアウト記憶装置 4 3 に格納する。O P C 不適合パターンと一致するパターンについては、O P C 適合パターンとなるようにレイアウトの再設計を行う。あるいは、後続処理で対応可能なものはレイアウト変更せず、ステップ S 1 0 6 に進んでも良い。

10

【 0 0 4 0 】

(ハ)次に、ステップ S 1 0 6 では、ステップ S 1 0 4 で設計された検証済みのレイアウトデータに対して O P C 処理を施す。このステップ S 1 0 6 の O P C 処理に際して、O P C 対象図形の抽出・合成等を行う。このとき、ステップ S 1 0 7 において、パターンマッチング手段 1 8 を用いてライブラリ記憶装置 4 1 に登録されている O P C 不適合パターンを用いてマッチングを行う。そして、O P C 不適合パターンと一致するパターンが有る場合は、対策抽出手段 2 1 を用いて、一致した O P C 不適合パターンに対応する対策（問題内容、改善方法、回避方法等からなる補正のための情報）を抽出し、抽出した改善方法及び回避方法等の対策に基づき補正手段 2 2 を用いて、設計パターンに補正を加え、O P C 処理を施す。O P C 処理を施したパターンは、補正後レイアウト登録手段 1 6 を用いて補正後レイアウト記憶装置 4 4 に格納される。尚、ステップ S 1 0 6 では、O P C 処理の後処理としてマスクデータとして出力する図形の合成等も行う。

20

【 0 0 4 1 】

(ニ)次に、ステップ S 1 0 8 において、まず、O P C ルールチェック手段 2 4 を用いて、補正後レイアウト記憶装置 4 4 に格納されている O P C 処理後のパターンの図形的な正当性を D R C 等を用いて検証する。例えば、O P C ルールチェックとして、取り決めたマスク検査及び作製における限界値、ウエハ・プロセスにおける限界値を違反した補正がなされていないかを検証する。次に、ステップ S 1 0 9 において、レイアウト記憶装置 4 3 の情報が適宜抽出され、パターンマッチング手段 1 8 を用いてライブラリ記憶装置 4 1 に登録されている O P C 不適合パターンとマッチングさせ、O P C のパターンマッチングと同じ条件でリソグラフィ・ルール・チェックを行う。

30

【 0 0 4 2 】

(ホ)そして、ステップ S 1 1 1 において、危険箇所抽出手段 2 5 を用いて所望のパターンのエッジとのズレが指定値よりも大きなものを危険箇所として判定し、抽出する。このときも、ステップ S 1 1 2 において、パターンマッチング手段 1 8 を用いて、O P C 検証が終了したパターンをライブラリ記憶装置 4 1 に格納されている O P C 不適合パターンとマッチングさせる。そして抽出された危険箇所は、危険箇所判定手段 2 6 を用いて、危険箇所の判定が行われる。そして、ステップ S 1 1 1 において、危険箇所登録手段 1 7 を用いて危険箇所記憶装置 4 8 に危険箇所となる部分の情報を格納する。

40

【 0 0 4 3 】

(ヘ)次に、図 4 のステップ S 1 1 3 において、転写イメージ出力手段 2 7 を用いて、転写イメージ出力による判定を行う。このとき、ステップ S 1 1 4 において、転写イメージ出力をライブラリ記憶装置 4 1 に格納されている O P C 不適合パターンとパターンマッチングさせる。そして、マッチングの結果をステップ S 1 1 3 において判定した結果、問題があると判定されたパターンは、ステップ S 1 1 5 のライブラリ登録において、問題のあるパターンを O P C 不適合パターンとしてその対策等のデータと共にライブラリ記憶装置 4 1 に登録される。以上の(ニ)～(ト)のステップ S 1 0 9 ~ S 1 1 4 までの処理が本発明の実施の形態における O P C 検証である。ステップ S 1 1 3 の判定により、全てのパ

50

ターンが適合パターンであると判定された場合は、OPC検証済みのデータを電子ビーム（EB）描画用のデータに変換し、ステップS118のマスク（レティクル）製造の工程へ進む。

【0044】

（ト）次に、ステップS118のマスク（レティクル）製造の工程において、製造された必要な枚数のフォトマスクのセットは、ステップS119で、それぞれ検査される。ステップS119において、マスク検査装置36を用いてフォトマスクの検査が行われた結果、OPC不適合パターンであると判定された場合は、ステップS116においてライブラリ登録し、ステップS104のレイアウト設計に戻る。ステップS119のフォトマスクの検査の結果、適切なOPCであると判定された場合は、ステップS120のウエハ上へのリソグラフィの工程へ進む。ステップS120では、ウエハ上にフォトレジスト膜をスピナーを用いて塗布（スピコート）し、ステッパーに搭載されたステップS119で合格と判定されたフォトマスク（レティクル）を用いて、フォトレジスト膜を露光する。さらに、現像、リンス、ポストバーク、キュア等の工程を経て、ステップS121のリソグラフィ検査の工程に進む。

10

【0045】

（チ）次に、ステップS121において、レジストパターン検査装置37を用いてウエハ上でのフォトレジストパターンの検査が行われた結果、判定がOPC不適合パターンであるとされた場合は、ステップS116のライブラリ登録の処理を経て、ステップS104のレイアウト設計に戻る。ウエハのリソグラフィ検査の結果、判定が適切なOPCであると判断された場合は、ステップS122のエッチングの工程に進む。ステップS122では、反応性イオンエッチング（RIE）等により、ウエハ上に形成されたステップS120で合格とされたフォトレジスト膜をエッチングマスクとしてフォトレジスト膜の下層の薄膜をエッチングする。半導体基板（Si）をエッチングする場合は、半導体基板上に酸化膜（SiO₂膜）を形成し、この酸化膜をエッチングし、レジスト膜を除去してから酸化膜をエッチングマスクとして半導体基板をエッチングしても良い。エッチングを終了したら、ステップS123のエッチング形状の検査に進む。酸化膜マスクで半導体基板をエッチングする場合は、酸化膜マスクが出来上がった時に、ステップS123において、エッチング形状検査装置38を用いてエッチング形状の検査をし、さらに半導体基板のエッチングが終了した時点で、再びステップS123において、エッチング形状検査装置38を用いてエッチング形状の検査を行う。ステップS123のエッチング形状の検査の結果、判定が適切なOPCであれば処理を終了する。判定が不適切なOPCであれば、ステップS116のライブラリ登録の処理を経て、ステップS104のレイアウト設計に戻る。ステップS116では、S119、S121、S123の判定においてOPC不適合パターンであると判定されたパターンをライブラリ登録手段14を用いてライブラリ記憶装置41に記憶し、ステップS104に戻る。尚、本発明の実施の形態において、ステップS119、S121、S123のいずれかを省略してもよい。

20

30

【0046】

（不適合パターンの抽出）

次に、図5～図7を用いて、OPC不適合パターンを抽出しライブラリ記憶装置41に格納する処理について説明する。図5は、OPC不適合パターンを抽出し登録する処理を示したフロー図である。図6は、抽出するパターン例を示したものである。図7は、ライブラリ記憶装置41に記憶されている内容（データベース）の一例を示した模式図である。（イ）まず、図5のステップS125において、図2の不適合パターン抽出手段12を用いて図1のレイアウト記憶装置43に格納されたレイアウト・データとエラー箇所記憶装置42に記憶されたエラー箇所データとを参照し、現状のOPCの設定（ルール又はモデル）で問題となる箇所を中心として近接効果の影響が考えられる領域（以下、「エラーパターン」とする。）を抽出する。例えば、図6（a）のレイアウトパターン49において、領域50の内部にある図形50bと図形50eとの間でエラーが発生する場合、レイアウトパターン49から領域50をエラーパターンとして抽出する。

40

50

【 0 0 4 7 】

(口)次に、ステップS 1 2 5で抽出した領域(エラーパターン)5 0からステップS 1 2 6において、不適合パターン抽出手段1 2を用いて図6 (b)に示すように、エラーを直接起こしている図形5 0 b及び5 0 eを抽出する。次に、ステップS 1 2 7において、不適合パターン抽出手段1 2を用いて図6 (c)に示すように、エラーに大きく影響を及ぼしている他の図形(5 0 a、5 0 c、5 0 d)を抽出する。

【 0 0 4 8 】

(ハ)次に、ステップS 1 2 8において、エラーパターン5 0以外のレイアウトとなるようなエラーパターンの組み合わせ(バリエーション)をデザインルールの範囲内において許される限り割り振る。そして、シミュレーションを行い、不適合パターン抽出手段1 2を用いて、ショート、断線、配線の細り/太り許容値オーバーなどの問題(欠陥等)の有無を判定し、問題の有無で分類する。パターンを分類した後、不適合パターン抽出手段1 2を用いて図6 (e)、図6 (f)に示すようなエラーパターンのバリエーション5 1、5 2を抽出する。また、図6 (g)に示すようなエラー箇所(図形5 0 b、5 0 e)が問題とならないパターン、及びエラー箇所には影響を及ぼさないことが明らかであるパターンについては除外する。このように、抽出したエラーパターン5 0に対してバリエーションを適宜振り、問題の有無を判定することによって、図6 (e)及び図6 (f)に示すような抽出したエラーパターン5 0以外のエラーとなるバリエーション5 1、5 2、及び図6 (g)に示すようなエラーとならないバリエーション5 3についても同時に抽出することができる。尚、パターンのバリエーション振りとシミュレーションは、適切で無駄のない範囲で実行させるために、問題箇所に対してほとんど影響を及ぼさない部分を予め判定し、パターンのバリエーション振りを最小限にするような環境のもとで実行する。

【 0 0 4 9 】

(ニ)次に、図5のステップS 1 2 9において、ステップS 1 2 8で得られたエラーパターンのバリエーション5 1、5 2について、対策解析手段1 3を用いてバリエーション毎に特化した対策(図7の対策1 0 1、1 0 2参照)を解析する。そして、ステップS 1 3 0において、対策解析手段1 3を用いて、対策を施すことにより周辺にある他の部分(エラー周辺パターン)への副作用発生の有無について検証する。対策を施すことにより他の部分への副作用が発生する場合は、ステップS 1 2 9の処理へ戻り、副作用が発生しないような対策を更に解析する。対策を施すことによる他の部分への影響が生じない場合は、ステップS 1 3 1において、図7に示すように、エラーパターン5 0、バリエーション5 1~5 6と、図7に示すようなエラーを改善・回避するための対策1 0 0~1 0 6(例えば、該当パターンに対するOPCモデルの変更・OPC設定(ルール)の変更・レイアウト変更等)をライブラリ登録手段1 4を用いてライブラリ記憶装置4 1に登録し、エラーパターンのライブラリ登録処理を終了する。

【 0 0 5 0 】

図7に示すライブラリ記憶装置4 1には、例えば、図3のステップS 1 0 1~S 1 0 3において抽出されたOPC不適合パターン5 5、5 6が、対応した対策(ルール・モデル)1 0 5、1 0 6とともに格納される。また、図5のステップS 1 2 5において抽出されたエラーパターン5 0が、ステップS 1 2 9において解析されるエラーパターン5 0に対応する対策1 0 0(図7参照)とともにライブラリ記憶装置4 1に格納される。更に、図5のステップS 1 2 8において抽出されたエラーパターンのバリエーション5 1、5 2が、ステップS 1 2 9で解析されるバリエーション5 1、5 2に対応する対策1 0 1、1 0 2(図7参照)とともに、ステップS 1 3 1においてライブラリ記憶装置4 1に格納される。これらのOPC不適合パターン(エラーパターン)5 0~5 6に対応する対策1 0 0~1 0 6とは、それぞれのパターンにおけるショート、断線、配線の細り/太り許容値オーバーなどの問題内容、改善方法、レイアウト修正等の回避方法等の対策のことをいう。各段階において形成されるパターンをライブラリ記憶装置4 1に格納されているOPC不適合パターンデータとパターンマッチングを行うことによって、瞬時にエラーパターン(OPC不適合パターン)を見つけることができる。

10

20

30

40

50

【 0 0 5 1 】

(対策方法の解析)

次に、OPC不適合パターン及びそのバリエーションに特化した対策を解決する方法について、図8を参照し説明する。

【 0 0 5 2 】

(イ)まず、現状のOPC設定による補正結果が図8(a)に示すような補正パターンであるとした場合、図形60と図形61の間はOPCが施されることにより、補正部分62a、63aの分だけ互いに接近することとなる。そのため、十分なスペースを確保できなくなり、ショートする可能性が生じる。そこで、図8(b)に示すように、図形60、図形61に対してOPCを施す際に、対策解析手段13を用いて最小スペース制約を設定することによって、補正部分62b、63bを最小限に留めることにより、問題となっているショートの可能性を回避する。

10

【 0 0 5 3 】

(ロ)次に、対策解析手段13を用いて、OPC設定を変更することにより、このパターンの他の部分への影響(他の部分への副作用)が生じないかどうかを検証する。例えば、図8(c)に示すように、OPC設定を変更することにより、コンタクト・ホール64c及び65cに対して、コンタクト・カバレッジ不足という影響が生じたり、図形60及び61の線幅にズレが生じるという影響が生じたりするかが検証される。このようなコンタクト・カバレッジ不足や線幅のズレが許容範囲でない場合、「副作用有り」として、他のOPC設定を変更するか、レイアウトを変更するかという対策が検討される。レイアウト変更とは、図6(d)に示すように、補正部分62d及び63d等の補正については、もとのOPC設定のまま、図形60と図形61の配置(レイアウト)を動かし、双方の間のスペースを緩和させることにより、ショートの可能性、コンタクト・カバレッジ不足、及び線幅のズレ等の副作用を回避する方法である。また、上記問題が許容範囲である場合は、「副作用無し」としてOPC設定の変更、又はレイアウト変更の2つの対策が抽出され、適用される。

20

【 0 0 5 4 】

(レイアウト設計)

次に、本発明の実施の形態におけるOPC向きレイアウト設計について図9を参照し説明する。半導体の製造工程において、1つの回路ブロックのレイアウト設計が終了し、判定パターンが完成したとする。この場合、DRCと同時又は直後に、図9(a)に示すライブラリ記憶装置41に記憶されたOPC不適合パターン50~56(OPC不適合パターン50~52については図示省略のため、図7参照。)と図9(b)に示す被判定パターン72とのパターンマッチングにより、被判定パターン72がOPC不適合パターン50~56のいずれかと一致するかどうかの判定を行う。このOPC不適合パターンの判定は、DRCと同様に、レイアウト・エディタ上で起動することもでき、検証結果はレイアウト・エディタ上でハイライトされ、問題内容及び改善方法等ライブラリ記憶装置41に格納されている内容を検索することができる。そして、ライブラリ記憶装置41に格納されている内容を検索し、適用するルール又はモデルが決定すると、そのルール又はモデルをもとに、図9(c)に示すように、OPC不適合パターン56とマッチングした被判定パターン72をレイアウト・エディタ上で修正することができる。本発明の実施の形態では、図9(b)に示す被判定パターン72が図9(a)のライブラリ記憶装置41のOPC不適合パターン56とマッチしている。この場合は、対策(ルール又はモデル)106の情報に基づきレイアウト修正を行い、図9(c)の修正箇所73に示すように、エラー図形間のスペースを緩和することにより修正を行う。

30

40

【 0 0 5 5 】

尚、本発明の実施の形態に係わるOPC向きレイアウト設計は、(1)自動配置配線ツール、(2)デザインマイグレーション・ツール等の設計支援ツールを具備した環境にも利用可能であり、図示した構造に限定されるものではない。

【 0 0 5 6 】

50

(O P C 処理)

図 10 は、本発明の実施の形態における高精度 O P C 処理を示したものである。O P C を行う前処理として、パターンマッチング手段 18 を用いて、図 7 に示すようなライブラリ記憶装置 41 に格納された O P C 不適合パターン 55、56 と被判定パターン 70、71 とのパターンマッチングを行う。パターンマッチングを行った結果、マッチングした被判定パターンの該当箇所に対してライブラリ記憶装置 41 に O P C 不適合パターン 55、56 と共に改善方法として登録・格納されている対策 (ルール又はモデル) 105、106 が、O P C 処理時に適用されるようにする。即ち、図 10 に示す例では、被判定パターン 70 とライブラリ記憶装置 41 に格納されたパターン 55、被判定パターン 71 とライブラリ記憶装置 41 に格納されたパターン 56 とがそれぞれマッチングする。従って、被判定パターン 70 にはパターン 55 の対策 105、被判定パターン 71 にはパターン 56 の対策 106 がそれぞれ O P C 処理時において適用されることとなる。

10

【 0057 】

本発明の実施の形態における O P C 処理では、パターンマッチングの結果マッチしたパターンの該当箇所にはライブラリ記憶装置 41 に格納された O P C 不適合パターンの O P C 設定を適用し、パターンマッチングにおいてマッチしなかった箇所には、現状の O P C 設定を適用し O P C 処理を行う。この O P C 処理では、従来技術の欄において記した (a) 要求精度が異なる領域毎にモデル等を使い分ける方法、(b) マスク製造、ウエハ上へのリソグラフィ、エッチングのそれぞれの工程に特化したモデル又はルールを用いて各工程に対応した O P C を順次実行する方法が実現出来るようになっている。本発明の実施の形態では、ライブラリ記憶装置 41 に格納されている O P C 不適合パターンとのマッチングは各 O P C 手段 20 で行い、各工程用のライブラリ記憶装置と区別して実施する。

20

【 0058 】**(O P C 検証)**

次に、本発明の実施の形態に係わる O P C 検証について図 11 を参照し説明する。図 10 に示すような、複数のルール又はモデルを用いた O P C 結果に対し、O P C 検証を行うためには、それぞれの補正箇所に使った複数のルール又はモデルが必要である。例えば、本提案の O P C で特別に処理された部分に対して異なるルール又はモデルを用いて O P C 検証を行うと、被判定パターン 70 には O P C 不適合パターン 55 が該当し、被判定パターン 71 には O P C 不適合パターン 56 が該当するため、対策 105 及び 106 を用いることが必要である。

30

【 0059 】

図 11 (b) に示すように、被判定パターン 74 及び 75 について、パターンマッチング手段 18 を用いて図 11 (a) に示すライブラリ記憶装置 41 に格納されている O P C 不適合パターンとパターンマッチングを行い、マッチした被判定パターン 74、75 の該当箇所に対して登録されている対策 105、106 が O P C 検証において使用されるように設定される。O P C 検証において、新たなルール又はモデルが割り当てられた箇所については、それぞれ新たなルール又はモデルを、その他の箇所については現状のルール又はモデルをもとに検証を行う。

【 0060 】

本発明の実施の形態に係わる O P C 検証方法は、O P C 不適合パターンを事前にライブラリ記憶装置 41 に格納しておき、格納されている O P C 不適合パターンと被判定パターンとのパターンマッチングを行う手法を用いることによって、無駄なシミュレーションを行わない等、検証ターン・アラウンド・タイム (T A T) を向上させることができる。

40

【 0061 】

本発明の実施の形態に係わる O P C 検証方法では、予め O P C 不適合パターンを抽出し、ライブラリ記憶装置に格納しておき、ライブラリ記憶装置に格納されている O P C 不適合パターンと同じパターンについては、予めライブラリ記憶装置に格納してある O P C 設定を適用するほか、処理をシンプルにしたため、O P C の失敗による再実行の回数を減らすことが出来るため、従来に比べ O P C 処理時間を短くし、結果として O P C の高速化を実

50

現することができる。また、OPC不適合パターン毎に最適なOPCルール又はモデルを適用することができる。

【0062】

更に、本発明の実施の形態に係わるOPC検証方法は、ライブラリ記憶装置にOPC不適合パターン及び対応するOPC設定を格納する際、予め副作用のリスクを検証し副作用がないOPC設定を検討した後に格納するため、OPCの高精度化のための改良について、副作用のリスクを最小限にし、実現することができる。

【0063】

また、従来手法では、レイアウト設計段階において、OPC不適合パターンを検証するためには、OPC処理の後にOPC検証を行い、転写イメージの詳細なシミュレーションを行わなければならなかった。しかし、本発明の実施の形態に係わるOPC検証方法は、予め、OPC不適合パターンに対してOPC処理を行い、OPC検証において転写イメージの詳細なシミュレーションを行った上でライブラリ記憶装置41に格納しておき、実際のレイアウト設計段階では、ライブラリ記憶装置41に格納されているパターンとパターンマッチングを行うため、格納されているOPC不適合パターンと同じパターンについては、直ちに検証することができ、レイアウト設計を容易に実現することができる。

【0064】

【発明の効果】

本発明によれば、パターンを短時間で適切に補正し、ほとんどのパターンに対応したOPCを早期に立ち上げることができる。

【図面の簡単な説明】

【図1】本発明におけるOPCシステムの構成図である。

【図2】本発明に係わるOPCシステムの登録手段の構成図である。

【図3】本発明に係わるOPC方法の全体を示したフローチャート(その1)である。

【図4】本発明に係わるOPC方法の全体を示したフローチャート(その2)である。

【図5】本発明に係わるOPC不適合パターン抽出方法を示したフローチャートである。

【図6】図6(a)は、本発明に係わるOPC不適合パターン抽出方法におけるエラー領域の一例、図6(b)は、エラー要因箇所の一例、図6(c)は、周辺パターンの一例、図6(d)は、エラー領域の一例、図6(e)~(f)は、バリエーションの一例を示したものである。

【図7】本発明に係わるレイアウト記憶装置の一例である。

【図8】図8(a)は、本発明に係わるOPC不適合パターンの一例、図8(b)は、OPC不適合パターンに対してOPCを施した場合のパターンの一例、図8(c)は、OPC不適合パターンにOPCを施した場合に欠陥が生じる場合の一例、図8(d)は、OPC不適合パターンにおいてOPCを施した場合に生じる欠陥を回避した場合の一例を示したものである。

【図9】図9(a)は、本発明に係わるライブラリ記憶装置の一例、図9(b)は、レイアウト設計におけるパターンマッチングの一例、図9(c)は、レイアウト設計における対策の一例である。

【図10】本発明に係わるOPCにおけるパターンマッチングの一例である。

【図11】本発明に係わるOPC検証におけるパターンマッチングの一例である。

【図12】従来の光近接効果方法のフローチャートである。

【図13】従来のOPC処理において各半導体製造工程に特化したルール又はモデルを用いる方法を示したものである。

【図14】図14(a)は、OPC前の図形を示したものである。図14(b)は、OPCを施した後の図形を示したものである。図14(c)は、OPCを施すことによりエラーが生じる危険性のある危険箇所を示したものである。図14(d)は、補正を施さない場合に転写されるパターンの一例を示したものである。

【図15】補正対象エッジの分類例を示したものである。

【図16】図16(a)は、OPC前の図形を示したものである。図16(b)は、OP

10

20

30

40

50

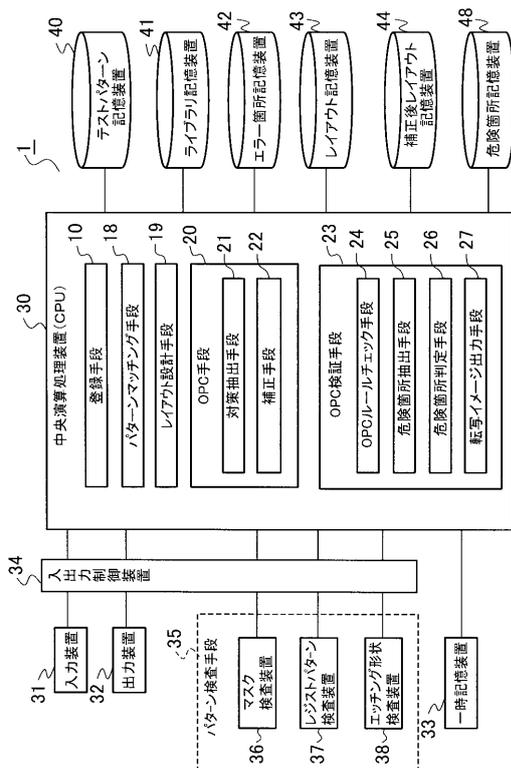
Cを施した後の図形を示したものである。図16(c)は、OPCを施すことによる欠陥を補正した図形を示したものである。

【符号の説明】

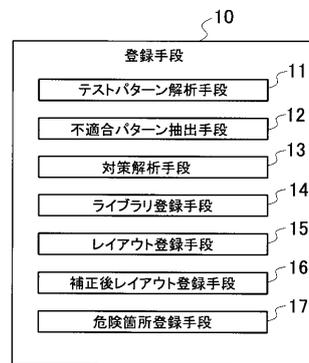
1	OPC検証システム	
10	登録手段	
11	テストパターン解析手段	
12	不適合パターン抽出手段	
13	対策解析手段	
14	ライブラリ登録手段	
15	レイアウト登録手段	10
16	補正後レイアウト登録手段	
17	危険箇所登録手段	
18	パターンマッチング手段	
19	レイアウト設計手段	
20	OPC手段	
21	対策抽出手段	
22	補正手段	
23	OPC検証手段	
24	OPCルール・チェック手段	
25	危険箇所抽出手段	20
26	危険箇所判定手段	
27	転写イメージ出力手段	
31	入力装置	
32	出力装置	
33	一時記憶装置	
34	入出力制御装置	
35	パターン検査装置	
36	マスク検査装置	
37	レジストパターン検査装置	
38	エッチング形状検査装置	30
40	テストパターン記憶装置	
41	ライブラリ記憶装置	
42	エラー箇所記憶装置	
43	レイアウト記憶装置	
44	補正後レイアウト記憶装置	
48	危険箇所記憶装置	
49	レイアウトパターン	
50、55～56	エラーパターン	
50a～50f、60、61、80、81、82、90、91	図形	
51～53	バリエーション	40
62a～62d、63a～63d、83a～83c、84a～84c、92a、92b、92d、93a、93b、93d	補正部分	
64a～64d、65a～65d	コンタクトホール	
70～72、74、75	被判定パターン	
73	修正箇所	
80a	ライン端	
80b	ライン部	
80c	内部コーナー	
80d	外部コーナー	
92c、93c	エッジ	50

94、95 転写イメージ
100～106 対策

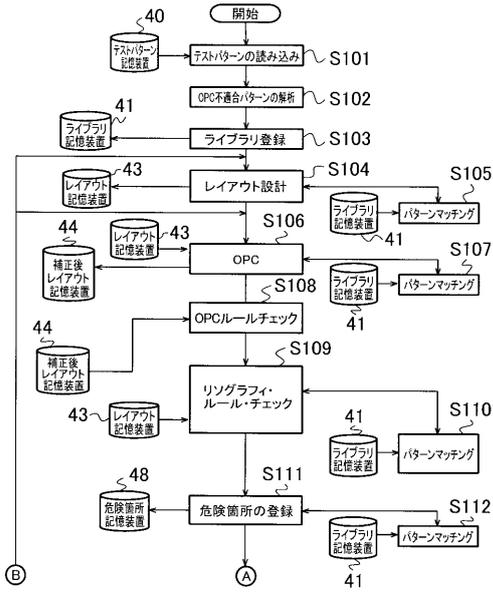
【図1】



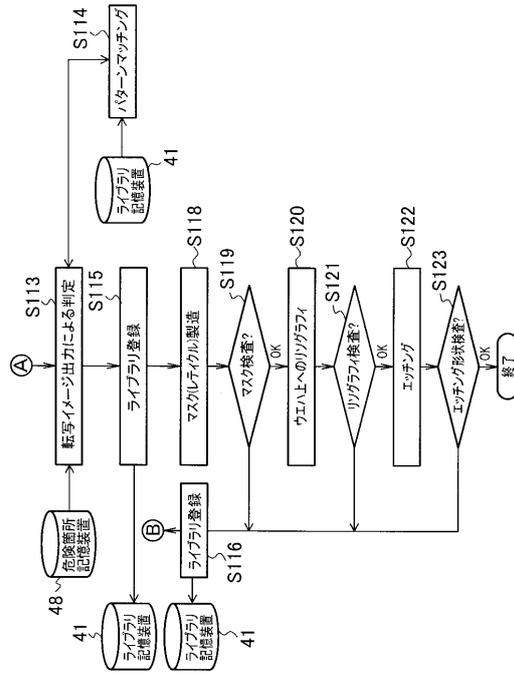
【図2】



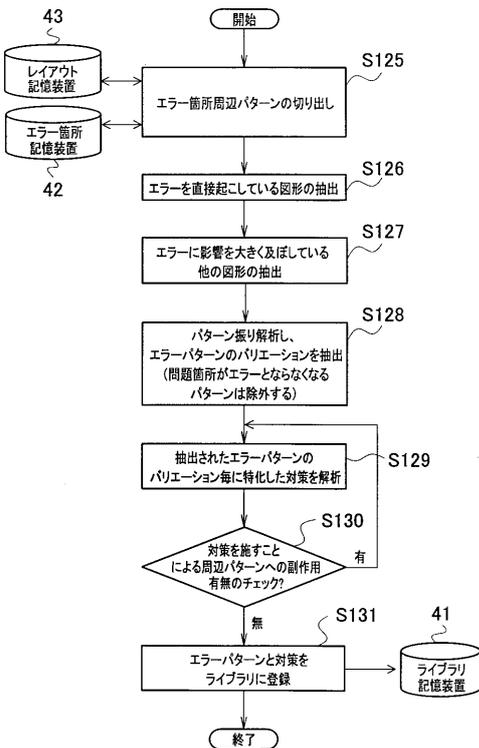
【 図 3 】



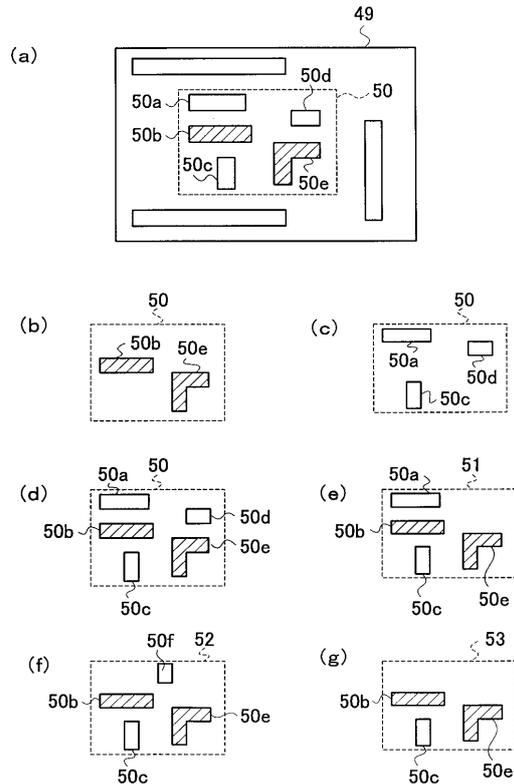
【 図 4 】



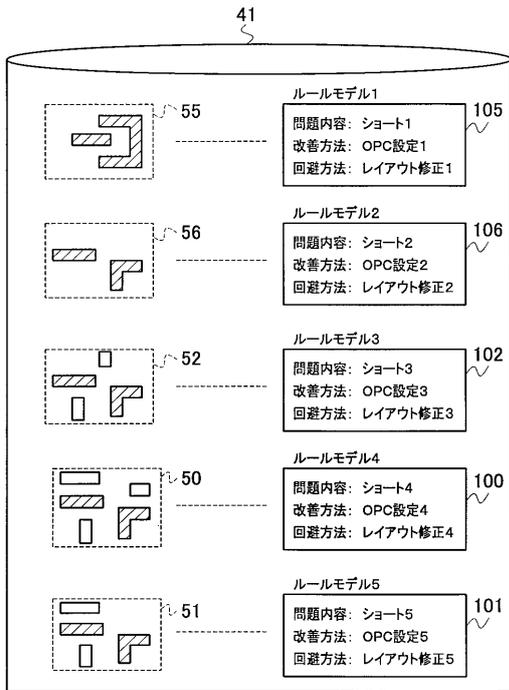
【 図 5 】



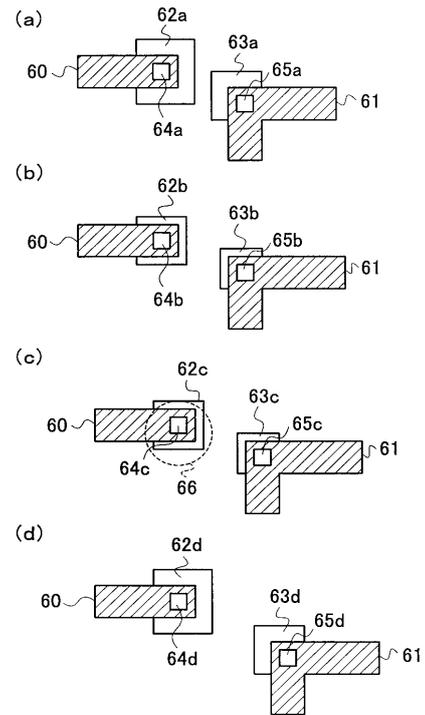
【 図 6 】



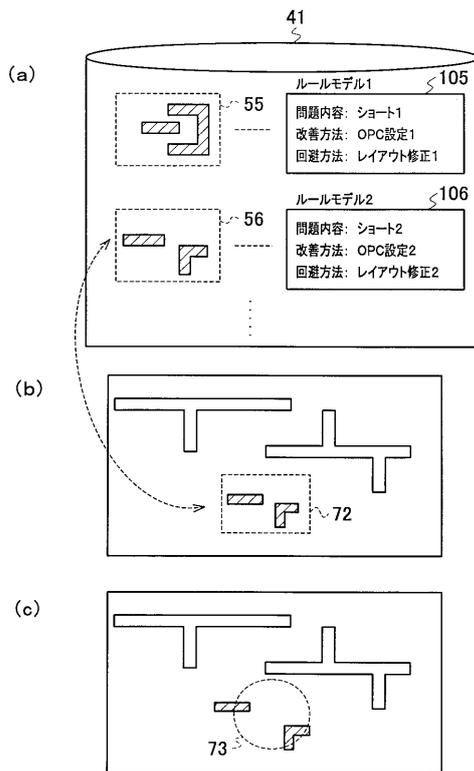
【 図 7 】



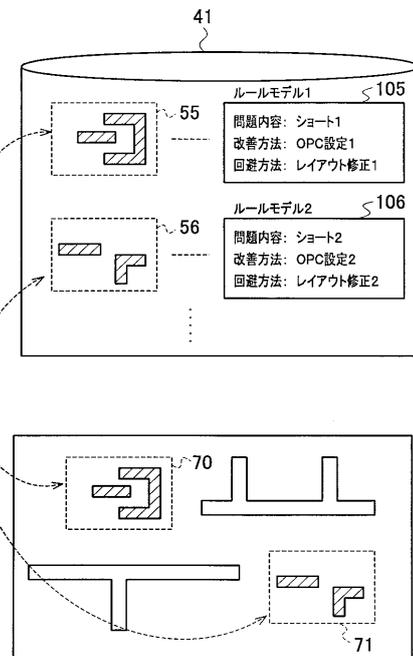
【 図 8 】



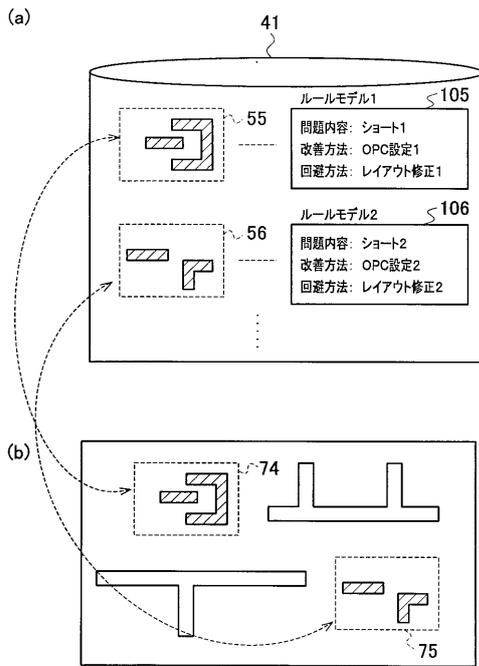
【 図 9 】



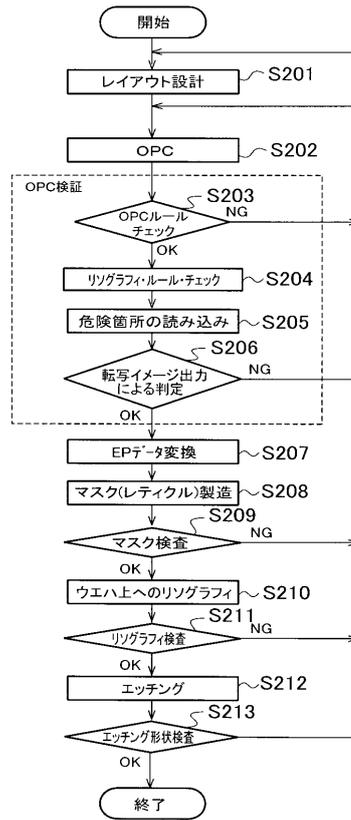
【 図 10 】



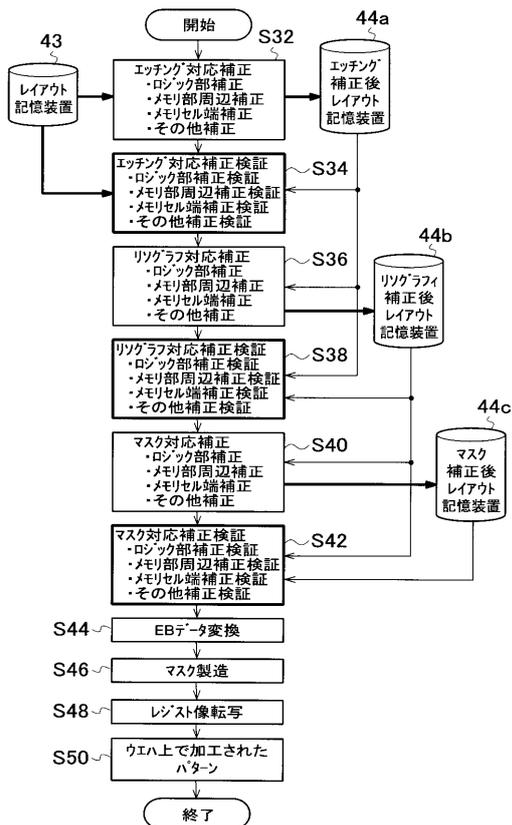
【図11】



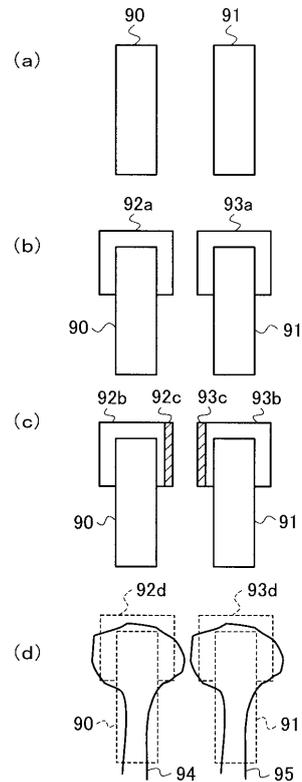
【図12】



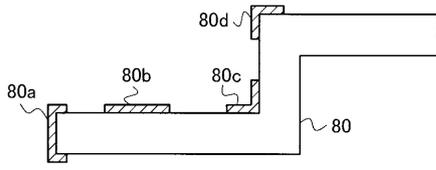
【図13】



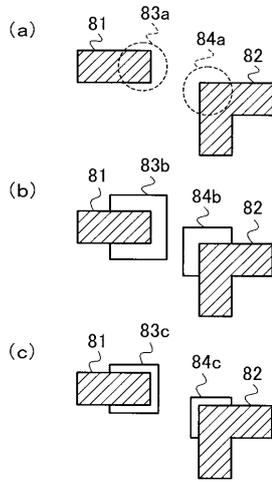
【図14】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 池内 敦彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 佐藤 秀樹

(56)参考文献 特開2000-314954(JP,A)

特開平08-076348(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G03F 1/08