



(12) 发明专利

(10) 授权公告号 CN 113327855 B

(45) 授权公告日 2022.07.26

(21) 申请号 202010129498.7

H01L 29/06 (2006.01)

(22) 申请日 2020.02.28

H01L 29/08 (2006.01)

(65) 同一申请的已公布的文献号

H01L 29/10 (2006.01)

申请公布号 CN 113327855 A

H01L 29/78 (2006.01)

(43) 申请公布日 2021.08.31

(56) 对比文件

(73) 专利权人 中芯国际集成电路制造(天津)有限公司

CN 108573869 A, 2018.09.25

地址 300380 天津市西青区西青经济开发区兴华道19号

CN 108630542 A, 2018.10.09

专利权人 中芯国际集成电路制造(上海)有限公司

CN 103943502 A, 2014.07.23

(72) 发明人 周飞

CN 106952806 A, 2017.07.14

(74) 专利代理机构 上海知锦知识产权代理事务所(特殊普通合伙) 31327

CN 106486374 A, 2017.03.08

专利代理师 高静

US 2015014809 A1, 2015.01.15

US 2013122676 A1, 2013.05.16

US 2018331232 A1, 2018.11.15

US 2013134485 A1, 2013.05.30

US 2019198400 A1, 2019.06.27

审查员 赵萌

(51) Int. Cl.

H01L 21/336 (2006.01)

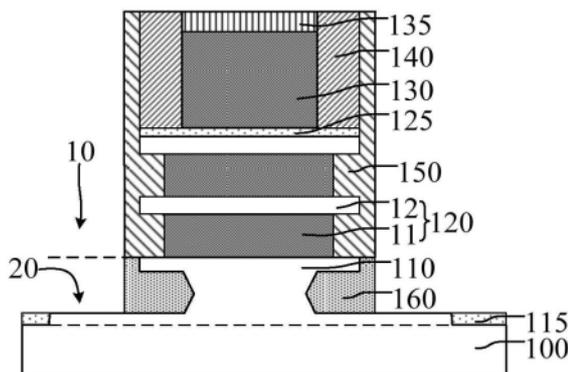
权利要求书3页 说明书13页 附图6页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

一种半导体结构及其形成方法,形成方法包括:提供基底,用于形成第一型晶体管;在衬底上形成横跨沟道叠层的栅极结构,栅极结构覆盖沟道叠层的部分顶部和部分侧壁;在栅极结构两侧的沟道叠层和鳍部中形成凹槽,凹槽的侧部暴露出沟道叠层和鳍部;沿沟道层长度的方向,刻蚀凹槽侧部部分厚度的鳍部,在凹槽侧部的鳍部中形成第一沟槽;在第一沟槽中填充扩散源掺杂层,扩散源掺杂层中掺杂有第二型离子,第二型与第一型的掺杂类型不同,且使扩散源掺杂层中的第二型离子向鳍部扩散,在鳍部中形成反型掺杂区;在凹槽中形成源漏掺杂区,源漏掺杂区覆盖扩散源掺杂层。本发明实施例有利于提升了半导体结构的性能。



1. 一种半导体结构的形成方法,其特征在于,包括:

提供基底,用于形成第一型晶体管,所述基底包括衬底以及凸出于所述衬底的鳍部,所述鳍部上形成有一个或多个堆叠的沟道叠层,每一个所述沟道叠层包括牺牲层以及位于所述牺牲层上的沟道层;

在所述衬底上形成横跨所述沟道叠层的栅极结构,所述栅极结构覆盖所述沟道叠层的部分顶部和部分侧壁;

在所述栅极结构两侧的沟道叠层和鳍部中形成凹槽,所述凹槽的侧部暴露出沟道叠层和鳍部;

沿沟道层长度的方向,刻蚀所述凹槽侧部部分厚度的鳍部,在所述凹槽侧部的鳍部中形成第一沟槽;

在所述第一沟槽中填充扩散源掺杂层,所述扩散源掺杂层中掺杂有第二型离子,所述第二型与第一型的掺杂类型不同,且使所述扩散源掺杂层中的第二型离子向所述鳍部扩散,在所述鳍部中形成反型掺杂区;

在形成反型掺杂区之后,在所述凹槽中形成源漏掺杂区,源漏掺杂区覆盖所述扩散源掺杂层。

2. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述凹槽的步骤包括:在所述栅极结构两侧的沟道叠层中形成第一凹槽,第一凹槽的侧部暴露出沟道叠层,第一凹槽的底部暴露出所述鳍部;

刻蚀所述第一凹槽底部的部分厚度的鳍部,在所述鳍部中形成第二凹槽,第二凹槽的顶部与第一凹槽的底部相连通,第二凹槽与第一凹槽用于构成所述凹槽。

3. 如权利要求2所述的半导体结构的形成方法,其特征在于,采用湿法刻蚀工艺,沿沟道层长度的方向,刻蚀所述第二凹槽侧部部分厚度的鳍部。

4. 如权利要求1所述的半导体结构的形成方法,其特征在于,沿沟道层长度的方向,刻蚀所述凹槽侧部部分厚度的鳍部的步骤中,对鳍部的单侧的刻蚀厚度为3nm至5nm。

5. 如权利要求2所述的半导体结构的形成方法,其特征在于,形成第二凹槽的步骤中,第二凹槽的深度为5nm至30nm。

6. 如权利要求2所述的半导体结构的形成方法,其特征在于,在形成所述第一凹槽后,刻蚀所述第一凹槽底部的部分厚度的鳍部之前,所述半导体结构的形成方法还包括:在所述第一凹槽侧部的沟道叠层侧壁形成保护层;

形成所述第二凹槽的步骤包括:以所述保护层为掩膜,刻蚀所述第一凹槽底部的部分厚度的鳍部,形成第二凹槽;

在形成所述反型掺杂区后,在形成所述源漏掺杂区之前,所述半导体结构的形成方法还包括:去除位于沟道层侧壁的保护层。

7. 如权利要求6所述的半导体结构的形成方法,其特征在于,在形成所述第一凹槽之后,形成所述保护层之前,所述半导体结构的形成方法还包括:沿沟道层长度的方向,刻蚀所述第一凹槽侧部部分的所述牺牲层,形成第二沟槽,所述第二沟槽由沟道层与剩余的牺牲层与沟道层围成,或者,第二沟槽由鳍部和与鳍部相邻的沟道层以及剩余的牺牲层围成;

形成所述保护层的步骤中,所述保护层还填充所述第二沟槽;

去除位于沟道层侧壁的保护层的步骤中,去除位于沟道层侧壁的保护层和位于牺牲层

侧壁的部分保护层,填充于第二沟槽的剩余保护层用于作为内壁层。

8.如权利要求7所述的半导体结构的形成方法,其特征在于,形成所述保护层的步骤中,所述保护层还形成于所述栅极结构的侧壁;

形成所述保护层的步骤包括:在所述第一凹槽侧部的沟道叠层侧壁、栅极结构的侧壁和顶部、第一凹槽底部的鳍部表面形成保护材料层;去除位于栅极结构的顶部和鳍部表面的保护材料层,位于栅极结构和第一凹槽侧部的沟道叠层侧壁的保护材料层作为所述保护层;

去除位于沟道层侧壁的保护层的步骤中,还去除位于栅极结构侧壁的保护层。

9.如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一型晶体管为N型晶体管;所述第二型离子为P型离子,形成所述扩散源掺杂层的步骤中,所述扩散源掺杂层中第二型离子的掺杂浓度为 $3.0E19$ 原子每立方厘米至 $1.50E21$ 原子每立方厘米;

或者,所述第一型晶体管为P型晶体管;所述第二型离子为N型离子,形成所述扩散源掺杂层的步骤中,所述扩散源掺杂层中第二型离子的掺杂浓度为 $2.0E19$ 原子每立方厘米至 $1.0E21$ 原子每立方厘米。

10.如权利要求1所述的半导体结构的形成方法,其特征在于,所述扩散源掺杂层的材料包括掺杂有第二型离子的氧化硅。

11.如权利要求1所述的半导体结构的形成方法,其特征在于,在所述第一沟槽中填充扩散源掺杂层的步骤包括:形成掺杂材料层,填充于第一沟槽内且覆盖所述栅极结构的顶部和侧壁、以及所述凹槽的侧壁和底部;

去除位于所述栅极结构顶部和侧壁、以及所述凹槽的侧壁和底部的掺杂材料层,位于所述第一沟槽内的剩余掺杂材料层作为所述扩散源掺杂层。

12.如权利要求11所述的半导体结构的形成方法,其特征在于,形成所述掺杂材料层的工艺包括原子层沉积工艺或化学气相沉积工艺。

13.如权利要求11所述的半导体结构的形成方法,其特征在于,采用各向同性的干法刻蚀工艺,去除位于所述栅极结构顶部和侧壁、以及所述凹槽的侧壁和底部的掺杂材料层。

14.如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述反型掺杂区的步骤包括:在形成所述扩散源掺杂层后,对所述扩散源掺杂层进行热处理,使所述扩散源掺杂层中的第二型离子向所述鳍部中扩散。

15.如权利要求14所述的半导体结构的形成方法,其特征在于,所述热处理的工艺参数包括:温度为 850°C 至 1100°C ,工艺时间为0秒至20秒,工艺压强为一个大气压。

16.如权利要求14所述的半导体结构的形成方法,其特征在于,采用退火工艺进行所述热处理。

17.一种半导体结构,其特征在于,包括:

基底,用于形成第一型晶体管,所述基底包括衬底以及凸出于所述衬底的鳍部;

沟道结构层,位于所述鳍部上且与所述鳍部间隔设置,所述沟道结构层包括一个或多个间隔设置的沟道层;

金属栅极结构,横跨所述沟道结构层,所述金属栅极结构覆盖所述沟道结构层的部分顶部且包围所述沟道层;

凹槽,位于所述金属栅极结构两侧的沟道结构层和鳍部中;

第一沟槽,位于凹槽侧部的部分鳍部中,第一沟槽的开口与凹槽的侧壁相连通;

反型掺杂区,位于所述第一沟槽侧部的鳍部中;

扩散源掺杂层,填充于所述第一沟槽,所述扩散源掺杂层中掺杂有第二型离子,所述第二型与第一型的掺杂类型不同,所述扩散源掺杂层用于将所述第二型离子扩散至鳍部中形成所述反型掺杂区;

源漏掺杂区,位于所述金属栅极结构两侧的凹槽中,且覆盖沟道层的侧壁和扩散源掺杂层。

18.如权利要求17所述的半导体结构,其特征在于,沿所述沟道层长度的方向,第一沟槽的深度为3nm至5nm。

19.如权利要求17所述的半导体结构,其特征在于,位于鳍部中的所述凹槽的深度为5nm至30nm。

20.如权利要求17所述的半导体结构,其特征在于,所述扩散源掺杂层的材料包括掺杂有第二型离子的氧化硅。

半导体结构及其形成方法

技术领域

[0001] 本发明实施例涉及半导体制造领域,尤其涉及一种半导体结构及其形成方法。

背景技术

[0002] 随着半导体制造技术的飞速发展,半导体器件朝着更高的元件密度,以及更高集成度的方向发展,半导体工艺节点遵循摩尔定律的发展趋势不断减小。晶体管作为最基本的半导体器件目前正被广泛应用,因此随着半导体器件的元件密度和集成度的提高,为了适应工艺节点的减小,不得不不断缩短晶体管的沟道长度。

[0003] 为了更好的适应器件尺寸按比例缩小的要求,半导体工艺逐渐开始从平面晶体管向具有更高功效的三维立体式的晶体管过渡,如全包围栅极(Gate-all-around,GAA)晶体管。全包围栅极晶体管中,栅极从四周包围沟道所在的区域,与平面晶体管相比,全包围栅极晶体管的栅极对沟道的控制能力更强,能够更好的抑制短沟道效应。

发明内容

[0004] 本发明实施例解决的问题是提供一种半导体结构及其形成方法,提升半导体器件的性能。

[0005] 为解决上述问题,本发明实施例提供一种半导体结构的形成方法,包括:提供基底,用于形成第一型晶体管,所述基底包括衬底以及凸出于所述衬底的鳍部,所述鳍部上形成有一个或多个堆叠的沟道叠层,每一个所述沟道叠层包括牺牲层以及位于所述牺牲层上的沟道层;在所述衬底上形成横跨所述沟道叠层的栅极结构,所述栅极结构覆盖所述沟道叠层的部分顶部和部分侧壁;在所述栅极结构两侧的沟道叠层和鳍部中形成凹槽,凹槽的侧部暴露出沟道叠层和鳍部;沿沟道层长度的方向,刻蚀所述凹槽侧部部分厚度的鳍部,在所述凹槽侧部的鳍部中形成第一沟槽;在所述第一沟槽中填充扩散源掺杂层,所述扩散源掺杂层中掺杂有第二型离子,所述第二型与第一型的掺杂类型不同,且使所述扩散源掺杂层中的第二型离子向所述鳍部扩散,在所述鳍部中形成反型掺杂区;在形成反型掺杂区之后,在所述凹槽中形成源漏掺杂区,源漏掺杂区覆盖所述扩散源掺杂层。

[0006] 相应的,本发明实施例还提供一种半导体结构,包括:基底,用于形成第一型晶体管,所述基底包括衬底以及凸出于所述衬底的鳍部;沟道结构层,位于所述鳍部上且与所述鳍部间隔设置,所述沟道结构层包括一个或多个间隔设置的沟道层;金属栅极结构,横跨所述沟道结构层,所述金属栅极结构覆盖所述沟道结构层的部分顶部且包围所述沟道层;凹槽,位于所述金属栅极结构两侧的沟道结构层和鳍部中;第一沟槽,位于凹槽侧部的部分鳍部中,第一沟槽的开口与凹槽的侧壁相连通;反型掺杂区,位于所述第一沟槽侧部的鳍部中;扩散源掺杂层,填充于所述第一沟槽,所述扩散源掺杂层中掺杂有第二型离子,所述第二型与第一型的掺杂类型不同,所述扩散源掺杂层用于将所述第二型离子扩散至鳍部中形成所述反型掺杂区;源漏掺杂区,位于所述金属栅极结构两侧的凹槽中,且覆盖沟道层的侧壁和扩散源掺杂层。

[0007] 与现有技术相比,本发明实施例的技术方案具有以下优点:

[0008] 本发明实施例提供的半导体结构的形成方法中,在所述栅极结构两侧的沟道叠层和鳍部中形成所述凹槽,之后还沿沟道层长度的方向,刻蚀所述凹槽侧部部分厚度的鳍部,在凹槽侧部的鳍部中形成第一沟槽,随后在所述第一沟槽中填充扩散源掺杂层,所述扩散源掺杂层中掺杂有第二型离子,所述第二型与所述第一型的掺杂类型不同,且使所述扩散源掺杂层中的第二型离子向所述鳍部扩散,在鳍部中形成反型掺杂区;所述反型掺杂区有利于提高鳍部与源漏掺杂区形成的底部寄生器件的开启电压,进而有利于对底部寄生器件起到抑制的作用,相应提升了半导体结构的性能,且本发明实施例中形成的扩散源掺杂层与鳍部相接触,扩散源掺杂层与鳍部的距离较小,有利于降低使第二型离子向鳍部扩散以形成反型掺杂区的难度,有利于保证反型掺杂区中的第二型离子的掺杂浓度满足工艺的要求;此外,本发明通过形成扩散源掺杂层、并使扩散源掺杂层中的第二型离子向鳍部中扩散的方式形成反型掺杂区,也就是说,本发明实施例通过固态源扩散的方式形成反型掺杂区,固态源扩散的方式对鳍部的损伤较小,且还易于通过控制扩散源掺杂层中的第二型离子浓度,使得反型掺杂区中的离子浓度较高,进而提高反型掺杂区对底部寄生器件起到抑制的作用。

附图说明

[0009] 图1至图14是本发明半导体结构的形成方法一实施例中各步骤对应的结构示意图。

具体实施方式

[0010] 目前所形成的全包围栅极晶体管的性能仍有待提升。具体地,在器件工作时,鳍部与源漏掺杂区形成的底部寄生器件容易开启,进而形成漏电流,降低了器件的性能。

[0011] 为了解决所述技术问题,本发明实施例提供的半导体结构的形成方法中,在所述栅极结构两侧的沟道叠层和鳍部中形成所述凹槽,之后还沿沟道层长度的方向,刻蚀所述凹槽侧部部分厚度的鳍部,在凹槽侧部的鳍部中形成第一沟槽,随后在所述第一沟槽中填充扩散源掺杂层,所述扩散源掺杂层中掺杂有第二型离子,所述第二型与所述第一型的掺杂类型不同,且使所述扩散源掺杂层中的第二型离子向所述鳍部扩散,在鳍部中形成反型掺杂区;所述反型掺杂区有利于提高鳍部与源漏掺杂区形成的底部寄生器件的开启电压,进而有利于对底部寄生器件起到抑制的作用,相应提升了半导体结构的性能,且本发明实施例中形成的扩散源掺杂层与鳍部相接触,扩散源掺杂层与鳍部的距离较小,有利于降低使第二型离子向鳍部扩散以形成反型掺杂区的难度,有利于保证反型掺杂区中的第二型离子的掺杂浓度满足工艺的要求;此外,本发明通过形成扩散源掺杂层、并使扩散源掺杂层中的第二型离子向鳍部中扩散的方式形成反型掺杂区,也就是说,本发明实施例通过固态源扩散的方式形成反型掺杂区,固态源扩散的方式对鳍部的损伤较小,且还易于通过控制扩散源掺杂层中的第二型离子浓度,使得反型掺杂区中的离子浓度较高,进而提高反型掺杂区对底部寄生器件起到抑制的作用。

[0012] 为使本发明实施例的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0013] 图1至图14是本发明半导体结构的形成方法一实施例中各步骤对应的结构示意图。

[0014] 参考图1和图2,分别示出了沿沟道叠层延伸方向的剖面图、以及沿垂直于沟道叠层延伸方向的剖面图,提供基底,用于形成第一型晶体管,所述基底包括衬底100以及凸出于所述衬底100的鳍部110,所述鳍部110上形成有一个或多个堆叠的沟道叠层120,每一个所述沟道叠层120包括牺牲层11以及位于所述牺牲层11上的沟道层12。

[0015] 基底用于为形成全包围栅极(Gate-all-around,GAA)晶体管提供工艺平台。

[0016] 基底用于形成第一型晶体管。其中,所述第一型指的是晶体管的掺杂类型。具体地,第一型晶体管可以为N型掺杂的MOS晶体管或P型掺杂的MOS晶体管。

[0017] 本实施例中,基底为立体基底,基底包括衬底100以及凸出于衬底100的鳍部110。

[0018] 本实施例中,衬底100为硅衬底。在其他实施例中,衬底的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟等其他材料,衬底还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底等其他类型的衬底。

[0019] 鳍部110露出部分衬底100,从而为形成隔离层提供工艺基础。

[0020] 本实施例中,鳍部110与衬底100的材料相同,鳍部110的材料为硅。在其他实施例中,鳍部的材料还可以是锗、锗化硅、碳化硅、砷化镓或镓化铟等适宜于形成鳍部的半导体材料,鳍部的材料也可以与衬底的材料不同。

[0021] 本实施例中,沟道叠层120位于鳍部110的顶部,沟道叠层120的延伸方向与鳍部110的延伸方向相同。

[0022] 多个堆叠的沟道叠层120的堆叠方向垂直于衬底100表面。

[0023] 沟道叠层120为后续形成悬空间隔设置的沟道层12提供工艺基础。具体地,牺牲层11支撑沟道层12,从而为后续实现沟道层12的间隔悬空设置提供工艺基础,也为后续金属栅极结构的形成占据空间位置,沟道层12用于提供全包围栅极晶体管的导电沟道。

[0024] 本实施例中,沟道层12的材料为Si,牺牲层11的材料为SiGe。在后续去除牺牲层11的过程中,SiGe和Si的刻蚀选择比较高,所以通过将牺牲层11的材料设置为SiGe、将沟道层12的材料设置为Si的做法,能够有效降低牺牲层11的去除工艺对沟道层12的影响,从而提高沟道层12的质量,进而有利于改善器件性能。其他实施例中,当形成PMOS晶体管时,为提升PMOS晶体管的性能,可采用SiGe沟道技术,鳍部和沟道层的材料为SiGe,牺牲层的材料为Si。

[0025] 本实施例中,沟道叠层120的数量为两个。在其他实施例中,沟道叠层还可以为其他数量。

[0026] 本实施例中,本实施例中,鳍部110侧部的衬底100上还形成有隔离结构115,隔离结构115露出所述沟道叠层120。

[0027] 所述隔离结构115用于对相邻鳍部110之间起到隔离作用。

[0028] 本实施例中,所述隔离结构115的材料为氧化硅。

[0029] 本实施例中,所述隔离结构115的顶面与鳍部110的顶面相齐平。

[0030] 参考图3,在所述衬底100上形成横跨所述沟道叠层120的栅极结构130,所述栅极结构130覆盖所述沟道叠层120的部分顶部和部分侧壁。

[0031] 本实施例中,栅极结构130为伪栅结构,栅极结构130为后续形成金属栅极结构占

据空间位置。本实施例中,所述栅极结构130包括伪栅层。所述伪栅层的材料包括多晶硅。

[0032] 本实施例中,形成栅极结构130的步骤包括:在沟道叠层120上形成栅极材料层(图未示);在栅极材料层上形成栅极掩膜层135;以栅极掩膜层135为掩膜,去除部分的栅极材料层,位于沟道叠层120上的剩余栅极材料层作为栅极结构130。

[0033] 其中,栅极掩膜层135用于作为形成栅极结构130时的刻蚀掩膜,栅极掩膜层135还能够在后续工艺中保护栅极结构130的顶部。

[0034] 本实施例中,栅极掩膜层135的材料为氮化硅。

[0035] 本实施例中,在形成所述栅极结构130之前,所述半导体结构的形成方法还包括:在所述沟道叠层120的顶面和侧壁形成栅氧化层125。

[0036] 所述栅氧化层125用于保护沟道叠层120,所述栅氧化层125还能够在后续去除栅极结构130的步骤中,用于作为停止层,有利于减小去除栅极结构130的工艺对所述沟道叠层120造成的损伤。

[0037] 本实施例中,所述栅氧化层125的材料包括氧化硅。

[0038] 本实施例中,在形成所述栅极结构130之后,所述半导体结构的形成方法还包括:在所述栅极结构130的侧壁形成侧墙140。

[0039] 侧墙140用于作为后续刻蚀工艺的刻蚀掩膜,以定义源漏掺杂区的形成区域,侧墙140还用于保护栅极结构130的侧壁。

[0040] 本实施例中,所述侧墙140为单层结构,侧墙140的材料为氮化硅。

[0041] 参考图4至图8,在所述栅极结构130两侧的沟道叠层120和鳍部110中形成凹槽(未标示),所述凹槽的侧部暴露出沟道叠层120和鳍部110。

[0042] 所述凹槽的侧壁暴露出沟道叠层120和鳍部110,从而为后续沿沟道层12长度的方向,刻蚀所述凹槽侧部部分厚度的鳍部110做准备。

[0043] 所述凹槽还为后续形成源漏掺杂区提供空间位置。

[0044] 本实施例中,形成所述凹槽的步骤包括:

[0045] 如图4所示,在栅极结构130两侧的沟道叠层120中形成第一凹槽10,第一凹槽10的侧部暴露出沟道叠层120,第一凹槽10的底部暴露出所述鳍部110。

[0046] 通过使第一凹槽10的底部暴露出所述鳍部110,为后续继续刻蚀所述第一凹槽10底部的鳍部110做准备。

[0047] 本实施例中,以所述栅极结构130和所述侧墙140为掩膜,刻蚀所述沟道叠层120,形成所述第一凹槽10。

[0048] 本实施例中,采用干法刻蚀工艺,例如:各向异性的干法刻蚀工艺,刻蚀所述栅极结构130两侧的沟道叠层120。干法刻蚀工艺的剖面控制性较好,有利于提高所述第一凹槽10的剖面形貌质量,且通过选用干法刻蚀工艺,有利于实现较高的刻蚀选择比,进而降低对其他膜层造成误刻蚀的概率。

[0049] 结合参考图5,本实施例中,在形成所述第一凹槽10之后,所述半导体结构的形成方法还包括:沿沟道层12长度的方向,刻蚀所述第一凹槽10侧部部分的所述牺牲层11,形成第二沟槽30,所述第二沟槽30由沟道层12与剩余的牺牲层11与沟道层12围成,或者,第二沟槽30由鳍部110和与鳍部110相邻的沟道层12以及剩余的牺牲层11围成。

[0050] 所述第二沟槽30用于为后续形成内壁层提供空间位置,从而在后续形成源漏掺杂

区、以及在牺牲层位置处形成金属栅极结构之后,内壁层位于所述源漏掺杂区与金属栅极结构之间,能够对源漏掺杂区和金属栅极结构之间起到隔离的作用,有利于增大所述源漏掺杂区与金属栅极结构之间的距离,进而有利于减小源漏掺杂区与金属栅极结构之间的寄生电容。

[0051] 本实施例中,在相邻的沟道层12之间、以及沟道层12与所述鳍部110之间均形成了第二沟槽30。

[0052] 本实施例中,采用湿法刻蚀工艺刻蚀第一凹槽10侧部的部分所述牺牲层11。湿法刻蚀工艺为各向同性的刻蚀工艺,从而能够沿沟道层12长度的方向刻蚀牺牲层11,且湿法刻蚀工艺易于实现较大的刻蚀选择比,有利于降低刻蚀牺牲层11的难度以及降低对其他膜层结构产生损伤的几率。

[0053] 本实施例中,牺牲层11的材料为SiGe,沟道层12的材料为Si,通过HCl蒸汽对露出的牺牲层11进行湿法刻蚀。HCl蒸汽对SiGe材料的刻蚀速率远大于对Si材料的刻蚀速率,因此采用HCl蒸汽刻蚀第一凹槽10侧部的部分牺牲层11,能有效降低沟道层12受损的几率。

[0054] 其他实施例中,当沟道层的材料为SiGe,牺牲层的材料为Si时,湿法刻蚀工艺所采用的刻蚀溶液相应为四甲基氢氧化铵(TMAH)溶液。四甲基氢氧化铵溶液对Si材料刻蚀速率与对SiGe材料刻蚀速率的差值较大,因此采用四甲基氢氧化铵溶液刻蚀牺牲层,也能够有效降低沟道层受到损耗的几率。

[0055] 如图6至图8所示,刻蚀所述第一凹槽10底部的部分厚度的鳍部110,在所述鳍部110中形成第二凹槽20(如图8所示),第二凹槽20的顶部与第一凹槽10的底部相连通,第二凹槽20与第一凹槽10用于构成所述凹槽。

[0056] 所述第二凹槽20侧部暴露出所述鳍部110,为后续沿着沟道层12的方向刻蚀第二凹槽20侧部的鳍部110做准备。

[0057] 本实施例中,采用干法刻蚀工艺,例如:各向异性的干法刻蚀工艺,刻蚀所述第一凹槽10底部的鳍部110,形成所述第二凹槽20。

[0058] 需要说明的是,形成所述第二凹槽20的步骤中,第二凹槽20的深度不宜过小,也不宜过大。如果第二凹槽20的深度过小,相应地,第二凹槽20侧壁暴露出的鳍部110的厚度也过小,从而在后续沿沟道层12长度的方向刻蚀第二凹槽20侧部的鳍部110以形成第一沟槽的步骤中,第一沟槽沿着垂直于衬底100表面的方向的高度过小,第一沟槽用于为后续形成扩散源掺杂层提供空间位置,这容易导致后续扩散源掺杂层的形成空间过小,扩散源掺杂层的体积过小,容易导致扩散源掺杂层中提供的离子的掺杂剂量难以满足工艺的要求;如果第二凹槽20的深度过大,容易增加沟道叠层120剥离、脱落以及倾斜的风险。为此,本实施例中,第二凹槽20的深度为5nm至30nm。

[0059] 还需要说明的是,结合参考图6至图7,本实施例中,在形成第一凹槽10后,刻蚀所述第一凹槽10底部的部分厚度的鳍部110之前,所述半导体结构的形成方法还包括:在所述第一凹槽10侧部的沟道叠层120侧壁形成保护层150。

[0060] 通过形成保护层150,从而在刻蚀第一凹槽10底部的部分厚度的鳍部110的步骤中,保护层150能够对第一凹槽10侧部的沟道叠层120起到保护的作用,有利于降低沟道叠层120受损的几率,尤其是降低沟道层12受损的几率。

[0061] 因此,本实施例中,形成所述第二凹槽20的步骤包括:以所述保护层150为掩膜,刻

蚀所述第一凹槽10底部的部分厚度的鳍部110,形成第二凹槽20。

[0062] 本实施例中,所述保护层150的材料为介质材料。所述保护层150的材料包括氮化硅、氧化硅、氮氧化硅、低k介质材料或超低k介质材料。本实施例中,所述保护层150的材料为氮化硅。

[0063] 本实施例中,形成所述保护层150的步骤中,所述保护层150还填充第二沟槽30。其中,填充于第二沟槽30的所述保护层150用于后续形成内壁层。

[0064] 本实施例中,保护层150还形成于栅极结构130的侧壁,位于栅极结构130侧壁的保护层150能够在刻蚀第一凹槽10底部的鳍部110的步骤中,保护栅极结构130侧壁。后续步骤还包括:沿沟道层12长度的方向,刻蚀所述凹槽侧部部分厚度的鳍部110,保护层150还能够在后续刻蚀凹槽侧部部分厚度的鳍部110的步骤中保护沟道叠层120。

[0065] 本实施例中,形成所述保护层150的步骤包括:如图6所示,在所述第一凹槽10侧部的沟道叠层120侧壁、栅极结构130的侧壁和顶部、第一凹槽10底部的鳍部110表面形成保护材料层145;如图7所示,去除位于栅极结构130的顶部和鳍部110表面的保护材料层145,位于栅极结构130和第一凹槽10侧部的沟道叠层120侧壁的保护材料层145作为所述保护层150。

[0066] 形成保护材料层145的工艺包括原子层沉积工艺或化学气相沉积工艺。本实施例中,形成保护材料层145的工艺为原子层沉积工艺。

[0067] 本实施例中,采用干法刻蚀工艺,例如:各向异性的干法刻蚀工艺,去除位于栅极结构130的顶部和鳍部110表面的保护材料层145。各向异性的干法刻蚀工艺具有各向异性刻蚀的特性,从而能够在将位于栅极结构130的顶部和鳍部110表面的保护材料层145去除的过程中,对位于沟道叠层120侧壁的保护材料层145造成横向刻蚀的几率较低,使得位于沟道叠层120侧壁的保护材料层145能够被保留作为所保护层150。

[0068] 参考图9,沿沟道层12长度的方向,刻蚀所述凹槽侧部部分厚度的鳍部110,在所述凹槽侧部的鳍部110中形成第一沟槽40。

[0069] 所述第一沟槽40用于为后续形成扩散源掺杂层提供空间位置。

[0070] 需要说明的是,沿沟道层12长度的方向,刻蚀凹槽侧部部分厚度的鳍部110的步骤中,对鳍部110的单侧的刻蚀厚度不宜过小,也不宜过大。如果对鳍部110的单侧的刻蚀厚度过小,则第一沟槽40沿沟道层12长度的深度也过小,容易增加后续扩散源掺杂层填充于第一沟槽40内的难度,且易导致扩散源掺杂层的体积过小,进而导致扩散源掺杂层中的离子的掺杂剂量难以满足工艺的要求;如果对鳍部110的单侧的刻蚀厚度过大,则所述第一沟槽40侧部剩余的鳍部110的宽度过小,容易导致剩余的鳍部110难以对沟道叠层120起到支撑的作用,进而易增加沟道叠层120发生倾斜或倒塌的风险。为此,本实施例中,沿沟道层12长度的方向,对鳍部10的单侧的刻蚀厚度为3nm至5nm。

[0071] 本实施例中,采用湿法刻蚀工艺,沿沟道层12长度的方向,刻蚀所述第二凹槽20侧部部分厚度的鳍部110。

[0072] 湿法刻蚀工艺为各向同性刻蚀的工艺,从而能够沿着沟道层12长度的方向,对第二凹槽20侧部的鳍部110进行刻蚀。本实施例中,鳍部110的材料为硅,湿法刻蚀工艺所采用的刻蚀溶液相应为四甲基氢氧化铵(TMAH)溶液。

[0073] 本实施例中,形成所述第一沟槽40的步骤中,所述第一沟槽40为 Σ 形沟槽。在其他

实施例中,根据实际的工艺,所述第一沟槽还可以为矩形沟槽或其他形状的沟槽。

[0074] 参考图10,在第一沟槽40中填充扩散源掺杂层160,扩散源掺杂层160中掺杂有第二型离子,第二型与第一型的掺杂类型不同,且使扩散源掺杂层160中的第二型离子向鳍部110扩散,在鳍部110中形成反型掺杂区(图未示)。

[0075] 所述反型掺杂区中具有第二型离子,第二型与第一型的掺杂类型不同,从而通过在鳍部110中形成反型掺杂区,有利于提高鳍部110与后续源漏掺杂区形成的底部寄生器件的开启电压,进而有利于对底部寄生器件起到抑制的作用,相应提升了半导体结构的性能,且本实施例中形成的扩散源掺杂层160与鳍部110相接触,扩散源掺杂层160与鳍部110的距离较小,有利于降低使第二型离子向鳍部110扩散以形成反型掺杂区的难度,有利于保证反型掺杂区中的第二型离子的掺杂浓度满足工艺的要求。

[0076] 所述扩散源掺杂层160用于作为在鳍部110中形成反型掺杂区的固态扩散源。与通过离子注入的方式相比,本发明通过固态源扩散的方式,在鳍部110中形成反型掺杂区,固态源扩散对鳍部110产生的损伤小,而且,通过固态源扩散的方式形成反型掺杂区,还有利于通过控制所述扩散源掺杂层160中的掺杂离子浓度,以精确控制反型掺杂区中的离子浓度,且与离子注入的方式相比,本发明实施例易于在形成扩散源掺杂层160的步骤中,使扩散源掺杂层160的掺杂浓度较高,相应易于使反型掺杂区中的第二型离子的掺杂浓度较高,进而提高所述反型掺杂区对寄生器件的抑制效果。

[0077] 本实施例中,扩散源掺杂层160的材料包括掺杂有第二型离子的氧化硅。氧化硅为半导体工艺中常用且易于获得的绝缘材料,有利于降低形成扩散源掺杂层160的工艺成本、提高工艺兼容性;而且,通过选用绝缘材料,在使扩散源掺杂层160中的第二型离子向沟道层12中扩散形成反型掺杂区后,扩散源掺杂层160对半导体结构的电学性能影响小,扩散源掺杂层160能够被保留在半导体结构中而无需去除,有利于简化工艺、降低工艺复杂度,此外,后续在凹槽中形成源漏掺杂区后,扩散源掺杂层160位于源漏掺杂区和鳍部110之间,还能够对源漏掺杂区和鳍部110起到隔离的作用,从而增大源漏掺杂区和鳍部110之间的距离,进一步对底部寄生器件起到抑制的作用,从而有利于减小在鳍部110中产生的漏电流。

[0078] 本实施例中,所述第一型晶体管为N型晶体管,因此,所述第二型离子为P型离子,例如:硼离子、铟离子等。所述扩散源掺杂层160的材料相应为掺杂有P型离子的氧化硅。本实施例中,所述扩散源掺杂层160的材料为掺硼的氧化硅(BSG)。

[0079] 在其他实施例中,当第一型晶体管为P型晶体管时,所述第二型离子相应为N型离子,例如:磷离子或砷离子等。所述扩散源掺杂层的材料相应为掺杂有N型离子的氧化硅,例如:扩散源掺杂层的材料为掺磷的氧化硅(PSG)。

[0080] 形成扩散源掺杂层160的步骤中,扩散源掺杂层160中第二型离子的掺杂浓度不宜过小,也不宜过大。如果所述掺杂浓度过小,则扩散源掺杂层160和鳍部110的掺杂离子浓度差过小,容易增加扩散源掺杂层160的第二型掺杂离子向鳍部110中扩散的难度,从而易导致所形成反型掺杂区的浓度和掺杂剖面难以满足工艺要求,进而容易降低对寄生器件的抑制效果;如果所述掺杂浓度过大,反型掺杂区中的离子掺杂浓度相应过高,容易增加器件漏电的风险。为此,本实施例中,所述第一型晶体管为N型晶体管;所述第二型离子为P型离子,形成所述扩散源掺杂层160的步骤中,所述扩散源掺杂层160中第二型离子的掺杂浓度为 $3.0E19$ 原子每立方厘米至 $1.50E21$ 原子每立方厘米。

[0081] 在其他实施例中,当所述第一型晶体管为P型晶体管时,所述第二型离子为N型离子。相应地,为保证在鳍部中形成的反型掺杂区的浓度和掺杂剖面满足工艺要求,在形成所述扩散源掺杂层的步骤中,所述扩散源掺杂层中第二型离子的掺杂浓度为 $2.0E19$ 原子每立方厘米至 $1.0E21$ 原子每立方厘米。

[0082] 本实施例中,在所述第一沟槽40中填充扩散源掺杂层160的步骤包括:形成掺杂材料层(图未示),填充于第一沟槽40内且覆盖所述栅极结构130的顶部和侧壁、以及所述凹槽的侧壁和底部;去除位于所述栅极结构130顶部和侧壁、以及所述凹槽的侧壁和底部的掺杂材料层,位于所述第一沟槽40内的剩余掺杂材料层作为所述扩散源掺杂层160。

[0083] 本实施例中,采用沉积工艺形成掺杂材料层,沉积工艺包括原子层沉积工艺。原子层沉积工艺的间隙填充性能和阶梯覆盖能力较好,有利于提高掺杂材料层的保形覆盖能力、以及在第一沟槽40中的填充能力,而且,原子层沉积工艺包括进行多次的原子层沉积循环,以形成所需厚度的膜层,有利于提高掺杂材料层的厚度均匀性,且易于精确控制掺杂材料层的厚度。

[0084] 具体地,沿沟道层12长度的方向,掺杂材料层在第一沟槽40的侧壁和底部沉积,随着掺杂材料层材料的沉积厚度的增加,位于第一沟槽40侧壁上的掺杂材料层逐渐相接触,从而逐渐将第一沟槽40填满。其中,第一沟槽40的侧壁指的是,第一沟槽40与衬底100表面相平行的上表面和下表面。

[0085] 需要说明的是,掺杂材料层用于形成扩散源掺杂层160,所述掺杂材料层的材料中也掺杂有第二型离子,因此,在采用沉积工艺形成所述掺杂材料层的步骤中,在沉积所述掺杂材料层的材料的过程中,还向反应腔室中通入含有第二型离子的前驱体,从而将所述第二型离子吸附到所述掺杂材料层的材料中。

[0086] 在其他实施例中,形成所述掺杂材料层的工艺还可以包括化学气相沉积工艺。化学气相沉积的工艺成本较低。

[0087] 本实施例中,采用干法刻蚀工艺,例如:各向同性的干法刻蚀工艺,去除位于所述栅极结构130顶部和侧壁、以及所述凹槽的侧壁和底部的掺杂材料层。具体地,通过调整干法刻蚀工艺的刻蚀偏置功率等工艺参数,易于实现各向同性的刻蚀,从而能够将位于所述栅极结构130顶部和侧壁、以及所述凹槽的侧壁和底部的掺杂材料层去除,其中,填充于第一沟槽40中的掺杂材料层在沟道叠层120的遮挡下较难去除,从而能够保留作为所述扩散源掺杂层160。

[0088] 需要说明的是,本实施例中,形成所述反型掺杂区的步骤包括:在形成所述扩散源掺杂层160后,对所述扩散源掺杂层160进行热处理,使所述扩散源掺杂层160中的第二型离子向所述鳍部110中扩散。

[0089] 通过对所述扩散源掺杂层160进行热处理,从而能够提高所述第二型离子的扩散速率,提高所述反型掺杂区的剖面形貌质量和掺杂浓度,进而提高反型掺杂区用于抑制底部寄生器件的效果。

[0090] 后续步骤还包括:在凹槽中形成源漏掺杂区,本实施例中,在形成源漏掺杂区之前,进行热处理,有利于防止热处理对源漏掺杂区中的离子分布和掺杂剖面造成影响。

[0091] 具体地,扩散源掺杂层160作为固态扩散源,扩散源掺杂层160中的第二型离子在受到热运动的驱动时,从掺杂浓度较高的扩散源掺杂层160中向鳍部110中扩散、并在沟道

层110中形成一定的分布,进而在鳍部110中形成反型掺杂区。通过使杂质离子扩散的方式形成反型掺杂区,对鳍部110的损伤小,使鳍部110的界面态良好,且固态源扩散的掺杂均匀性和工艺安全性较高。

[0092] 本实施例中,在进行热处理的过程中,第二型离子向鳍部110中扩散,在沿鳍部110的延伸方向上,使所述反型掺杂区分布在两个所述扩散源掺杂层160之间的整个鳍部110中。

[0093] 本实施例中,采用退火工艺进行所述热处理,例如:快速热退火工艺、尖峰退火工艺等。

[0094] 本实施例中,所述热处理的工艺参数包括:温度为850℃至1100℃,工艺时间为0秒至20秒,工艺压强为一个大气压。

[0095] 热处理的温度不宜过低,也不宜过高。如果温度过低,容易降低第二型掺杂离子的扩散速率,或者容易导致扩散源掺杂层160中第二型掺杂离子向鳍部110中扩散的不充分;如果温度过高,容易对半导体结构中其他的掺杂区的掺杂剖面产生影响,或者,容易对半导体结构造成较大的损伤,进而容易增加工艺风险,还容易增加热预算。为此,本实施例中,热处理的温度为850℃至1100℃。

[0096] 本实施例中,热处理的工艺时间为0秒至20秒,工艺压强为一个大气压,从而与热处理的温度相配合,提高第二型掺杂离子的扩散速率以及反型掺杂区中的掺杂离子分布均匀性,同时使反型掺杂区中的掺杂离子浓度和掺杂剖面满足工艺要求,且产生的副作用小。

[0097] 热处理的工艺时间指的是热处理在最高温度(Peak temperature)下保持的时间,也就是峰位驻留时间(Residence time)。其中,当热处理的工艺时间为0秒时,热处理的工艺为尖峰退火(Spike Anneal)工艺,0秒相应指的是尖峰退火在最高温度的峰位驻留时间为0秒。

[0098] 结合参考图11,在形成所述反型掺杂区后,所述半导体结构的形成方法还包括:去除位于沟道层12侧壁的保护层150。

[0099] 通过去除位于沟道层12侧壁的保护层150,从而暴露出所述沟道层12的侧壁,为后续形成与沟道层12相接触的源漏掺杂区做准备。本实施例中,通过各向同性的干法刻蚀工艺,去除位于沟道层12侧壁的保护层150。

[0100] 本实施例中,保护层150还填充于所述第二沟槽30内,因此,去除位于沟道层12侧壁的保护层150的步骤中,去除位于沟道层12侧壁的保护层150和位于牺牲层11侧壁的部分保护层150,填充于第二沟槽30的剩余保护层150用于作为内壁层170。

[0101] 本实施例中,将去除位于沟道层12侧壁的保护层150与形成内壁层170的工艺步骤相整合,有利于提高工艺整合度和工艺兼容性。

[0102] 后续在凹槽中形成源漏掺杂区、以及在牺牲层11位置处形成金属栅极结构后,所述内壁层170位于源漏掺杂区与金属栅极结构之间,能够对源漏掺杂区与金属栅极结构之间起到隔离的作用,且有利于减小源漏掺杂区与金属栅极结构之间的寄生电容。

[0103] 需要说明的是,本实施例中,去除位于沟道层12侧壁的保护层150的步骤中,还去除位于栅极结构130侧壁的保护层150。

[0104] 参考图12,在形成反型掺杂区之后,在所述凹槽中形成源漏掺杂区180,源漏掺杂区180覆盖所述扩散源掺杂层160。

[0105] 本实施例中,形成源漏掺杂区180的步骤包括:采用外延工艺,在凹槽内形成应力层,且在形成应力层的过程中原位自掺杂离子形成源漏掺杂区180。其中,源漏掺杂区180中的掺杂离子为第一型离子。

[0106] 其中,当全包围栅极晶体管为P型MOS晶体管时,应力层的材料为Si或SiGe,第一型的掺杂离子为P型离子;当全包围栅极晶体管为N型MOS晶体管时,应力层的材料为Si或SiC,第一型的掺杂离子为N型离子。

[0107] 本实施例中,源漏掺杂区180覆盖所述沟道层12的侧壁、以及内壁层170。

[0108] 本实施例中,源漏掺杂区180的顶面高于沟道叠层120的顶面,且源漏掺杂区180还覆盖侧墙140的部分侧壁。在其他实施例中,源漏掺杂区顶面还可以与沟道叠层顶面相齐平。

[0109] 本实施例中,形成源漏掺杂区160后,后续工艺步骤还包括:

[0110] 继续参考图12,在栅极结构130侧部的基底上形成层间介质层185。

[0111] 层间介质层185用于实现相邻器件之间的电隔离。

[0112] 本实施例中,层间介质层185的材料为氧化硅。

[0113] 本实施例中,形成层间介质层185的步骤包括:在栅极结构130侧部的基底上形成介质材料层(图未示),介质材料层还覆盖栅极结构130的顶部;去除高于栅极结构130的介质材料层,剩余的介质材料层作为层间介质层185。

[0114] 参考图13,去除所述栅极结构130和位于所述栅极结构130底部的栅氧化层125,在层间介质层185中形成露出沟道叠层120部分顶部和部分侧壁的栅极开口50;去除沟道叠层120中的牺牲层,形成通槽60,通槽60由鳍部与沟道层12围成,或者,通槽60由相邻的沟道层12与源漏掺杂区180围成,通槽60与栅极开口50相连通。

[0115] 栅极开口50和通槽60用于为后续形成金属栅极结构提供空间位置。

[0116] 本实施例中,采用干法刻蚀工艺去除栅极结构130和位于栅极结构130底部的栅氧化层125。

[0117] 本实施例中,在去除栅极结构130之前,所述半导体结构的形成方法还包括:去除所述栅极掩膜层135。去除栅极掩膜层135,从而暴露出所述栅极结构130的顶部,为去除栅极结构130做准备。

[0118] 本实施例中,采用湿法刻蚀工艺去除牺牲层11。具体的,沟道层12的材料为Si,牺牲层11的材料为SiGe,因此通过HCl蒸汽去除栅极开口50露出的牺牲层11,湿法刻蚀工艺对牺牲层11的刻蚀速率远大于对沟道层12和鳍部110的刻蚀速率。

[0119] 牺牲层11在形成源漏掺杂区180之后去除,因此去除牺牲层11后,沿鳍部110延伸方向,沟道层12两端与源漏掺杂区120相连,悬空于栅极开口50内,从而为后续金属栅极结构能够包围沟道层12提供基础。

[0120] 去除牺牲层11后,沟道层12间隔设置,剩余的沟道层12构成沟道结构层122,沟道结构层122位于鳍部110上且与鳍部110间隔设置。

[0121] 参考图14,在所述栅极开口50和通槽60中形成金属栅极结构190,所述栅极结构190包围所述沟道层12。

[0122] 金属栅极结构190用于控制器件工作时导电沟道的开启和关断。

[0123] 栅极开口50与通槽60相连通,因此在栅极开口50中形成金属栅极结构190的过程

中,金属栅极结构190还填充于通槽60内。

[0124] 具体地,金属栅极结构190横跨沟道结构层122且覆盖沟道结构层122的部分顶部,金属栅极结构190还包围沟道层12。其中,位于通槽60中的金属栅极结构190为第一部分(未标示),位于栅极开口50中的金属栅极结构190为第二部分(未标示)。

[0125] 金属栅极结构190包括高k栅介质层(图未示)、以及位于高k栅介质层上的金属栅电极层(图未示)。具体地,高k栅介质层位于沟道层12的上表面、下表面和侧面上,且还覆盖鳍部110的部分顶部和部分侧壁。

[0126] 本实施例中,高k栅介质层的材料为 HfO_2 。

[0127] 本实施例中,金属栅电极层的材料为W。

[0128] 所述金属栅极结构还可以包括其他功能层,例如:功函数层等。

[0129] 相应的,本发明还提供一种半导体结构。参考图14,示出了本发明半导体结构一实施例的结构示意图。

[0130] 所述半导体结构包括:基底,用于形成第一型晶体管,所述基底包括衬底100以及凸出于所述衬底100的鳍部110;沟道结构层122,位于所述鳍部110上且与所述鳍部110间隔设置,所述沟道结构层122包括一个或多个间隔设置的沟道层12;金属栅极结构190,横跨所述沟道结构层122,所述金属栅极结构190覆盖所述沟道结构层122的部分顶部且包围所述沟道层12;凹槽,位于所述金属栅极结构190两侧的沟道结构层122和鳍部110中;第一沟槽40,位于凹槽侧部的部分鳍部110中,第一沟槽40的开口与凹槽的侧壁相连通;反型掺杂区,位于所述第一沟槽40侧部的鳍部110中;扩散源掺杂层160,填充于所述第一沟槽40,所述扩散源掺杂层160中掺杂有第二型离子,所述第二型与第一型的掺杂类型不同,所述扩散源掺杂层160用于将所述第二型离子扩散至鳍部110中形成所述反型掺杂区;源漏掺杂区180,位于所述金属栅极结构190两侧的凹槽中,且覆盖沟道层12的侧壁和扩散源掺杂层160。

[0131] 所述半导体结构包括反型掺杂区,反型掺杂区中具有所述第二型离子,第二型与第一型不同,通过在鳍部110中设置所述反型掺杂区,有利于提高所述鳍部110与源漏掺杂区180形成的底部寄生器件的开启电压,从而对所述底部寄生器件起到抑制的作用。

[0132] 而且,所述扩散源掺杂层160位于源漏掺杂区180与鳍部110之间,扩散源掺杂层160还能够对源漏掺杂区180与鳍部110之间起到隔离的作用,并增大所述源漏掺杂区180与鳍部110之间的距离,从而能够进一步减少鳍部110中产生的漏电流。

[0133] 基底用于为形成全包围栅极(Gate-all-around,GAA)晶体管提供工艺平台。

[0134] 基底用于形成第一型晶体管。其中,所述第一型指的是晶体管的掺杂类型。具体地,第一型晶体管可以为N型掺杂的MOS晶体管或P型掺杂的MOS晶体管。

[0135] 本实施例中,衬底100为硅衬底。

[0136] 本实施例中,鳍部110与衬底100的材料相同,鳍部110的材料为硅。

[0137] 沟道层11用于提供全包围栅极晶体管的沟道。

[0138] 本实施例中,沟道层11与鳍部110的材料相同,沟道层11的材料为Si。

[0139] 本实施例中,沟道结构层122位于鳍部110上,沟道结构层122的延伸方向与鳍部110的延伸方向相同。多个堆叠的沟道层11的堆叠方向垂直于衬底100表面。本实施例中,沟道层11的数量为两个。在其他实施例中,沟道层的数量还可以不仅限于两个。

[0140] 半导体结构还包括:隔离结构115,位于鳍部110侧部的衬底100上,隔离结构115露

出沟道结构层122。隔离结构115用于对相邻器件起到隔离作用。

[0141] 本实施例中,所述隔离结构115的材料为氧化硅。

[0142] 金属栅极结构190用于控制晶体管工作时导电沟道的开启和关断。

[0143] 金属栅极结构190包括高k栅介质层(图未示)、以及位于高k栅介质层上的金属栅电极层(图未示)。具体地,高k栅介质层位于沟道层11的上表面、下表面和侧面上,且还覆盖鳍部110的部分顶部和部分侧壁。

[0144] 本实施例中,高k栅介质层的材料为 HfO_2 。

[0145] 本实施例中,金属栅电极层的材料为W。

[0146] 本实施例中,位于沟道层12之间和位于沟道层12与鳍部110之间的金属栅极结构190为第一部分,位于沟道结构层180的顶部且横跨沟道结构层180的金属栅极结构190为第二部分。

[0147] 所述半导体结构还包括:侧墙140,位于第二部分的侧壁上。本实施例中,侧墙140为单层结构,侧墙140的材料为氮化硅。

[0148] 本实施例中,金属栅极结构190通过后形成高k栅介质层后形成金属栅电极(High k last metal gate last)的工艺所形成,且形成金属栅极结构190之前,采用的栅极结构为叠层结构,因此半导体结构还包括:位于侧墙140和沟道结构层122之间的栅氧化层125。其中,在去除栅极结构以形成金属栅极结构190的过程中,侧墙140和沟道结构层122之间的栅氧化层125在侧墙140的覆盖下被保留。本实施例中,栅氧化层125的材料为氧化硅。

[0149] 凹槽用于为源漏掺杂区180提供空间位置。

[0150] 凹槽还位于金属栅极结构190两侧的鳍部110中,从而为第一沟槽40还位于凹槽侧部的部分鳍部110中提供基础。

[0151] 本实施例中,位于鳍部110中的所述凹槽的深度为5nm至30nm。

[0152] 第一沟槽40用于为扩散源掺杂层160提供空间位置。

[0153] 本实施例中,沿沟道层12长度的方向,第一沟槽40的深度为3nm至5nm。

[0154] 本实施例中,所述第一沟槽40为 Σ 形沟槽。在其他实施例中,所述第一沟槽还可以为矩形沟槽或其他形状的沟槽。

[0155] 反型掺杂区位于第一沟槽40侧部的鳍部110中,用于对底部寄生器件起到抑制的作用。本实施例中,反型掺杂区位于沿沟道层12长度方向的整个鳍部110中。

[0156] 扩散源掺杂层160用于将第二型离子扩散至鳍部110形成所述反型掺杂区。

[0157] 具体地,所述反型掺杂区中具有第二型离子,第二型与第一型的掺杂类型不同,从而通过在鳍部110中设置反型掺杂区,有利于提高鳍部110与源漏掺杂区180形成的底部寄生器件的开启电压,进而有利于对底部寄生器件起到抑制的作用,相应提升了半导体结构的性能,且本实施例中的扩散源掺杂层160与鳍部110相接触,扩散源掺杂层110与鳍部110的距离较小,有利于降低使第二型离子向鳍部110扩散以形成反型掺杂区的难度,有利于保证反型掺杂区中的第二型离子的掺杂浓度满足工艺的要求。

[0158] 本实施例中,所述扩散源掺杂层160的材料包括掺杂有第二型离子的氧化硅。通过选用氧化硅,有利于降低形成扩散源掺杂层160的工艺成本、提高工艺兼容性;而且,氧化硅为绝缘材料,通过选用绝缘材料,在使扩散源掺杂层160中的第二型离子向沟道层12中扩散形成反型掺杂区后,扩散源掺杂层160对半导体结构的电学性能影响小,扩散源掺杂层160

能够被保留在半导体结构中而无需去除,且扩散源掺杂层160位于源漏掺杂区180和鳍部110之间,还能够对源漏掺杂区180和鳍部110起到隔离的作用,从而增大源漏掺杂区180和鳍部110之间的距离,有利于减小在鳍部110中产生的漏电流。

[0159] 本实施例中,所述第一型晶体管为N型晶体管,因此,第二型离子为P型离子,例如:硼离子、镉离子等。扩散源掺杂层160的材料相应为掺杂有P型离子的氧化硅。本实施例中,扩散源掺杂层160的材料为掺硼的氧化硅(BSG)。

[0160] 在其他实施例中,当第一型晶体管为P型晶体管时,所述第二型离子相应为N型离子,例如:磷离子或砷离子等。所述扩散源掺杂层的材料相应为掺杂有N型离子的氧化硅,例如:扩散源掺杂层的材料为掺磷的氧化硅(PSG)。

[0161] 本实施例中,源漏掺杂区180包括掺杂有第一型离子的应力层。具体地,当全包围栅极晶体管为P型MOS晶体管时,应力层的材料为Si或SiGe,第一型离子为P型离子;当全包围栅极晶体管为N型MOS晶体管时,应力层的材料为Si或SiC,第一型离子为N型离子。

[0162] 本实施例中,所述半导体结构还包括:内壁层170,位于第一部分与所述源漏掺杂区180之间。内壁层170作为内侧墙,增大了第一部分与源漏掺杂区180的距离,有利于减小金属栅极结构190和源漏掺杂区180之间的寄生电容。

[0163] 本实施例中,内壁层170的材料为氮化硅。

[0164] 所述半导体结构还包括:层间介质层185,位于金属栅极结构190侧部的基底上。层间介质层185用于实现相邻器件之间的电隔离。本实施例中,层间介质层185的材料为氧化硅。

[0165] 所述半导体结构可以采用前述实施例所述的形成方法所形成,也可以采用其他形成方法所形成。对本实施例所述半导体结构的具体描述,可参考前述实施例中的相应描述,本实施例在此不再赘述。

[0166] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

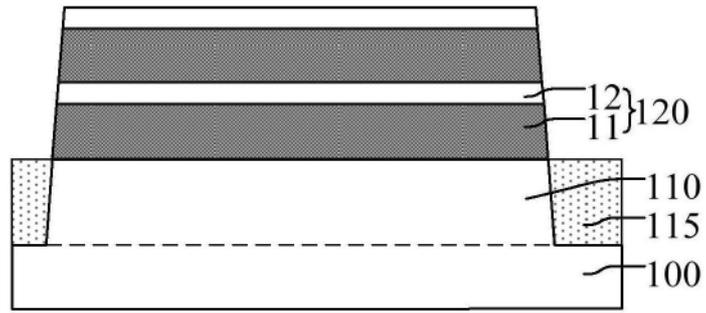


图1

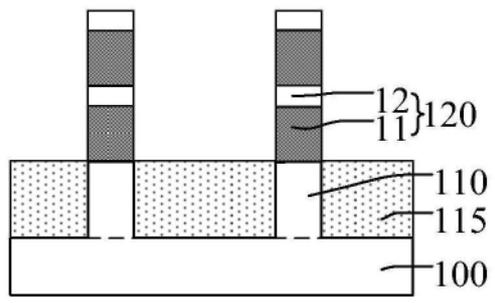


图2

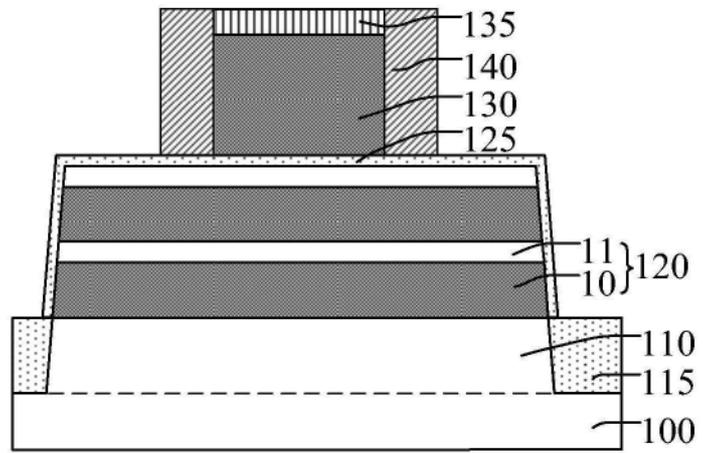


图3

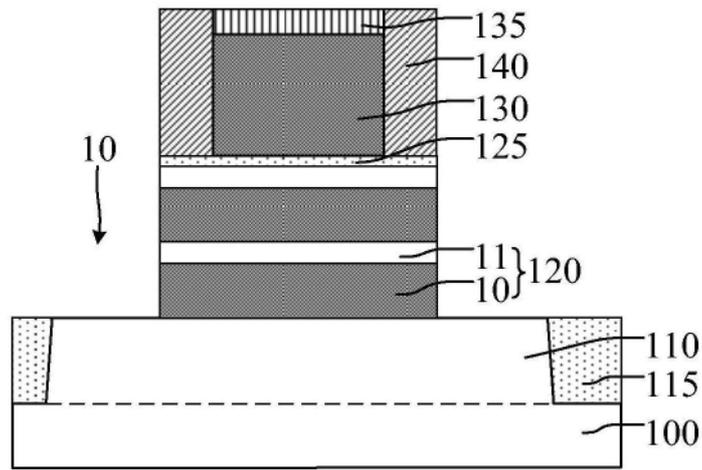


图4

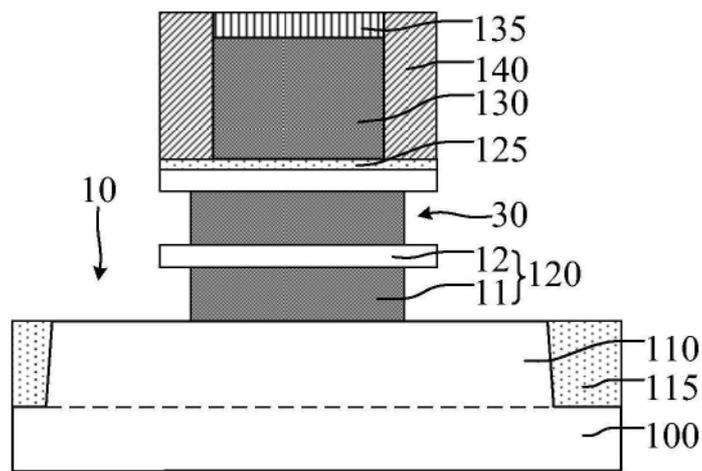


图5

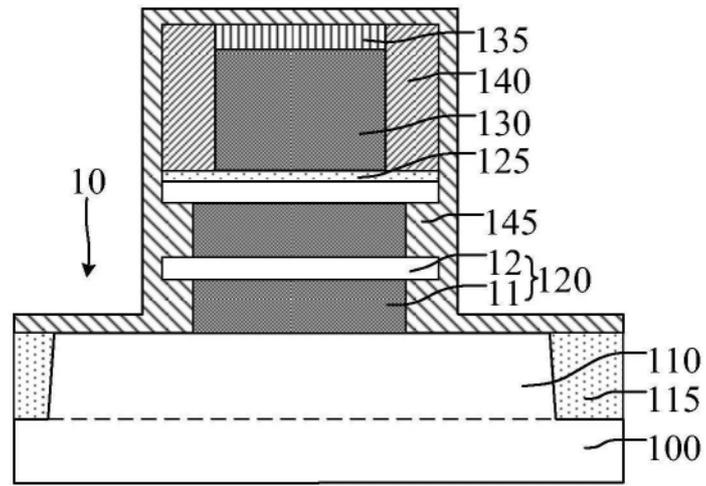


图6

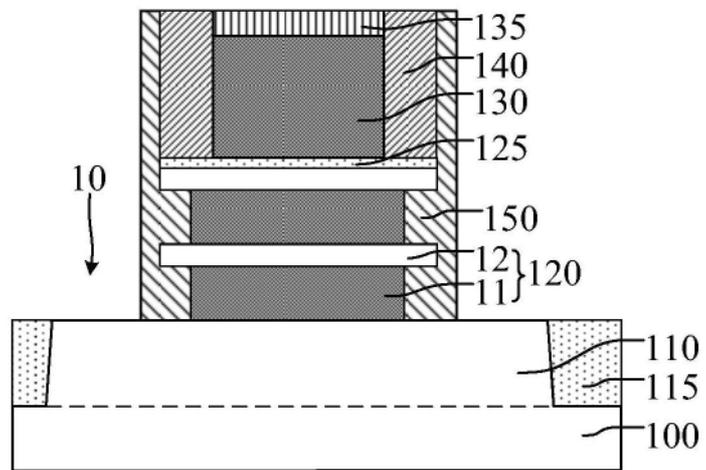


图7

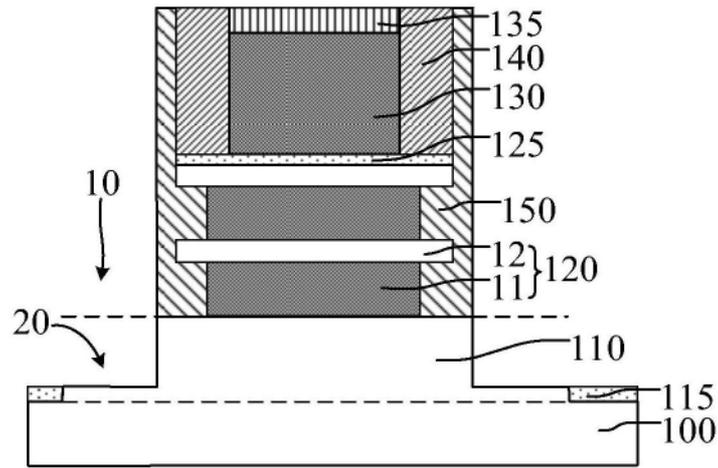


图8

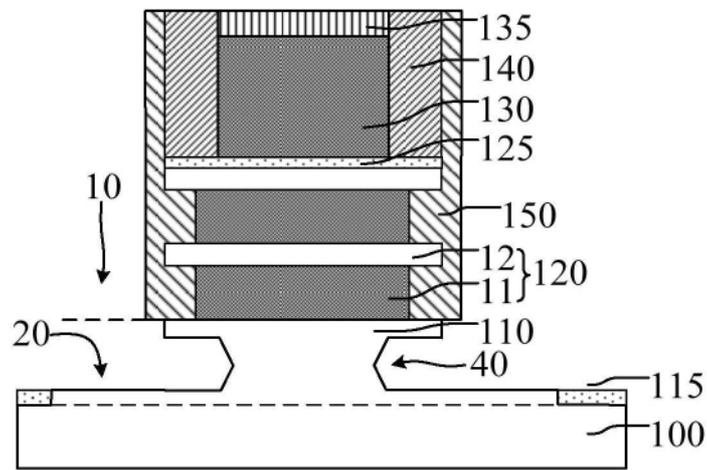


图9

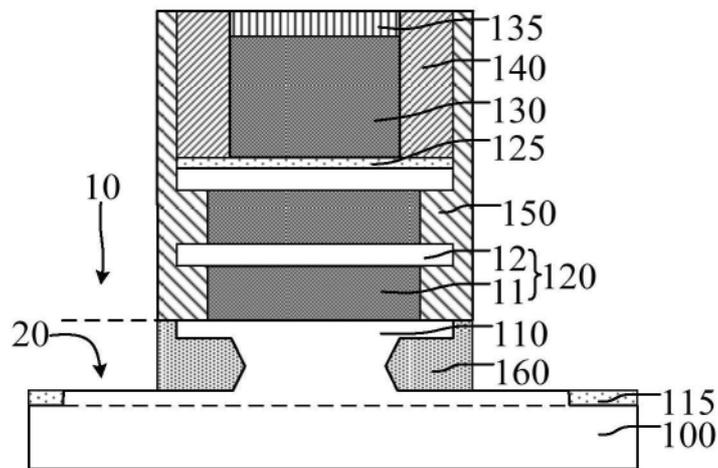


图10

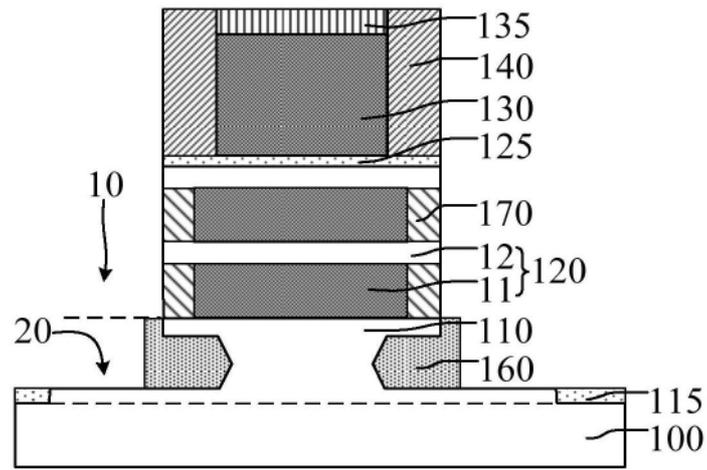


图11

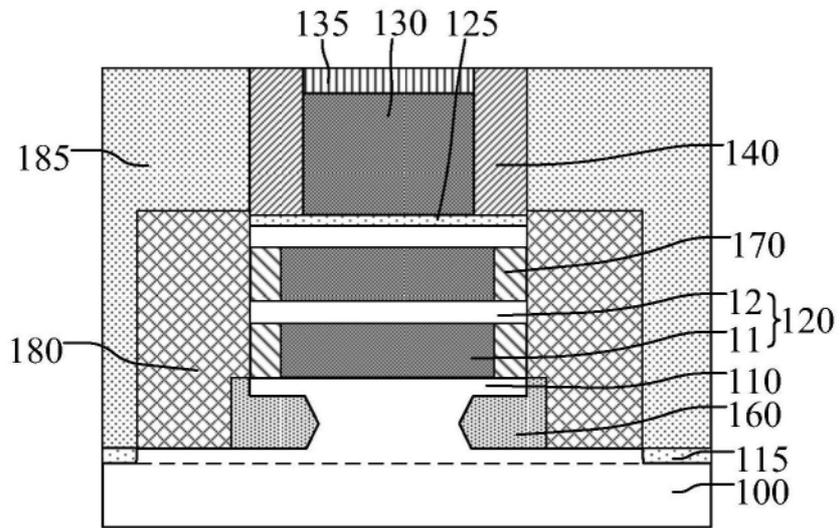


图12

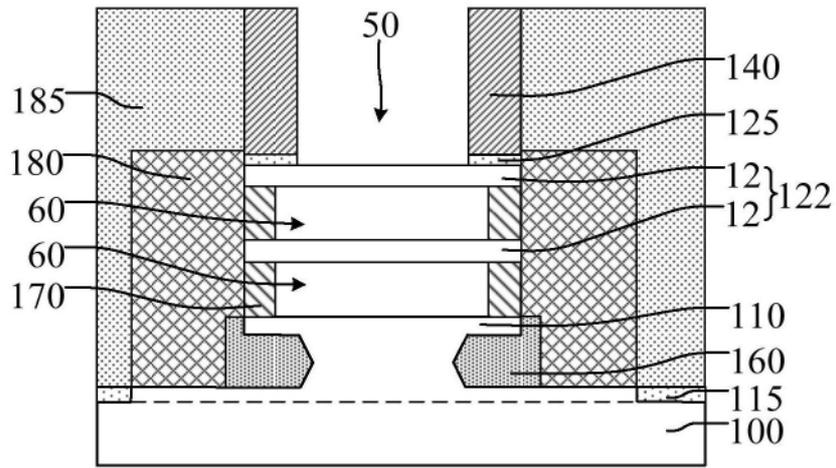


图13

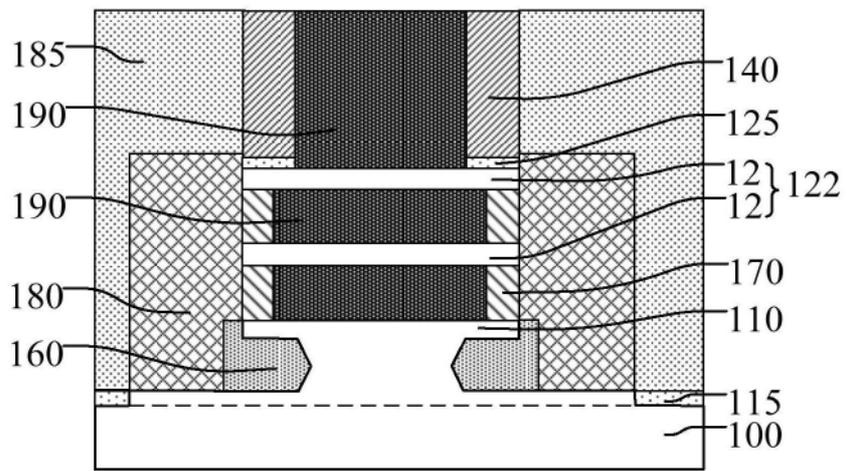


图14