



(52) CPC특허분류  
*H10K 71/861* (2023.02)

---

## 명세서

### 청구범위

#### 청구항 1

데이터 라인과 고전위 전원 라인 및 게이트 라인이 서로 교차하여 복수의 서브 화소가 정의되는 기관;

상기 복수의 서브 화소 중에 상하로 이웃하는 서브 화소 사이의 경계에 리페어 홀 영역을 제외하고 배치되며, 상기 상하로 이웃하는 서브 화소 일부와 중첩하는 리페어 전극;

상기 리페어 전극이 배치된 상기 기관 상부에 배치되는 절연층;

상기 절연층 위에 배치되는 연결 전극;

상기 연결 전극이 배치된 상기 기관 상부에 배치되는 평탄화층;

상기 리페어 홀 영역에 배치되며, 상기 평탄화층의 두께 일부가 제거되어 구비된 리페어 홀; 및

상기 평탄화층 위에 배치되며, 애노드와 발광부 및 캐소드로 이루어진 발광 소자를 포함하며,

상기 리페어 홀 하부에는 상기 절연층이 배치되지 않아 상기 기관 표면이 노출되고, 상기 연결 전극이 상기 노출된 기관 표면에 채워지도록 배치되는, 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서,

상기 절연층은,

상기 리페어 전극 위에 배치된 버퍼층; 및

상기 버퍼층 위에 배치되는 제1 절연층을 포함하는, 유기 발광 표시 장치.

#### 청구항 3

제 2 항에 있어서,

상기 평탄화층은,

상기 연결 전극 위에 배치되는 제1 평탄화층; 및

상기 제1 평탄화층 위에 배치되는 제2 평탄화층을 포함하는, 유기 발광 표시 장치.

#### 청구항 4

제 2 항에 있어서,

상기 리페어 전극은 상기 고전위 전원 라인에 연결된 구동 트랜지스터의 드레인 전극에 접속하는, 유기 발광 표시 장치.

#### 청구항 5

제 4 항에 있어서,

상기 리페어 전극은, 상기 상하로 이웃하는 서브 화소 중에 하부의 서브 화소의 구동 트랜지스터의 드레인 전극에 접속하는, 유기 발광 표시 장치.

#### 청구항 6

제 5 항에 있어서,

상기 리페어 전극은, 상기 상하로 이웃하는 서브 화소 사이 경계를 지나 상부의 서브-화소 쪽으로 연장되는, 유기 발광 표시 장치.

**청구항 7**

제 5 항에 있어서,

상기 리페어 홀 영역을 제외한 상기 상부의 서브-화소에 배치되는 게이트 홀을 더 포함하는, 유기 발광 표시 장치.

**청구항 8**

제 7 항에 있어서,

상기 게이트 홀은, 상기 버퍼층 및 상기 제1 절연층이 제거되어 상기 리페어 전극의 표면을 노출시키는, 유기 발광 표시 장치.

**청구항 9**

제 8 항에 있어서,

상기 연결 전극은 상기 게이트 홀을 통해 상기 리페어 전극에 접속하는, 유기 발광 표시 장치.

**청구항 10**

제 2 항에 있어서,

상기 리페어 홀 영역은 상기 버퍼층이 제거되어 있는, 유기 발광 표시 장치.

**청구항 11**

제 2 항에 있어서,

상기 리페어 홀 영역은 상기 버퍼층 및 상기 제1 절연층이 제거되어 있는, 유기 발광 표시 장치.

**청구항 12**

제 11 항에 있어서,

상기 연결 전극은, 상기 리페어 홀 영역에서 상기 기판 표면과 접하는, 유기 발광 표시 장치.

**청구항 13**

제 3 항에 있어서,

상기 제1 평탄화층은 열 경화형 오버코트층으로 구성되고,

상기 제2 평탄화층은 폴리이미드로 구성되는, 유기 발광 표시 장치.

**청구항 14**

제 2 항에 있어서,

상기 리페어 홀 영역을 제외한 상기 상하로 이웃하는 서브 화소 사이 경계에 배치되는 컨택홀을 더 포함하는, 유기 발광 표시 장치.

**청구항 15**

제 14 항에 있어서,

상기 컨택홀은, 상기 평탄화층이 제거되어 상기 연결 전극을 노출시키는, 유기 발광 표시 장치.

**청구항 16**

제 14 항에 있어서,

상기 애노드는 상기 컨택홀을 통해 상기 연결 전극에 접속하는, 유기 발광 표시 장치.

**청구항 17**

제 3 항에 있어서,

상기 리페어 홀의 하부에 상기 제1 평탄화층의 두께 일부가 남아있는, 유기 발광 표시 장치.

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

제 1 항에 있어서,

상기 리페어 홀 하부에 배치되며, 상기 서브 화소의 애노드와 상기 연결 전극을 도통시키는 도통 전극을 더 포함하는, 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 더 상세하게는 화소 리페어(repair) 구조를 갖는 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 개발되고 있다. 이러한 평판 표시 장치에는 액정 표시 장치(Liquid Crystal Display Device), 전계 방출 표시 장치(Field Emission Display Device), 유기 발광 표시 장치(Organic Light Emitting Display Device) 등이 있다.

[0003] 유기 발광 표시 장치는 스스로 발광하는 자발광소자로서 응답 속도가 빠르고 발광 효율, 휘도 및 시야각이 큰 장점이 있다. 또한, 플라스틱과 같은 유연한 기판에 소자를 형성할 수 있어 플렉서블 표시 장치를 구현할 수 있다.

[0004] 최근에는 대면적의 고해상도 유기 발광 표시 장치가 요구됨에 따라 단일 패널에 다수의 서브 화소가 포함된다. 이때, 각 서브 화소에 결함이 생기는 경우 시인성이 문제되어 패널 전체가 불량 처리되며, 이에 따라 유기 발광 표시 장치의 제조 수율이 저하되는 문제가 있다.

[0005] 또한, 대면적의 유기 발광 표시 장치를 제조함에 있어서, 유기 발광층을 형성하기 위해 종래에 널리 알려진 증착 방법은 물론, 잉크젯 프린팅 공정 또는 노즐 프린팅 공정과 같은 용액 공정이 이용될 수 있다. 용액 공정은 잉크젯 프린팅이나 노즐 프린팅 등을 통해 마스크 없이 대면적에 패터닝 코팅이 가능하며, 재료 사용률이 10% 이하인 진공 증착에 비해 재료 사용률이 50 내지 80%로 매우 높다. 또한, 진공 증착 박막에 비해서 유리 전이 온도(glass transition temperature)가 높아 열 안정성과 모폴로지(morphology) 특성이 우수하다.

**발명의 내용**

**해결하려는 과제**

[0006] 이에, 본 발명이 해결하고자 하는 과제는, 용액 공정을 이용하여 제조된 유기 발광 표시 장치를 제공하려는 것이다.

[0007] 본 발명이 해결하고자 하는 다른 과제는, 화소 리페어(repair) 구조를 갖는 유기 발광 표시 장치를 제공하려는 것이다.

[0008] 본 발명이 해결하고자 하는 또 다른 과제는, 리페어 홀(hole) 내에서의 점 결함(point defect)을 방지할 수 있는 유기 발광 표시 장치를 제공하려는 것이다.

[0009] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0010] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 데이터 라인과 고전위 전원 라인 및 게이트 라인이 서로 교차하여 복수의 서브 화소가 정의되는 기관, 상기 복수의 서브 화소 중에 상하로 이웃하는 서브 화소 사이의 경계에 정의되는 리페어를 위한 리페어 영역, 리페어 홀 영역을 제외한 상기 기관의 리페어 영역에 배치된 리페어 전극, 상기 리페어 전극이 배치된 상기 기관 상부에 배치되는 연결 전극, 상기 연결 전극이 배치된 상기 기관 상부에 배치되는 평탄화층, 상기 리페어 홀 영역에, 상기 평탄화층의 두께 일부가 제거되어 구비된 리페어 홀 및 상기 평탄화층 위에, 애노드와 발광부 및 캐소드로 이루어진 발광 소자를 포함할 수 있다.

[0011] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

[0012] 본 발명은, 리페어 홀 영역의 게이트 패턴 하부의 구성 일부를 제거하여 평탄화층의 잔존 두께를 증가시킴으로써 게이트 패턴과 애노드 사이의 단락 불량을 방지할 수 있게 된다. 이에 수율이 개선되는 효과를 제공한다.

[0013] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0014] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- 도 2는 유기 발광 표시 장치에 포함되는 서브 화소의 회로도이다.
- 도 3은 도 1의 I-I'선에 따른 단면도이다.
- 도 4는 본 발명의 제1 실시예에 따른 서브 화소 일부의 평면도이다.
- 도 5는 도 4의 II-II'선에 따른 단면도이다.
- 도 6은 리페어 공정이 진행된 서브 화소의 단면도이다.
- 도 7a 내지 도 7d는 비교예의 유기 발광 표시 장치의 제조 공정 일부를 순차적으로 보여주는 단면도이다.
- 도 8a 내지 도 8d는 본 발명의 제1 실시예의 유기 발광 표시 장치의 제조 공정 일부를 순차적으로 보여주는 단면도이다.
- 도 9는 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 10a 내지 도 10d는 본 발명의 제2 실시예의 유기 발광 표시 장치의 제조 공정 일부를 순차적으로 보여주는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0016] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐리게 할 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0017] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0018] 위치 관계에 대한 설명일 경우, 예를 들어 '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0019] 소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0020] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0021] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0022] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0023] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0025] 본 발명은, 유기 발광 표시 장치의 제조 수율을 높이기 위하여 서브 화소를 리페어 할 수 있는 구조를 포함하는 유기 발광 표시 장치를 제공한다.
- [0026] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- [0027] 도 1을 참조하면, 본 발명의 제1 실시예의 유기 발광 표시 장치(100)는, 영상 처리부(151), 타이밍 컨트롤러(timing controller)(152), 데이터 드라이버(153), 게이트 드라이버(154) 및 표시 패널(110)을 포함할 수 있다.
- [0028] 영상 처리부(151)는 외부로부터 공급된 데이터 신호(DATA)와 데이터 인에이블 신호(DE) 등을 출력할 수 있다. 영상 처리부(151)는 데이터 인에이블 신호(DE) 외에도 수직 동기 신호, 수평 동기 신호 및 클럭 신호 중 하나 이상을 출력할 수 있다.
- [0029] 타이밍 컨트롤러(152)는 영상 처리부(151)로부터 데이터 인에이블 신호(DE) 또는 수직 동기 신호, 수평 동기 신호 및 클럭 신호 등을 포함하는 구동 신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 컨트롤러(152)는 구동 신호에 기초하여 게이트 드라이버(154)의 동작타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)와 데이터 드라이버(153)의 동작타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)를 출력할 수 있다.
- [0030] 데이터 드라이버(153)는 타이밍 컨트롤러(152)로부터 공급된 데이터타이밍 제어 신호(DDC)에 응답하여 타이밍 컨트롤러(152)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치 하여 감마 기준전압으로 변환하여 출력할 수 있다. 데이터 드라이버(153)는 데이터 라인들(DL1~DLn)을 통해 데이터 신호(DATA)를 출력할 수 있다.
- [0031] 게이트 드라이버(154)는 타이밍 컨트롤러(152)로부터 공급된 게이트타이밍 제어 신호(GDC)에 응답하여 게이트 전압의 레벨을 시프트(shift)시키면서 게이트 신호를 출력할 수 있다. 게이트 드라이버(154)는 게이트 라인들(GL1~GLm)을 통해 게이트 신호를 출력할 수 있다.
- [0032] 표시 패널(110)은 데이터 드라이버(153) 및 게이트 드라이버(154)로부터 공급된 데이터 신호(DATA) 및 게이트 신호에 대응하여 서브 화소(P)가 발광하면서 영상을 표시할 수 있다.
- [0033] 도 3을 참조하면, 표시 패널(110)은 영상이 구현되는 패널로, 영상을 구현하기 위한 유기 발광 소자와 유기 발광 소자를 구동하기 위한 회로, 배선 및 부품 등이 배치될 수 있다.
- [0034] 표시 패널(110)은 표시 영역 및 비표시 영역을 포함할 수 있다.
- [0035] 표시 영역은 영상을 표시하는 영역으로, 유기 발광 소자들로 이루어진 복수의 서브 화소들이 배열될 수 있다. 표시 영역에는 영상을 표시하기 위한 유기 발광 소자와 유기 발광 소자를 구동하기 위한 회로부가 배치될 수 있다.

- [0036] 회로부는 유기 발광 소자를 구동하기 위한 다양한 박막 트랜지스터, 커패시터 및 배선 등을 포함할 수 있다. 일 예로, 회로부는 구동 박막 트랜지스터, 스위칭 박막 트랜지스터, 스토리지 커패시터, 게이트 배선 및 데이터 배선 등과 다양한 구성을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0037] 비표시 영역은 영상이 표시되지 않는 영역으로, 표시 영역의 유기 발광 소자를 구동하기 위한 회로, 배선 및 부품 등이 배치되는 영역이다. 비표시 영역에는 게이트 드라이버 IC, 데이터 드라이버 IC와 같은 다양한 IC 및 구동 회로 등이 배치될 수 있다. 일 예로, 다양한 IC 및 구동 회로는 표시 패널(110)의 비표시 영역에 GIP(Gate In Panel)로 실장 되거나, TCP(Tape Carrier Package) 또는 COF(Chip On Film) 등의 방식으로 표시 패널(110)과 연결될 수 있다.
- [0038] 서브 화소(P)의 상세구조는 도 2 및 도 3에서 상세히 설명한다.
- [0039] 도 2는 유기 발광 표시 장치에 포함되는 서브 화소의 회로도 이다.
- [0040] 도 2를 참조하면, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 서브 화소는 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 보상 회로(135) 및 발광 소자(130)를 포함할 수 있다.
- [0041] 발광 소자(130)는 구동 트랜지스터(DT)에 의해 형성된 구동 전류에 따라 발광하도록 동작할 수 있다.
- [0042] 스위칭 트랜지스터(ST)는 게이트 라인(116)을 통해 공급된 게이트 신호에 대응하여 데이터 라인(117)을 통해 공급되는 데이터 신호가 커패시터(capacitor)에 데이터 전압으로 저장되도록 스위칭 동작할 수 있다.
- [0043] 구동 트랜지스터(DT)는 커패시터에 저장된 데이터 전압에 대응하여 고전위 전원 라인(VDD)과 저전위 전원라인(GND) 사이로 일정한 구동 전류가 흐르도록 동작할 수 있다.
- [0044] 보상 회로(135)는 구동 트랜지스터(DT)의 문턱 전압 등을 보상하기 위한 회로이며, 보상 회로(135)는 하나 이상의 박막 트랜지스터와 커패시터를 포함할 수 있다. 보상 회로(135)의 구성은 보상 방법에 따라 매우 다양할 수 있다.
- [0045] 도 2에 도시된 서브 화소는, 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 커패시터 및 발광 소자(130)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성 되지만, 이에 제한되지 않으며, 보상 회로(135)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0046] 서브 화소는, 서로 교차하는 데이터 라인(117)과 고전위 전원 라인(VDD) 및 게이트 라인(116)에 의해 구획될 수 있다.
- [0047] 이하, 도 3을 참조하여 표시 영역의 구조를 상세히 설명한다.
- [0048] 도 3은 도 1의 I-I'선에 따른 단면도이다.
- [0049] 도 3은 도 1에서 설명한 표시 영역의 서브 화소 일부에 대한 단면 구조를 상세히 보여주고 있다.
- [0050] 도 3을 참조하면, 기판(111)은 상부에 배치되는 유기 발광 표시 장치의 구성요소들을 지지 및 보호하는 역할을 한다.
- [0051] 최근 플라스틱과 같은 플렉서블 특성을 가지는 연성의 물질로 플렉서블 기판(111)을 사용할 수 있다.
- [0052] 플렉서블 기판(111)은 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리올레핀계 고분자, 및 이들의 공중합체로 이루어진 군 중 하나를 포함하는 필름 형태일 수 있다.
- [0053] 플렉서블 기판(111) 위에 광차단층(126)이 배치될 수 있다.
- [0054] 광차단층(126)은 박막 트랜지스터(120)의 하부에 배치될 수 있으며, 박막 트랜지스터(120)의 반도체층(124)으로 향하는 광을 차단하는 역할을 할 수 있다.
- [0055] 광차단층(126) 위에 버퍼층(112)이 배치될 수 있다.
- [0056] 버퍼층(112)은 플렉서블 기판(111)을 통해 외부의 수분이나 다른 불순물의 침투를 방지하며, 플렉서블 기판(111)의 표면을 평탄화할 수 있다.
- [0057] 박막 트랜지스터(120)는 플렉서블 기판(111) 상부, 일 예로, 광차단층(126) 상부에 배치될 수 있으며, 게이트 전극(121), 소스 전극(122), 드레인 전극(123) 및 반도체층(124)을 포함할 수 있다.

- [0058] 일 예로, 반도체층(124)은 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)으로 구성할 수 있으며, 이에 제한되지 않는다. 다결정 실리콘은 비정질 실리콘보다 우수한 이동도(mobility)를 가져 소비 전력이 낮고 신뢰성이 우수하여, 서브 화소 내에서 구동 박막 트랜지스터에 적용할 수 있다.
- [0059] 반도체층(124)은 산화물(oxide) 반도체로 구성할 수 있다. 산화물 반도체는 이동도와 균일도가 우수한 특성을 갖고 있다.
- [0060] 반도체층(124)은 p형 또는 n형의 불순물을 포함하는 소스 영역, 드레인 영역 및 소스 영역 및 드레인 영역 사이에 채널 영역(channel region)을 포함할 수 있고, 채널 영역과 인접한 소스 영역 및 드레인 영역 사이에는 저농도 도핑 영역을 더 포함할 수도 있다.
- [0061] 소스 영역 및 드레인 영역은 불순물이 고농도로 도핑된 영역으로, 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)이 각각 접속될 수 있다.
- [0062] 불순물 이온은 p형 불순물 또는 n형 불순물을 이용할 수 있는데, p형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 하나일 수 있고, n형 불순물은 인(P), 비소(As) 및 안티몬(Sb) 등에서 하나일 수 있다.
- [0063] 반도체층(124)은 NMOS(N type Metal Oxide Semiconductor) 또는 PMOS(P type Metal Oxide Semiconductor)의 박막 트랜지스터 구조에 따라, 채널 영역은 n형 불순물 또는 p형 불순물로 도핑될 수 있으며, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치에 포함될 박막 트랜지스터는 NMOS 또는 PMOS의 박막 트랜지스터가 적용 가능하다.
- [0064] 제1 절연층(115a)은 실리콘산화물(SiO<sub>x</sub>) 또는 실리콘질화물(SiN<sub>x</sub>)의 단일층 또는 이들의 다중 층으로 구성된 절연층이며, 반도체층(124)에 흐르는 전류가 게이트 전극(121)으로 흘러가지 않도록 배치될 수 있다. 그리고, 실리콘산화물은 금속보다는 연성이 떨어지지만, 실리콘질화물에 비해서는 연성이 우수하며 그 특성에 따라서 단일층 또는 복수 층으로 형성할 수 있다.
- [0065] 게이트 전극(121)은 게이트 라인을 통해 외부에서 전달되는 전기 신호에 기초하여 박막 트랜지스터(120)를 턴-온(turn-on) 또는 턴-오프(turn-off) 하는 스위치(switch) 역할을 하며, 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중 층으로 구성될 수 있으며, 이에 제한되지 않는다.
- [0066] 소스 전극(122) 및 드레인 전극(123)은 데이터 라인과 연결되며, 외부에서 전달되는 전기 신호가 박막 트랜지스터(120)에서 발광 소자(130)로 전달되도록 하는 역할을 하며, 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금으로 단일층 또는 다중 층으로 구성할 수 있으며, 이에 제한되지 않는다.
- [0067] 게이트 전극(121)과 소스 전극(122) 및 드레인 전극(123)을 절연 시키기 위해서 실리콘산화물(SiO<sub>x</sub>) 또는 실리콘질화물(SiN<sub>x</sub>)의 단일층이나 다중 층으로 구성된 제2 절연층(115b)을 게이트 전극(121)과 소스 전극(122) 및 드레인 전극(123) 사이에 배치할 수 있다.
- [0068] 박막 트랜지스터(120) 상부에 실리콘산화물(SiO<sub>x</sub>), 실리콘질화물(SiN<sub>x</sub>)과 같은 무기절연층으로 구성된 패시베이션층을 더 배치할 수도 있다.
- [0069] 패시베이션층은, 패시베이션층의 상하에 배치되는 구성요소들 사이의 불필요한 전기적 연결을 막고 외부로부터의 오염이나 손상 등을 막는 역할을 할 수 있으며, 박막 트랜지스터(120) 및 발광 소자(130)의 구성 및 특성에 따라서 생략할 수 있다.
- [0070] 박막 트랜지스터(120)는 박막 트랜지스터(120)를 구성하는 구성요소들의 위치에 따라 인버티드 스테거드(inverted staggered) 구조와 코플래너(coplanar) 구조로 분류될 수 있다. 예를 들어, 인버티드 스테거드 구조의 박막 트랜지스터는 반도체층을 기준으로 게이트 전극이 소스 전극 및 드레인 전극의 반대 편에 위치할 수 있다. 도 3에서와 같이, 코플래너 구조의 박막 트랜지스터(120)는 반도체층(124)을 기준으로 게이트 전극(121)이 소스 전극(122) 및 드레인 전극(123)과 같은 편에 위치할 수 있다.
- [0071] 도 3에서는 코플래너 구조의 박막 트랜지스터(120)가 도시되었으나, 이에 제한되는 것은 아니며, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치는 인버티드 스테거드 구조의 박막 트랜지스터를 포함할 수도 있다.
- [0072] 설명의 편의를 위해, 유기 발광 표시 장치에 포함될 수 있는 다양한 박막 트랜지스터(120) 중에 구동 박막 트랜지스터(120)만을 도시하였으며, 스위칭 박막 트랜지스터, 커패시터 등도 유기 발광 표시 장치에 포함될 수

있다.

- [0073] 그리고, 스위칭 박막 트랜지스터는 게이트 라인으로부터 신호가 인가되면, 데이터 라인으로부터의 데이터 신호를 구동 박막 트랜지스터(120)의 게이트 전극(121)으로 전달한다.
- [0074] 구동 박막 트랜지스터(120)는 스위칭 박막 트랜지스터로부터 전달받은 신호에 의해 전원 배선을 통해 전달되는 전류를 애노드(131)로 전달할 수 있고, 애노드(131)로 전달되는 전류에 의해 발광을 제어할 수 있다.
- [0075] 박막 트랜지스터(120)를 보호하고 박막 트랜지스터(120)로 인해 발생하는 단차를 완화시키며, 박막 트랜지스터(120)와 게이트 라인 및 데이터 라인, 발광 소자(130)들 사이에 발생하는 기생정전용량(parasitic capacitance)을 감소시키기 위해서 박막 트랜지스터(120) 위에 평탄화층(115c, 115d)을 배치할 수 있다.
- [0076] 이와 같이 박막 트랜지스터(120)가 형성된 기판(111)은 여러 구성 요소가 형성되어 있어 표면이 평탄하지 못하고, 단차가 많이 형성되어 있다. 따라서, 기판(111)의 표면을 평탄하게 할 목적으로 평탄화층(115c, 115d)을 기판(111) 위에 형성할 수 있다.
- [0077] 예를 들면, 평탄화층(115c, 115d)은 아크릴계 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(polyphenylene resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene) 중 하나 이상의 물질로 형성될 수 있으며, 이에 제한되지 않는다.
- [0078] 본 발명의 제1 실시예에 따른 유기 발광 표시 장치는 순차적으로 적층된 제1 평탄화층(115c) 및 제2 평탄화층(115d)을 포함할 수 있다.
- [0079] 즉, 박막 트랜지스터(120) 위에 제1 평탄화층(115c)이 배치되고, 제1 평탄화층(115c) 위에 제2 평탄화층(115d)이 배치될 수 있다. 다만, 이에 제한되는 것은 아니며, 제2 평탄화층(115d)은 생략될 수도 있다.
- [0080] 용액 공정을 고려하여, 제1 평탄화층(115c)은 열 경화형 오버코트층일 수 있으며, 제2 평탄화층(115d)은 폴리이미드로 구성될 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0081] 제1 평탄화층(115c)에 형성되는 컨택 홀(contact hole)을 통해서 중간 전극(125)이 박막 트랜지스터(120)와 연결될 수 있다. 중간 전극(125)은 박막 트랜지스터(120)와 연결되도록 적층 되어 데이터 라인도 복층 구조로 형성될 수 있다. 다만, 이에 제한되는 것은 아니며, 중간 전극(125)은 생략될 수 있다.
- [0082] 중간 전극(125)을 형성하는 경우에, 데이터 라인은 소스 전극(122) 및 드레인 전극(123)과 동일한 물질로 이루어지는 하부 층과 중간 전극(125)과 동일한 물질로 이루어지는 상부 층이 연결되는 구조로 형성될 수 있다. 즉, 데이터 라인은 두 개의 층이 서로 병렬 연결된 구조로 데이터 라인이 구현될 수 있으며, 이 경우 데이터 라인의 배선 저항이 감소될 수 있다.
- [0083] 한편, 제1 평탄화층(115c) 및 중간 전극(125) 위에 실리콘산화물(SiO<sub>x</sub>), 실리콘질화물(SiN<sub>x</sub>)과 같은 무기절연층으로 구성된 패시베이션층이 더 배치될 수도 있다. 패시베이션층은 구성요소들 사이의 불필요한 전기적 연결을 막고 외부로부터 오염이나 손상 등을 막는 역할을 할 수 있으며, 박막 트랜지스터(120) 및 발광 소자(130)의 구성 및 특성에 따라서 생략될 수도 있다.
- [0084] 제2 평탄화층(115d) 위에 발광 소자(130)가 배치될 수 있으며, 발광 소자(130)는 애노드(131), 발광부(132) 및 캐소드(133)를 포함할 수 있다.
- [0085] 기존의 발광 소자(130)를 진공 증착을 이용하여 형성하였다. 진공 증착은 형성하고자 하는 층의 물질을 진공 챔버에서 기상화하여 기판 위에 증착 하는 방법이다.
- [0086] 그런데, 진공 챔버를 이용하는 경우에는, 적어도 진공 증착이 이루어지는 기판의 크기보다는 챔버의 크기가 커야 한다. 또한, 챔버 내 기판의 유입을 위해 충분한 공간 확보를 필요로 하여 대형화에는 한계가 있어 다른 방식의 고려가 있었다.
- [0087] 그 일 예로, 용액 공정(soluble process)을 이용하는 방법이 있다.
- [0088] 이러한 용액 공정은 별도의 마스크나 챔버 없이 진행될 수 있다. 따라서, 용액 공정은 증착 공정에 비해 공정이 단순하고 공정 비용이 저렴해서 발광 소자(130)의 공정 시간 및 제조 비용을 절감할 수 있는 효과를 가진다.
- [0089] 본 발명에서는 용액 공정에 의해 유기 발광 표시 장치의 발광부(132)를 형성함으로써, 대면적 및/또는 고해상도

의 표시 장치에 적용할 수 있게 된다.

- [0090] 발광부(132)는 용액 공정을 통해 형성될 수 있다. 용액 공정으로는 다수의 노즐을 포함하는 분사 장치를 이용한 인쇄 법이나 코팅 법이 이용될 수 있으며, 이에 제한되지 않는다. 예를 들어, 용액 공정으로 잉크젯 인쇄(inkjet printing), 노즐 인쇄(nozzle printing), 전사 공정(transferring process), 열 제트 인쇄(thermal jet printing), 스핀 코팅(spin coating) 중 어느 하나를 선택할 수 있다.
- [0091] 도 3을 참조하면, 발광부(132)는 용액 공정을 통해 형성함에 따라 양 단면이 라운드(round) 형상을 가질 수 있다.
- [0092] 애노드(131)는 제2 평탄화층(115d) 위에 배치될 수 있다.
- [0093] 애노드(131)는 발광부(132)에 정공을 공급하는 역할을 하는 전극으로, 제2 평탄화층(115d)에 있는 컨택 홀을 통해 중간 전극(125)과 연결되어 박막 트랜지스터(120)와 전기적으로 접속될 수 있다.
- [0094] 애노드(131)는 투명 도전성 물질인 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zin Oxide; IZO) 등으로 구성할 수 있으며, 이에 제한되지 않는다.
- [0095] 유기 발광 표시 장치(100)가 캐소드(133)가 배치된 상부로 광을 발광하는 탑 에미션(top emission)일 경우, 발광된 광이 애노드(131)에서 반사되어 보다 원활하게 캐소드(133)가 배치된 상부 방향으로 방출될 수 있도록, 반사층을 더 포함할 수 있다.
- [0096] 애노드(131)는 투명 도전성 물질로 구성된 투명 도전층과 반사층이 차례로 적층된 2층 구조이거나, 투명 도전층, 반사층 및 투명 도전층이 차례로 적층된 3층 구조일 수 있으며, 반사층은 은(Ag) 또는 은을 포함하는 합금일 수 있다.
- [0097] 애노드(131) 및 제2 평탄화층(115d) 위에 배치되는 बैं크(115e)는 실제로 광을 발광하는 영역을 구획하여 서브 화소를 정의할 수 있다.
- [0098] 예를 들어, बैं크(115e)는 상대적으로 표면 에너지가 낮은 물질로 이루어져 발광부(132) 재료와의 접촉 각을 크게 함으로써 인접한 서브 화소로 발광부(132) 재료가 넘치는 것을 방지하는 것이 바람직하다. 예를 들어, बैं크(115e)는 소수성 특성을 갖는 유기 절연 물질로 이루어질 수 있다.
- [0099] 한편, बैं크(115e)의 구조는 이에 제한되지 않는다. 즉, बैं크(115e)는 제1 बैं크와 제1 बैं크 상부의 제2 बैं크를 포함할 수 있다. 제1 बैं크의 폭은 제 2 बैं크의 폭보다 넓은 것이 바람직하다. 이때, 제1 बैं크는 상대적으로 표면 에너지가 높은 물질로 이루어져 발광부(132) 재료와의 접촉 각을 낮추고, 제2 बैं크는 상대적으로 표면 에너지가 낮은 물질로 이루어져 발광부(132) 재료와의 접촉 각을 크게 함으로써 인접한 서브 화소로 발광부(132) 재료가 넘치는 것을 방지할 수 있다. 예를 들어, 제1 बैं크는 친수성 특성을 갖는 무기 절연 물질이나 유기 절연 물질로 이루어질 수 있으며, 제2 बैं크는 소수성 특성을 갖는 유기 절연 물질로 이루어질 수 있다.
- [0100] 이와 달리, 제1 बैं크와 제2 बैं크는 동일 물질로 이루어진 일체형 구조일 수 있으며, 이때 제1 बैं크와 제2 बैं크는 소수성 특성을 갖는 유기 절연 물질로 이루어질 수 있다.
- [0101] 그리고, बैं크(115e) 상부에 투명 유기물인 폴리이미드, 포토아크릴 및 벤조사이클로부텐(BCB) 중 하나로 구성되는 스페이서(spacer; 115f)를 배치할 수도 있으나, 이에 제한되지 않으며, 생략될 수도 있다.
- [0102] 애노드(131)와 캐소드(133) 사이에는 발광부(132)가 배치될 수 있다.
- [0103] 발광부(132)는 광을 발광하는 역할을 하며, 정공 주입층(Hole Injection Layer; HIL), 정공 수송층(Hole Transport Layer; HTL), 발광층, 전자 수송층(Electron Transport Layer; ETL), 전자주입층(Electron Injection Layer; EIL) 중 적어도 하나의 층을 포함할 수 있고, 유기 발광 표시 장치(100)의 구조나 특성에 따라서 일부 구성요소는 생략될 수도 있다. 여기서, 발광층은 전계발광층 및 무기발광층을 적용하는 것도 가능하다.
- [0104] 정공 주입층은 애노드(131) 위에 배치하여 정공의 주입이 원활하게 하는 역할을 한다.
- [0105] 정공 수송층은 정공 주입층 위에 배치하여 발광층으로 원활하게 정공을 전달하는 역할을 한다.
- [0106] 발광층은 정공수송층 위에 배치되며 특정 색의 광을 발광할 수 있는 물질을 포함하여 특정 색의 광을 발광할 수 있다. 그리고, 발광물질은 인광물질 또는 형광물질을 이용하여 형성할 수 있다.

- [0107] 전자 수송층 위에 전자 주입층이 더 배치될 수 있다. 전자 주입층은 캐소드(133)로부터 전자의 주입을 원활하게 하는 유기층으로, 유기 발광 표시 장치(100)의 구조와 특성에 따라서 생략될 수 있다.
- [0108] 한편, 발광층과 인접한 위치에 정공 또는 전자의 흐름을 저지하는 전자 저지층(electron blocking layer) 또는 정공 저지층(hole blocking layer)을 더 배치하여 전자가 발광층에 주입될 때 발광층에서 이동하여 인접한 정공 수송층으로 통과하거나 정공이 발광층에 주입될 때 발광층에서 이동하여 인접한 전자 수송층으로 통과하는 현상을 방지하여 발광효율을 향상시킬 수 있다.
- [0109] 캐소드(133)는 발광부(132) 위에 배치되어, 발광부(132)로 전자를 공급하는 역할을 한다. 캐소드(133)는 전자를 공급하여야 하므로 일 함수가 낮은 도전성 물질인 마그네슘(Mg), 은-마그네슘 등과 같은 금속 물질로 구성할 수 있으며, 이에 제한되지 않는다.
- [0110] 유기 발광 표시 장치(100)가 탑 에미션 방식인 경우, 캐소드(133)는 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO), 아연 산화물(Zinc Oxide; ZnO) 및 주석 산화물(Tin Oxide; TO) 계열의 투명 도전성 산화물일 수 있다.
- [0111] 발광 소자(130) 위에는 유기 발광 표시 장치(100)의 구성요소인 박막 트랜지스터(120) 및 발광 소자(130)가 외부에서 유입되는 수분, 산소 또는 불순물로 인해서 산화 또는 손상되는 것을 방지하기 위한 봉지부(115g)를 배치할 수 있으며, 복수의 봉지층, 이물보상층 및 복수의 배리어 필름(barrier film)이 적층 되어 형성할 수 있다.
- [0112] 봉지층은 박막 트랜지스터(120) 및 발광 소자(130)의 상부 전면에 배치될 수 있고, 무기물인 질화실리콘(SiNx) 또는 산화알루미늄(Al<sub>2</sub>O<sub>3</sub>) 중 하나로 구성될 수 있으며, 이에 제한되지 않는다. 봉지층 위에 배치되는 이물보상층 위에는 봉지층이 더 배치될 수도 있다.
- [0113] 이물보상층은 봉지층 위에 배치되며, 유기물인 실리콘옥시카본(SiOCz), 아크릴(acryl) 또는 에폭시(epoxy) 계열의 레진(resin)을 사용할 수 있으며, 이에 제한되지 않는다. 공정 중에 발생할 수 있는 이물이나 파티클(particle)에 의해서 발생된 크랙(crack)에 의해 불량률이 발생할 때 이물보상층에 의해서 굴곡 및 이물이 덮이면서 보상할 수 있다.
- [0114] 봉지층 및 이물보상층 위에 배리어 필름을 배치하여 유기 발광 표시 장치(100)가 외부에서의 산소 및 수분의 침투를 지연시킬 수 있다. 배리어 필름은 투광성 및 양면 접착성을 띠는 필름 형태로 구성되며, 올레핀(olefin) 계열, 아크릴 계열 및 실리콘 계열 중에 어느 하나의 절연 재료로 구성될 수 있으며, 또는 COP(Cycloolefin Polymer), COC(Cycloolefin Copolymer) 및 PC(Polycarbonate) 중 어느 하나의 재료로 구성된 배리어 필름을 더 적층 할 수도 있다. 이에 제한되지 않는다.
- [0115] 한편, 본 발명은 각 서브 화소에 결함이 생기는 경우 시인성이 문제되어 패널 전체가 불량 처리되는 것을 방지하기 위해 화소 리페어(repair) 구조를 가지며, 리페어 홀(hole) 내에서의 점 결함(point defect)을 방지할 수 있는 유기 발광 표시 장치를 제공하는 것을 특징으로 하며, 도 4 내지 도 6을 참조하여 설명하도록 한다.
- [0116] 도 4는 본 발명의 제1 실시예에 따른 서브 화소 일부의 평면도이다.
- [0117] 도 5는 도 4의 II-II'선에 따른 단면도이다.
- [0118] 도 6은 리페어 공정이 진행된 서브 화소의 단면도이다.
- [0119] 도 4는 편의상 서브 화소의 구성들 중에 화소 리페어 구조만을 보여주고 있으나, 이에 제한되지 않는다. 또한, 도 4는 nxm번째 서브 화소(P<sub>nxm</sub>) 및 nxm+1번째 서브 화소(P<sub>nxm+1</sub>)의 일부를 예로 보여주고 있다.
- [0120] 도 6은 도 5의 단면 구조에서 리페어 공정이 진행된 서브 화소의 단면을 예로 보여주고 있다.
- [0121] 도 4 내지 도 6을 참조하면, 리페어 영역의 기관(111) 위에 리페어 전극(126a)이 배치될 수 있다.
- [0122] 기관(111)은 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리올레핀계 고분자, 및 이들의 공중합체로 이루어진 군 중 하나를 포함하는 플렉서블 특성을 가지는 연성의 물질로 형성될 수 있다.
- [0123] 리페어 전극(126a)은 리페어 영역의, nxm번째 서브 화소(P<sub>nxm</sub>) 및 nxm+1번째 서브 화소(P<sub>nxm+1</sub>)의 일부와 중첩 되도록 배치될 수 있다. 또한, 본 발명의 제1 실시예에 따른 리페어 전극(126a)은 리페어 홀(RH)이 형성될 리페어 홀 영역에는 형성되지 않는 것을 특징으로 한다.

- [0124] 이상의 설명에서 편의상,  $nxm$ 번째 서브 화소( $P_{nxm}$ ) 및  $nxm+1$ 번째 서브 화소( $P_{nxm+1}$ )는 상하로 이웃하는 서브 화소 중에 상부의 서브 화소 및 하부의 서브 화소를 예로 지칭하기로 한다.
- [0125] 리페어 전극(126a)은 광차단층을 구성하는 물질로 광차단층과 동일한 층에 형성할 수 있다.
- [0126] 리페어 전극(126a)은, 예를 들어, 고전위 전원 라인에 연결된  $nxm+1$ 번째 서브 화소( $P_{nxm+1}$ )의 구동 트랜지스터의 드레인 전극과 전기적으로 접속할 수 있으며, 이에 제한되는 것은 아니다. 이때,  $nxm+1$ 번째 서브 화소( $P_{nxm+1}$ )의 구동 트랜지스터의 드레인 전극과 전기적으로 접속된 리페어 전극(126a)은,  $nxm$ 번째 서브 화소( $P_{nxm}$ ) 및  $nxm+1$ 번째 서브 화소( $P_{nxm+1}$ ) 사이 경계를 지나  $nxm$ 번째 서브 화소( $P_{nxm}$ ) 쪽으로 연장되어, 게이트 홀(GH)을 통해 연결 전극(121a)과 전기적으로 접속할 수 있다.
- [0127] 본 발명의 제1 실시예에 따른 게이트 홀(GH)은, 리페어 홀(RH)이 형성될 리페어 홀 영역에 형성되지 않고,  $nxm$ 번째 서브 화소( $P_{nxm}$ ) 내에 형성되는 것을 특징으로 한다. 이는 전술한 바와 같이 리페어 홀 영역에 리페어 전극(126a)이 형성되어 있지 않기 때문이다.
- [0128] 리페어 전극(126a) 위에 버퍼층(112)이 배치될 수 있다.
- [0129] 버퍼층(112)은 기관(111)을 통해 외부의 수분이나 다른 불순물의 침투를 방지하며, 기관(111)의 표면을 평탄화할 수 있다.
- [0130] 버퍼층(112) 위에 제1 절연층(115a)이 배치될 수 있다.
- [0131] 제1 절연층(115a)은 실리콘산화물( $SiO_x$ ) 또는 실리콘질화물( $SiN_x$ )의 단일층 또는 이들의 다중 층으로 구성될 수 있다.
- [0132] 제1 절연층(115a) 위에 연결 전극(121a)이 배치될 수 있다.
- [0133] 연결 전극(121a)은 게이트 전극을 구성하는 물질로 게이트 전극과 동일한 층에 형성할 수 있다. 즉, 연결 전극(121a)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중 층으로 구성될 수 있으며, 이에 제한되지 않는다.
- [0134] 이때,  $nxm$ 번째 서브 화소( $P_{nxm}$ ) 및  $nxm+1$ 번째 서브 화소( $P_{nxm+1}$ ) 사이 영역, 구체적으로 리페어 홀(RH)이 형성될 리페어 홀 영역은, 버퍼층(112) 및 제1 절연층(115a)이 제거되어 기관(111) 표면에 노출될 수 있으며, 노출된 기관(111) 표면에 연결 전극(121a)이 채워지게 된다.
- [0135] 이와 같이 본 발명의 제1 실시예는, 리페어 홀(RH)이 형성될 리페어 홀 영역은 리페어 전극(126a)을 형성하지 않고, 버퍼층(112) 및 제1 절연층(115a)을 제거함으로써 평탄화층(115c, 115d)의 낮은 두께에 의한 연결 전극(121a)과 애노드(131) 사이의 단락 불량을 방지할 수 있는 것을 특징으로 한다.
- [0136] 연결 전극(121a) 위에 제2 절연층(115b)이 배치될 수 있다.
- [0137] 이때, 제2 절연층(115b)은 실리콘산화물( $SiO_x$ ) 또는 실리콘질화물( $SiN_x$ )의 단일층이나 다중 층으로 구성될 수 있다.
- [0138] 제2 절연층(115b) 위에 평탄화층(115c, 115d)이 배치될 수 있다.
- [0139] 예를 들면, 평탄화층(115c, 115d)은 아크릴계 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(polyphenylene resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene) 중 하나 이상의 물질로 형성될 수 있으며, 이에 제한되지 않는다.
- [0140] 용액 공정을 고려하여, 제1 평탄화층(115c)은 열 경화형 오버코트층일 수 있으며, 제2 평탄화층(115d)은 폴리이미드로 구성될 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0141] 한편, 평탄화층(115c, 115d)의 일부 영역이 제거되어 연결 전극(121a)의 표면을 노출시키는 컨택홀(CH)이 형성될 수 있고, 이와 동시에 리페어 홀 영역에 제2 평탄화층(115d)의 전체와 제1 평탄화층(115c)의 두께 일부가 제거되어 리페어 홀(RH)이 형성될 수 있다. 즉, 본 발명의 제1 실시예의 경우에는 리페어 홀(RH)의 하부에 제1 평탄화층(115c)의 두께 일부가 남아있는 것을 특징으로 한다. 이에 따라 연결 전극(121a)과 애노드(131) 사이의 단락 불량을 방지할 수 있게 된다.

- [0142]     컨택홀(CH)은 nxm번째 서브 화소(Pnxm) 및 nxm+1번째 서브 화소(Pnxm+1) 사이에 형성될 수 있다.
- [0143]     리페어 홀(RH)은 컨택홀(CH) 근처의 nxm번째 서브 화소(Pnxm) 및 nxm+1번째 서브 화소(Pnxm+1) 사이에 형성될 수 있다.
- [0144]     제2 평탄화층(115d) 위에 발광 소자가 배치될 수 있으며, 발광 소자는 애노드(131), 발광부 및 캐소드를 포함할 수 있다.
- [0145]     리페어 영역의 애노드(131)는, 컨택홀(CH)을 통해 연결 전극(121a)과 전기적으로 접속될 수 있다. 즉, nxm+1번째 서브 화소(Pnxm+1)의 애노드(131)는 nxm번째 서브 화소(Pnxm) 및 nxm+1번째 서브 화소(Pnxm+1) 사이, 즉, 리페어 영역으로 연장되어 컨택홀(CH)을 통해 연결 전극(121a)과 전기적으로 접속될 수 있다.
- [0146]     한편, 특정 서브 화소에 결함이 발생할 경우에, 예를 들어, nxm번째 서브 화소(Pnxm)에 결함이 발생할 경우에, 도 6을 참조하면 레이저 웰딩(welding)으로 도통 전극(160)을 형성하여 nxm+1번째 서브 화소(Pnxm+1)와 연결할 수 있다.
- [0147]     참고로, 하나의 서브 화소에 형성된 구동 트랜지스터, 스위칭 트랜지스터 등 소자가 구동하지 않을 경우 발광 소자로 전류가 인가되지 않아 암점화 불량이 발생할 수 있다. 또한, 구동 트랜지스터의 소스 전극과 드레인 전극이 단락 되는 경우, 또는 구동 트랜지스터가 정상적으로 구동되지 않고 소스 전극으로 인가된 전압이 드레인 전극으로 직접 인가되는 경우에, 구동 트랜지스터가 오프(off)되지 않고 온(on) 상태가 유지되어 발광 소자가 계속 점등하는 휘점화 불량이 발생할 수 있다.
- [0148]     이와 같이, 특정 서브 화소에 암점화 또는 휘점화 불량이 발생하는 경우, 암점화된 서브 화소는 리페어가 불가하므로 암점화된 상태 그대로 둔다.
- [0149]     그리고, 휘점화된 서브 화소는, 휘점화된 서브 화소를 구동시키는 구동 트랜지스터와 발광 소자의 애노드가 연결되는 지점을 레이저 커팅을 통해 끊고, 휘점화 불량이 발생한 서브 화소의 애노드에 웰딩(welding)을 진행하여 해당 서브 화소의 애노드와 이웃하는 서브 화소의 광차단층 패턴을 서로 도통시켜 동일한 신호를 인가한다.
- [0150]     즉, 예를 들어, nxm번째 서브 화소(Pnxm)에 휘점화 불량이 발생할 경우에, 휘점화된 nxm번째 서브 화소(Pnxm)를 구동시키는 구동 트랜지스터와 nxm번째 서브 화소(Pnxm)의 애노드(131)가 연결되는 지점을 레이저 커팅을 통해 끊는다. 그 다음에, 휘점화 불량이 발생한 서브 화소의 애노드(131)에 웰딩(welding)으로 리페어 홀(RH)의 하부에 도통 전극(160)을 형성하여 nxm번째 서브 화소(Pnxm)의 애노드(131)와 연결 전극(121a)을 서로 도통시킨다. 이 경우에 연결 전극(121a)이 게이트 홀(GH)을 통해 리페어 전극(126a)과 접속되고, 리페어 전극(126a)은 nxm+1번째 서브 화소(Pnxm+1)의 구동 트랜지스터의 드레인 전극과 접속되어 있으므로 nxm번째 서브 화소(Pnxm)는 nxm+1번째 서브 화소(Pnxm+1)와 연결되어 신호를 인가 받을 수 있다.
- [0151]     진술한 바와 같이 본 발명의 제1 실시예의 경우에는 리페어 홀(RH)의 하부에 제1 평탄화층(115c)의 두께 일부가 남아있는 것을 특징으로 한다. 이에 따라 연결 전극(121a)과 애노드(131) 사이의 단락 불량을 방지할 수 있게 되는데, 이를 비교예의 제조 공정과 비교하여 상세히 설명한다.
- [0152]     도 7a 내지 도 7d는 비교예의 유기 발광 표시 장치의 제조 공정 일부를 순차적으로 보여주는 단면도이다.
- [0153]     도 7a 내지 도 7d에 도시된 비교예의 제조 공정은 화소 리페어 구조의 제조 공정만을 제외하고는 본 발명의 제1 실시예의 유기 발광 표시 장치의 제조 공정과 실질적으로 동일하다. 따라서, 동일한 구성 요소에 대해서는 동일한 참조 부호를 기재하기로 한다.
- [0154]     도 7a를 참조하면, 리페어 영역의 기관(111) 위에 리페어 전극(26a, 26b)을 형성한다.
- [0155]     비교예에 따른 리페어 전극(26a, 26b)은 리페어 홀(RH)이 형성될 리페어 홀 영역에 형성되는 제1 리페어 전극(26a)과 컨택홀(CH)이 형성될 컨택홀 영역에 형성되는 제2 리페어 전극(26b)을 포함한다.
- [0156]     이후, 리페어 전극(26a, 26b) 위에 버퍼층(112)을 형성한다.
- [0157]     이후, 버퍼층(112) 위에 제1 절연층(115a)을 형성한다.
- [0158]     이후, 제1 절연층(115a)을 선택적으로 제거하여 제1 리페어 전극(26a)의 일부를 노출시키는 게이트 홀(GH)을 형성한다.
- [0159]     즉, 비교예에 따른 게이트 홀(GH)은, 리페어 홀(RH)이 형성될 리페어 홀 영역에 형성된다

- [0160] 이후, 제1 절연층(115a) 위에 연결 전극(21a)을 형성한다.
- [0161] 이때, 연결 전극(21a)은 게이트 홀(GH)을 통해 제1 리페어 전극(26a)과 전기적으로 접속한다.
- [0162] 이후, 연결 전극(21a) 위에 제2 절연층(115b)을 형성한다.
- [0163] 이후, 제2 절연층(115b) 위에 평탄화층(115c, 115d)을 형성한다. 즉, 제2 절연층(115b) 위에 제1 평탄화층(115c)을 형성하고, 제1 평탄화층(115c) 위에 제2 평탄화층(115d)을 형성한다.
- [0164] 용액 공정을 고려하여, 제1 평탄화층(115c)은 열 경화형 오버코트층으로 형성하고, 제2 평탄화층(115d)은 폴리이미드로 형성한다.
- [0165] 컨택홀(CH)이 형성될 컨택홀 영역의 제2 평탄화층(115d)이 미리 제거될 수도 있다.
- [0166] 이후, 회절 또는 하프-톤(half tone) 마스크를 이용하여 완전 노광영역(I), 완전 차단영역(II) 및 반투과영역(III)을 포함하는 1차 포토레지스트 패턴(40)을 기판(111) 상부에 형성한다.
- [0167] 이후, 1차 포토레지스트 패턴(40)이 형성되면, 1차 식각공정(dry etch)을 진행하여 컨택홀(CH)이 형성될 컨택홀 영역의 제2 평탄화층(115d)을 제거한다.
- [0168] 다음으로, 도 7b를 참조하면, 1차 포토레지스트 패턴에 대하여 에싱(ashing) 공정을 진행하여 완전 차단영역의 포토레지스트만을 남기고 나머지 반투과영역의 포토레지스트를 제거함으로써 1차 포토레지스트 패턴에 비해 두께가 줄어든 2차 포토레지스트 패턴(40a)을 형성한다.
- [0169] 이후, 2차 포토레지스트 패턴(40a)이 형성되면, 2차 식각공정을 진행하여 리페어 홀 영역 및 컨택홀 영역의 평탄화층(115c, 115d)을 선택적으로 식각하여 리페어 홀(RH) 및 예비 컨택홀(CH')을 형성한다.
- [0170] 이때, 리페어 홀 영역 및 컨택홀 영역의 단차가 동일하기 때문에, 건식 식각을 진행하면, 리페어 홀 영역 및 컨택홀 영역의 제2 평탄화층(115d)과 제1 평탄화층(115c)이 제거되어 제2 절연층(115b)이 노출되는 리페어 홀(RH) 및 예비 컨택홀(CH')이 형성된다.
- [0171] 다음으로, 도 7c를 참조하면, 습식 식각을 진행하여 컨택홀 영역의 제2 절연층(115b)을 선택적으로 제거하여 연결 전극(21a)을 노출시키는 컨택홀(CH)을 형성한다. 이때, 리페어 홀 영역에서도 제2 절연층(115b)의 일부가 제거됨에 따라 하부의 연결 전극(21a)이 노출될 수 있다.
- [0172] 이후, 스트립(strip) 공정을 진행하여 2차 포토레지스트 패턴을 제거한다.
- [0173] 다음으로, 도 7d를 참조하면, 리페어 홀(RH) 및 컨택홀(CH)을 포함하여 제2 평탄화층(115d) 위에 애노드(31)를 형성한다.
- [0174] 이때, 비교예의 경우 리페어 홀(RH) 하부의 제2 절연층(115b)의 일부가 제거됨에 따라 리페어 홀 영역에서 연결 전극(21a)과 애노드(31) 사이의 단락이 발생할 수 있게 된다. 이에 원하지 않는 상황에서 해당 서브 화소와 이웃하는 서브 화소 사이가 항상 연결되게 된다.
- [0175] 도 8a 내지 도 8d는 본 발명의 제1 실시예의 유기 발광 표시 장치의 제조 공정 일부를 순차적으로 보여주는 단면도이다.
- [0176] 도 8a를 참조하면, 리페어 영역의 기판(111) 위에 리페어 전극(126a)을 형성할 수 있다.
- [0177] 기판(111)은 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리올레핀계 고분자, 및 이들의 공중합체로 이루어진 군 중 하나를 포함하는 플렉서블 특성을 가지는 연성의 물질로 형성될 수 있다.
- [0178] 예를 들어, 리페어 전극(126a)은 리페어 영역의,  $n$ xm번째 서브 화소( $P_{nmx}$ ) 및  $n$ xm+1번째 서브 화소( $P_{nmx+1}$ )의 일부와 중첩되도록 배치될 수 있다. 또한, 본 발명의 제1 실시예에 따른 리페어 전극(126a)은 리페어 홀(RH)이 형성될 리페어 홀 영역에는 형성되지 않는 것을 특징으로 한다.
- [0179] 리페어 전극(126a)은 광차단층을 구성하는 물질로 광차단층과 동일한 층에 형성할 수 있다. 예를 들어, 리페어 전극(126a)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이들의 합금으로 단일층 또는 다중 층으로 구성될 수 있으며, 이에 제한되지 않는다.
- [0180] 리페어 전극(126a)은, 예를 들어, 고전위 전원 라인에 연결된  $n$ xm+1번째 서브 화소( $P_{nmx+1}$ )의 구동 트랜지스터

의 드레인 전극과 전기적으로 접속할 수 있으며, 이에 제한되는 것은 아니다.

- [0181] 이후, 리페어 전극(126a) 위에 버퍼층(112)을 형성할 수 있다.
- [0182] 버퍼층(112)은 기관(111)을 통해 외부의 수분이나 다른 불순물의 침투를 방지하며, 기관(111)의 표면을 평탄화할 수 있다.
- [0183] 이후, 버퍼층(112) 위에 제1 절연층(115a)을 형성할 수 있다.
- [0184] 제1 절연층(115a)은 실리콘산화물(SiO<sub>x</sub>) 또는 실리콘질화물(SiN<sub>x</sub>)의 단일층 또는 이들의 다중 층으로 구성될 수 있다.
- [0185] 다음으로, n<sub>xm</sub>번째 서브 화소(P<sub>n<sub>xm</sub></sub>)의 제1 절연층(115a)을 선택적으로 제거하여 리페어 전극(126a)의 일부를 노출시키는 게이트 홀(GH)을 형성할 수 있다.
- [0186] 본 발명의 제1 실시예에 따른 게이트 홀(GH)은, 리페어 홀(RH)이 형성될 리페어 홀 영역에 형성하지 않고, 서브 화소, 예를 들어 n<sub>xm</sub>번째 서브 화소(P<sub>n<sub>xm</sub></sub>) 내에 형성하는 것을 특징으로 한다. 이는 전술한 바와 같이 리페어 홀 영역에 리페어 전극(126a)이 형성되어 있지 않기 때문이다
- [0187] 이후, 제1 절연층(115a) 위에 연결 전극(121a)을 형성할 수 있다.
- [0188] 연결 전극(121a)은 게이트 전극을 구성하는 물질로 게이트 전극과 동일한 층에 형성할 수 있다. 예를 들어, 연결 전극(121a)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중 층으로 구성될 수 있으며, 이에 제한되지 않는다.
- [0189] 이때, n<sub>xm</sub>번째 서브 화소(P<sub>n<sub>xm</sub></sub>) 및 n<sub>xm</sub>+1번째 서브 화소(P<sub>n<sub>xm</sub>+1</sub>) 사이 영역, 구체적으로 리페어 홀(RH)이 형성될 리페어 홀 영역은, 버퍼층(112) 및 제1 절연층(115a)이 제거되어 기관(111) 표면에 노출될 수 있으며, 노출된 기관(111) 표면에 연결 전극(121a)이 채워지게 된다.
- [0190] 이후, 연결 전극(121a) 위에 제2 절연층(115b)을 형성할 수 있다.
- [0191] 이때, 제2 절연층(115b)은 실리콘산화물(SiO<sub>x</sub>) 또는 실리콘질화물(SiN<sub>x</sub>)의 단일층이나 다중층으로 구성될 수 있다.
- [0192] 이후, 제2 절연층(115b) 위에 평탄화층(115c, 115d)을 형성할 수 있다.
- [0193] 즉, 제2 절연층(115b) 위에 제1 평탄화층(115c)을 형성할 수 있다. 그리고, 제1 평탄화층(115c) 위에 제2 평탄화층(115d)을 형성할 수 있다.
- [0194] 예를 들면, 평탄화층(115c, 115d)은 아크릴계 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리 에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(polyphenylene resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene) 중 하나 이상의 물질로 형성될 수 있으며, 이에 제한되지 않는다.
- [0195] 용액 공정을 고려하여, 제1 평탄화층(115c)은 열 경화형 오버코트층일 수 있으며, 제2 평탄화층(115d)은 폴리이미드로 형성할 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0196] 한편, 컨택홀(CH)이 형성될 컨택홀 영역의 제2 평탄화층(115d)이 미리 제거될 수도 있으나, 이에 제한되는 것은 아니다.
- [0197] 이후, 회절 또는 하프-톤(half tone) 마스크를 이용하여 완전 노광영역(I), 완전 차단영역(II) 및 반투과영역(III)을 포함하는 1차 포토레지스트 패턴(140)을 기관(111) 상부에 형성할 수 있다.
- [0198] 즉, 포토레지스트(photoresist)를 제2 평탄화층(115d) 위에 도포한 후, 회절 또는 하프-톤 마스크를 이용한 노광 및 현상 공정을 진행하여 노광량에 따라 두께가 서로 상이한 1차 포토레지스트 패턴(140)을 형성한다.
- [0199] 이와 같이 본 발명에서는 회절 마스크 또는 하프-톤 마스크를 사용하여, 노광량이 서로 다른 1차 포토레지스트 패턴(140)을 형성할 수 있다.
- [0200] 1차 포토레지스트 패턴(140)은 완전 노광영역(I), 완전 차단영역(II) 및 반투과영역(III)으로 구분하는데, 이때

완전 차단영역(II)은 도포된 포토레지스트의 두께를 갖고, 컨택홀(CH)이 형성될 컨택홀 영역은 완전 노광영역(I)에 대응하여 도포된 포토레지스트가 제거된 형태를 가질 수 있다.

- [0201] 그리고, 리페어 홀(RH)이 형성될 리페어 홀 영역은 반투과영역(III)으로 도포된 포토레지스트보다 얇은 두께를 가질 수 있다.
- [0202] 이후, 1차 포토레지스트 패턴(140)이 형성되면, 1차 식각공정(dry etch)을 진행하여 컨택홀(CH)이 형성될 컨택홀 영역의 제2 평탄화층(115d)을 제거할 수 있다. 다만, 전술한 바와 같이 컨택홀 영역의 제2 평탄화층(115d)이 미리 제거될 수도 있다.
- [0203] 다음으로, 도 8b를 참조하면, 1차 포토레지스트 패턴에 대하여 에싱(ashing) 공정을 진행하여 완전 차단영역의 포토레지스트만을 남기고 나머지 반투과영역의 포토레지스트를 제거함으로써 1차 포토레지스트 패턴에 비해 두께가 줄어든 2차 포토레지스트 패턴(140a)를 형성한다.
- [0204] 이후, 2차 포토레지스트 패턴(140a)이 형성되면, 2차 식각공정을 진행하여 리페어 홀 영역 및 컨택홀 영역의 평탄화층(115c, 115d)을 선택적으로 식각하여 리페어 홀(RH) 및 예비 컨택홀(CH')을 형성한다.
- [0205] 예를 들어, 건식 식각을 진행하여 리페어 홀 영역에 제2 평탄화층(115d)의 전체와 제1 평탄화층(115c)의 두께 일부가 제거되어 리페어 홀(RH)이 형성될 수 있다. 또한, 컨택홀 영역에 제2 평탄화층(115d)과 제1 평탄화층(115c)이 제거되어 제2 절연층(115b)이 노출되는 예비 컨택홀(CH')이 형성될 수 있다.
- [0206] 다음으로, 도 8c를 참조하면, 습식 식각을 진행하여 컨택홀 영역의 제2 절연층(115b)을 선택적으로 제거하여 연결 전극(121a)을 노출시키는 컨택홀(CH)을 형성할 수 있다.
- [0207] 예를 들어, 컨택홀(CH)은  $n$ xm번째 서브 화소(P<sub>nxm</sub>) 및  $n$ xm+1번째 서브 화소(P<sub>nxm+1</sub>) 사이에 형성될 수 있다.
- [0208] 리페어 홀(RH)은 컨택홀(CH) 근처의  $n$ xm번째 서브 화소(P<sub>nxm</sub>) 및  $n$ xm+1번째 서브 화소(P<sub>nxm+1</sub>) 사이에 형성될 수 있다.
- [0209] 이후, 스트립(strip) 공정을 진행하여 2차 포토레지스트 패턴을 제거한다. 다만, 이에 제한되는 것은 아니며, 스트립 공정 후에 습식 식각공정이 진행될 수 있다.
- [0210] 다음으로, 도 8d를 참조하면, 리페어 홀(RH) 및 컨택홀(CH)을 포함하여 제2 평탄화층(115d) 위에 애노드(131)를 형성할 수 있다.
- [0211] 애노드(131)는 제2 평탄화층(115d) 위에 형성될 수 있다.
- [0212] 애노드(131)는 발광부에 정공을 공급하는 역할을 하는 전극으로, 박막 트랜지스터와 전기적으로 접속될 수 있다. 또한, 애노드(131)는 컨택홀(CH)을 통해 연결 전극(121a)과 전기적으로 접속될 수 있다.
- [0213] 애노드(131)는, 컨택홀(CH)을 통해 연결 전극(121a)과 전기적으로 접속될 수 있다. 즉, 예를 들면,  $n$ xm+1번째 서브 화소(P<sub>nxm+1</sub>)의 애노드(131)는  $n$ xm번째 서브 화소(P<sub>nxm</sub>) 및  $n$ xm+1번째 서브 화소(P<sub>nxm+1</sub>) 사이, 즉, 리페어 영역으로 연장되어 컨택홀(CH)을 통해 연결 전극(121a)과 전기적으로 접속될 수 있다.
- [0214] 애노드(131)는 투명 도전성 물질인 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zin Oxide; IZO) 등으로 구성할 수 있으며, 이에 제한되지 않는다.
- [0215] 유기 발광 표시 장치가 탑 에미션(top emission)일 경우, 발광된 광이 애노드(131)에서 반사되어 보다 원활하게 캐소드가 배치된 상부 방향으로 방출될 수 있도록, 반사층을 더 포함할 수 있다.
- [0216] 즉, 애노드(131)는 투명 도전성 물질로 구성된 투명 도전층과 반사층이 차례로 적층된 2층 구조이거나, 투명 도전층, 반사층 및 투명 도전층이 차례로 적층된 3층 구조일 수 있으며, 반사층은 은(Ag) 또는 은을 포함하는 합금일 수 있다.
- [0217] 본 발명의 제1 실시예의 경우에는 리페어 홀(RH) 하부의 제2 절연층(115b) 위에 제1 평탄화층(115c)의 두께 일부가 남아있는 것을 특징으로 한다. 이에 따라 리페어 홀 영역에서 연결 전극(121a)과 애노드(131) 사이의 단락 불량을 방지할 수 있게 된다.
- [0218] 이와 같이 본 발명의 제1 실시예는, 리페어 홀(RH)이 형성될 리페어 홀 영역은 리페어 전극(126a)을 형성하지 않고, 버퍼층(112) 및 제1 절연층(115a)을 제거함으로써 컨택홀 영역에 비해 낮은 단차를 가질 수 있다. 이에 리페어 홀(RH) 형성 시 제1 평탄화층(115c)의 두께 일부가 남아있을 수 있어, 평탄화층(115c, 115d)의 낮은 두

께에 의한 연결 전극(121a)과 애노드(131) 사이의 단락 불량을 방지할 수 있는 것을 특징으로 한다. 여기서 단차는, 연결 전극(121a)의 상대적인 단차를 의미하는 것으로 한다.

- [0219] 한편, 특정 서브 화소에 결함이 발생할 경우에, 예를 들어,  $nxm$ 번째 서브 화소( $P_{nxm}$ )에 결함이 발생할 경우에, 레이저 웰딩(welding)을 통해 도통 전극을 형성하여  $nxm+1$ 번째 서브 화소( $P_{nxm+1}$ )와 연결할 수 있다.
- [0220] 한편, 본 발명은 리페어 홀 영역이 컨택홀 영역에 비해 낮은 단차를 가질 수 있도록 리페어 홀 영역은 리페어 전극(126a)을 형성하지 않고, 버퍼층(112) 및 제1 절연층(115a)을 제거할 수도 있으나, 이에 제한되는 것은 아니다. 본 발명은, 리페어 홀 영역에서 버퍼층 및 제1 절연층을 제거하지 않고 리페어 전극만을 형성하지 않을 수도 있으며, 이를 본 발명의 제2 실시예를 통해 상세히 설명한다.
- [0221] 도 9는 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0222] 도 9는 편의상 서브 화소의 구성들 중에 화소 리페어 구조만을 보여주고 있다. 또한, 도 9는 전술한 도 5와 동일하게  $nxm$ 번째 서브 화소 및  $nxm+1$ 번째 서브 화소의 일부를 예로 보여주고 있다.
- [0223] 도 9의 본 발명의 제2 실시예는 리페어 홀 영역에서 버퍼층(212) 및 제1 절연층(215a)을 남겨 두고 리페어 전극(226a)만을 형성하지 않은 것을 제외하고는, 전술한 본 발명의 제1 실시예와 실질적으로 동일한 구성으로 이루어져 있다.
- [0224] 도 9를 참조하면, 리페어 영역의 기관(211) 위에 리페어 전극(226a)이 배치될 수 있다.
- [0225] 기관(211)은 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리올레핀계 고분자, 및 이들의 공중합체로 이루어진 군 중 하나를 포함하는 플렉서블 특성을 가지는 연성의 물질로 형성될 수 있다.
- [0226] 리페어 전극(226a)은 리페어 영역의,  $nxm$ 번째 서브 화소 및  $nxm+1$ 번째 서브 화소의 일부와 중첩되도록 배치될 수 있다. 또한, 본 발명의 제2 실시예에 따른 리페어 전극(226a)은 리페어 홀(RH)이 형성될 리페어 홀 영역에는 형성되지 않는 것을 특징으로 한다.
- [0227] 리페어 전극(226a)은 광차단층을 구성하는 물질로 광차단층과 동일한 층에 형성할 수 있다.
- [0228] 리페어 전극(226a)은, 예를 들어, 고전위 전원 라인에 연결된  $nxm+1$ 번째 서브 화소의 구동 트랜지스터의 드레인 전극과 전기적으로 접속할 수 있으며, 이에 제한되는 것은 아니다. 이때,  $nxm+1$ 번째 서브 화소의 구동 트랜지스터의 드레인 전극과 전기적으로 접속된 리페어 전극(226a)은,  $nxm$ 번째 서브 화소 및  $nxm+1$ 번째 서브 화소 사이의 경계를 지나  $nxm$ 번째 서브 화소 쪽으로 연장되어, 게이트 홀(GH)을 통해 연결 전극(221a)과 전기적으로 접속할 수 있다.
- [0229] 본 발명의 제2 실시예에 따른 게이트 홀(GH)은, 리페어 홀(RH)이 형성될 리페어 홀 영역에 형성되지 않고,  $nxm$ 번째 서브 화소 내에 형성될 수 있다. 이는 전술한 바와 같이 리페어 홀 영역에 리페어 전극(226a)이 형성되어 있지 않기 때문이다.
- [0230] 리페어 전극(226a) 위에 버퍼층(212)이 배치될 수 있다.
- [0231] 버퍼층(212)은 기관(211)을 통해 외부의 수분이나 다른 불순물의 침투를 방지하며, 기관(211)의 표면을 평탄화할 수 있다.
- [0232] 버퍼층(212) 위에 제1 절연층(215a)이 배치될 수 있다.
- [0233] 제1 절연층(215a)은 실리콘산화물( $SiO_x$ ) 또는 실리콘질화물( $SiN_x$ )의 단일층 또는 이들의 다중 층으로 구성될 수 있다.
- [0234] 제1 절연층(215a) 위에 연결 전극(221a)이 배치될 수 있다.
- [0235] 연결 전극(221a)은 게이트 전극을 구성하는 물질로 게이트 전극과 동일한 층에 형성할 수 있다. 연결 전극(221a)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중 층으로 구성될 수 있으며, 이에 제한되지 않는다.
- [0236] 이와 같이 본 발명의 제2 실시예는, 리페어 홀(RH)이 형성될 리페어 홀 영역에 리페어 전극(226a)을 형성하지 않음으로써 평탄화층(215c, 215d)의 낮은 두께에 의한 연결 전극(221a)과 애노드(231) 사이의 단락 불량을 방지할 수 있다.
- [0237] 다만, 본 발명의 제2 실시예는 리페어 홀 영역에 리페어 전극(226a)을 형성하지 않으나, 전술한 본 발명의 제1

실시예와는 달리, 버퍼층(212) 및 제1 절연층(215a)은 제거하지 않고 남겨 두는 것을 특징으로 한다.

- [0238] 연결 전극(221a) 위에 제2 절연층(215b)이 배치될 수 있다.
- [0239] 이때, 제2 절연층(215b)은 실리콘산화물(SiO<sub>x</sub>) 또는 실리콘질화물(SiN<sub>x</sub>)의 단일층이나 다중 층으로 구성될 수 있다.
- [0240] 제2 절연층(215b) 위에 평탄화층(215c, 215d)이 배치될 수 있다.
- [0241] 예를 들면, 평탄화층(215c, 215d)은 아크릴계 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리아미드계 수지(polyimides resin), 불포화 폴리 에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(polyphenylene resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene) 중 하나 이상의 물질로 형성될 수 있으며, 이에 제한되지 않는다.
- [0242] 용액 공정을 고려하여, 제1 평탄화층(215c)은 열 경화형 오버코트층일 수 있으며, 제2 평탄화층(215d)은 폴리미드로 구성될 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0243] 한편, 평탄화층(215c, 215d)의 일부 영역이 제거되어 연결 전극(221a)의 표면을 노출시키는 컨택홀(CH)이 형성될 수 있고, 이와 동시에 리페어 홀 영역에 제2 평탄화층(215d)의 전체와 제1 평탄화층(215c)의 두께 일부가 제거되어 리페어 홀(RH)이 형성될 수 있다. 즉, 본 발명의 제2 실시예의 경우에는 리페어 홀(RH)의 하부에 제1 평탄화층(215c)의 두께 일부가 남아있는 것을 특징으로 한다. 이에 따라 연결 전극(221a)과 애노드(231) 사이의 단락 불량을 방지할 수 있게 된다.
- [0244] 컨택홀(CH)은 n<sub>xm</sub>번째 서브 화소 및 n<sub>xm</sub>+1번째 서브 화소 사이에 형성될 수 있다.
- [0245] 리페어 홀(RH)은 컨택홀(CH) 근처의 n<sub>xm</sub>번째 서브 화소 및 n<sub>xm</sub>+1번째 서브 화소 사이에 형성될 수 있다.
- [0246] 제2 평탄화층(215d) 위에 발광 소자가 배치될 수 있으며, 발광 소자는 애노드(231), 발광부 및 캐소드를 포함할 수 있다.
- [0247] 이때, 리페어 영역의 애노드(231)는, 컨택홀(CH)을 통해 연결 전극(221a)과 전기적으로 접속될 수 있다.
- [0248] 도 10a 내지 도 10d는 본 발명의 제2 실시예의 유기 발광 표시 장치의 제조 공정 일부를 순차적으로 보여주는 단면도이다.
- [0249] 도 10a를 참조하면, 리페어 영역의 기관(211) 위에 리페어 전극(226a)을 형성할 수 있다.
- [0250] 이때, 본 발명의 제2 실시예에 따른 리페어 전극(226a)은 리페어 홀(RH)이 형성될 리페어 홀 영역에는 형성되지 않는 것을 특징으로 한다.
- [0251] 리페어 전극(226a)은 광차단층을 구성하는 물질로 광차단층과 동일한 층에 형성할 수 있다.
- [0252] 리페어 전극(226a)은, 예를 들어, 고전위 전원 라인에 연결된 n<sub>xm</sub>+1번째 서브 화소의 구동 트랜지스터의 드레인 전극과 전기적으로 접속할 수 있으며, 이에 제한되는 것은 아니다.
- [0253] 이후, 리페어 전극(226a) 위에 버퍼층(212)을 형성할 수 있다.
- [0254] 이후, 버퍼층(212) 위에 제1 절연층(215a)을 형성할 수 있다.
- [0255] 다음으로, n<sub>xm</sub>번째 서브 화소의 제1 절연층(215a)을 선택적으로 제거하여 리페어 전극(226a)의 일부를 노출시키는 게이트 홀(GH)을 형성할 수 있다.
- [0256] 본 발명의 제2 실시예에 따른 게이트 홀(GH)은, 리페어 홀(RH)이 형성될 리페어 홀 영역에 형성하지 않고, 서브 화소, 예를 들어 n<sub>xm</sub>번째 서브 화소 내에 형성하는 것을 특징으로 한다. 이는 전술한 바와 같이 리페어 홀 영역에 리페어 전극(226a)이 형성되어 있지 않기 때문이다.
- [0257] 이후, 제1 절연층(215a) 위에 연결 전극(221a)을 형성할 수 있다.
- [0258] 연결 전극(221a)은 게이트 전극을 구성하는 물질로 게이트 전극과 동일한 층에 형성할 수 있다.
- [0259] 이후, 연결 전극(221a) 위에 제2 절연층(215b)을 형성할 수 있다.
- [0260] 이후, 제2 절연층(215b) 위에 평탄화층(215c, 215d)을 형성할 수 있다.

- [0261] 즉, 제2 절연층(215b) 위에 제1 평탄화층(215c)을 형성할 수 있다. 그리고, 제1 평탄화층(215c) 위에 제2 평탄화층(215d)을 형성할 수 있다.
- [0262] 용액 공정을 고려하여, 제1 평탄화층(215c)은 열 경화형 오버코트층일 수 있으며, 제2 평탄화층(215d)은 폴리이미드로 형성할 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0263] 한편, 컨택홀(CH)이 형성될 컨택홀 영역의 제2 평탄화층(215d)이 미리 제거될 수도 있으나, 이에 제한되는 것은 아니다.
- [0264] 이후, 회절 또는 하프-톤(half tone) 마스크를 이용하여 완전 노광영역(I), 완전 차단영역(II) 및 반투과영역(III)을 포함하는 1차 포토레지스트 패턴(240)을 기판(211) 상부에 형성할 수 있다.
- [0265] 즉, 포토레지스트(photoresist)를 제2 평탄화층(215d) 위에 도포한 후, 회절 또는 하프-톤 마스크를 이용한 노광 및 현상 공정을 진행하여 노광량에 따라 두께가 서로 상이한 1차 포토레지스트 패턴(240)을 형성한다.
- [0266] 이와 같이 본 발명에서는 회절 마스크 또는 하프-톤 마스크를 사용하여, 노광량이 서로 다른 1차 포토레지스트 패턴(240)을 형성할 수 있다.
- [0267] 1차 포토레지스트 패턴(240)은 완전 노광영역(I), 완전 차단영역(II) 및 반투과영역(III)으로 구분하는데, 이때 완전 차단영역(II)은 도포된 포토레지스트의 두께를 갖고, 컨택홀(CH)이 형성될 컨택홀 영역은 완전 노광영역(I)에 대응하여 도포된 포토레지스트가 제거된 형태를 가질 수 있다.
- [0268] 그리고, 리페어 홀(RH)이 형성될 리페어 홀 영역은 반투과영역(III)으로 도포된 포토레지스트보다 얇은 두께를 가질 수 있다.
- [0269] 이후, 1차 포토레지스트 패턴(240)이 형성되면, 1차 식각공정(dry etch)을 진행하여 컨택홀(CH)이 형성될 컨택홀 영역의 제2 평탄화층(215d)을 제거할 수 있다. 다만, 전술한 바와 같이 컨택홀 영역의 제2 평탄화층(215d)이 미리 제거될 수도 있다.
- [0270] 이후, 도 10b를 참조하면, 1차 포토레지스트 패턴에 대하여 에싱(ashing) 공정을 진행하여 완전 차단영역의 포토레지스트만을 남기고 나머지 반투과영역의 포토레지스트를 제거함으로써 1차 포토레지스트 패턴에 비해 두께가 줄어든 2차 포토레지스트 패턴(240a)을 형성한다.
- [0271] 이후, 2차 포토레지스트 패턴(240a)이 형성되면, 2차 식각공정을 진행하여 리페어 홀 영역 및 컨택홀 영역의 평탄화층(215c, 215d)을 선택적으로 식각하여 리페어 홀(RH) 및 예비 컨택홀(CH')을 형성한다.
- [0272] 예를 들어, 건식 식각을 진행하여 리페어 홀 영역에 제2 평탄화층(215d)의 전체와 제1 평탄화층(215c)의 두께 일부가 제거되어 리페어 홀(RH)이 형성될 수 있다. 또한, 컨택홀 영역에 제2 평탄화층(215d)과 제1 평탄화층(215c)이 제거되어 제2 절연층(215b)이 노출되는 예비 컨택홀(CH')이 형성될 수 있다.
- [0273] 다음으로, 도 10c를 참조하면, 습식 식각을 진행하여 컨택홀 영역의 제2 절연층(215b)을 선택적으로 제거하여 연결 전극(221a)을 노출시키는 컨택홀(CH)을 형성할 수 있다.
- [0274] 예를 들어, 컨택홀(CH)은  $nxm$ 번째 서브 화소 및  $nxm+1$ 번째 서브 화소 사이에 형성될 수 있다.
- [0275] 리페어 홀(RH)은 컨택홀(CH) 근처의  $nxm$ 번째 서브 화소 및  $nxm+1$ 번째 서브 화소 사이에 형성될 수 있다.
- [0276] 이후, 스트립(strip) 공정을 진행하여 2차 포토레지스트 패턴을 제거한다. 다만, 이에 제한되는 것은 아니며, 스트립 공정 후에 습식 식각공정이 진행될 수 있다.
- [0277] 다음으로, 도 10d를 참조하면, 리페어 홀(RH) 및 컨택홀(CH)을 포함하여 제2 평탄화층(215d) 위에 애노드(231)를 형성할 수 있다.
- [0278] 애노드(231)는 제2 평탄화층(215d) 위에 형성될 수 있다.
- [0279] 애노드(231)는 발광부에 정공을 공급하는 역할을 하는 전극으로, 박막 트랜지스터와 전기적으로 접속될 수 있다. 또한, 애노드(231)는 컨택홀(CH)을 통해 연결 전극(221a)과 전기적으로 접속될 수 있다.
- [0280] 본 발명의 제2 실시예의 경우에는 리페어 홀(RH) 하부의 제2 절연층(215b) 위에 제1 평탄화층(215c)의 두께 일부가 남아있는 것을 특징으로 한다. 이에 따라 리페어 홀 영역에서 연결 전극(221a)과 애노드(231) 사이의 단락 불량을 방지할 수 있게 된다.

- [0281] 이와 같이 본 발명의 제2 실시예는, 리페어 홀(RH)이 형성될 리페어 홀 영역은 리페어 전극(226a)을 형성하지 않아 컨택홀 영역에 비해 낮은 단차를 가질 수 있다. 이에 리페어 홀(RH) 형성 시 제1 평탄화층(215c)의 두께 일부가 남아있을 수 있어, 평탄화층(215c, 215d)의 낮은 두께에 의한 연결 전극(221a)과 애노드(231) 사이의 단락 불량을 방지할 수 있는 것을 특징으로 한다. 여기서 단차는, 연결 전극(221a)의 상대적인 단차를 의미하는 것으로 한다.
- [0282] 한편, 특정 서브 화소에 결함이 발생할 경우에, 예를 들어, nxm번째 서브 화소에 결함이 발생할 경우에, 전술한 바와 같이 레이저 웰딩(welding)을 통해 도통 전극을 형성하여 nxm+1번째 서브 화소와 연결할 수 있다.
- [0283] 한편, 본 발명은 전술한 제1, 제2 실시예에 한정되지 않으며, 리페어 홀 영역이 컨택홀 영역에 비해 낮은 단차를 가질 수 있기만 하면, 리페어 홀 영역에 리페어 전극을 제거하지 않고 남기는 대신에 제1 절연층을 제거하거나 버퍼층과 제1 절연층을 함께 제거할 수도 있다.
- [0284] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 다음과 같이 설명될 수 있다.
- [0285] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 데이터 라인과 고전위 전원 라인 및 게이트 라인이 서로 교차하여 복수의 서브 화소가 정의되는 기관, 상기 복수의 서브 화소 중에 상하로 이웃하는 서브 화소 사이의 경계에 정의되는 리페어를 위한 리페어 영역, 리페어 홀 영역을 제외한 상기 기관의 리페어 영역에 배치된 리페어 전극, 상기 리페어 전극이 배치된 상기 기관 상부에 배치되는 연결 전극, 상기 연결 전극이 배치된 상기 기관 상부에 배치되는 평탄화층, 상기 리페어 홀 영역에, 상기 평탄화층의 두께 일부가 제거되어 구비된 리페어 홀 및 상기 평탄화층 위에, 애노드와 발광부 및 캐소드로 이루어진 발광 소자를 포함할 수 있다.
- [0286] 본 발명의 다른 특징에 따르면, 유기 발광 표시 장치는, 상기 리페어 전극 위에 배치된 버퍼층 및 상기 버퍼층 위에 배치되는 제1 절연층을 더 포함할 수 있다.
- [0287] 본 발명의 또 다른 특징에 따르면, 상기 평탄화층은, 상기 연결 전극 위에 배치되는 제1 평탄화층 및 상기 제1 평탄화층 위에 배치되는 제2 평탄화층을 포함할 수 있다.
- [0288] 본 발명의 또 다른 특징에 따르면, 상기 리페어 전극은 상기 고전위 전원 라인에 연결된 구동 트랜지스터의 드레인 전극에 접속할 수 있다.
- [0289] 본 발명의 또 다른 특징에 따르면, 상기 리페어 전극은, 상기 상하로 이웃하는 서브 화소 중에 하부의 서브 화소의 구동 트랜지스터의 드레인 전극에 접속할 수 있다.
- [0290] 본 발명의 또 다른 특징에 따르면, 상기 리페어 전극은, 상기 상하로 이웃하는 서브 화소 사이 경계를 지나 상부의 서브-화소 쪽으로 연장될 수 있다.
- [0291] 본 발명의 또 다른 특징에 따르면, 유기 발광 표시 장치는, 상기 리페어 홀 영역을 제외한 상기 상부의 서브-화소의 리페어 영역에 배치되는 게이트 홀을 더 포함할 수 있다.
- [0292] 본 발명의 또 다른 특징에 따르면, 상기 게이트 홀은, 상기 버퍼막 및 상기 제1 절연층이 제거되어 상기 리페어 전극의 표면을 노출시킬 수 있다.
- [0293] 본 발명의 또 다른 특징에 따르면, 상기 연결 전극은 상기 게이트 홀을 통해 상기 리페어 전극에 접속할 수 있다.
- [0294] 본 발명의 또 다른 특징에 따르면, 상기 리페어 홀 영역은 상기 버퍼층이 제거될 수 있다.
- [0295] 본 발명의 또 다른 특징에 따르면, 상기 리페어 홀 영역은 상기 버퍼층 및 상기 제1 절연층이 제거될 수 있다.
- [0296] 본 발명의 또 다른 특징에 따르면, 상기 연결 전극은, 상기 리페어 홀 영역에서 상기 기관 표면과 접할 수 있다.
- [0297] 본 발명의 또 다른 특징에 따르면, 상기 제1 평탄화층은 열 경화형 오버코트층으로 구성되고, 상기 제2 평탄화층은 폴리이미드로 구성될 수 있다.
- [0298] 본 발명의 또 다른 특징에 따르면, 유기 발광 표시 장치는, 상기 리페어 홀 영역을 제외한 상기 리페어 영역에 배치되는 컨택홀을 더 포함할 수 있다.
- [0299] 본 발명의 또 다른 특징에 따르면, 상기 컨택홀은, 상기 평탄화층이 제거되어 상기 연결 전극을 노출시킬 수 있다.

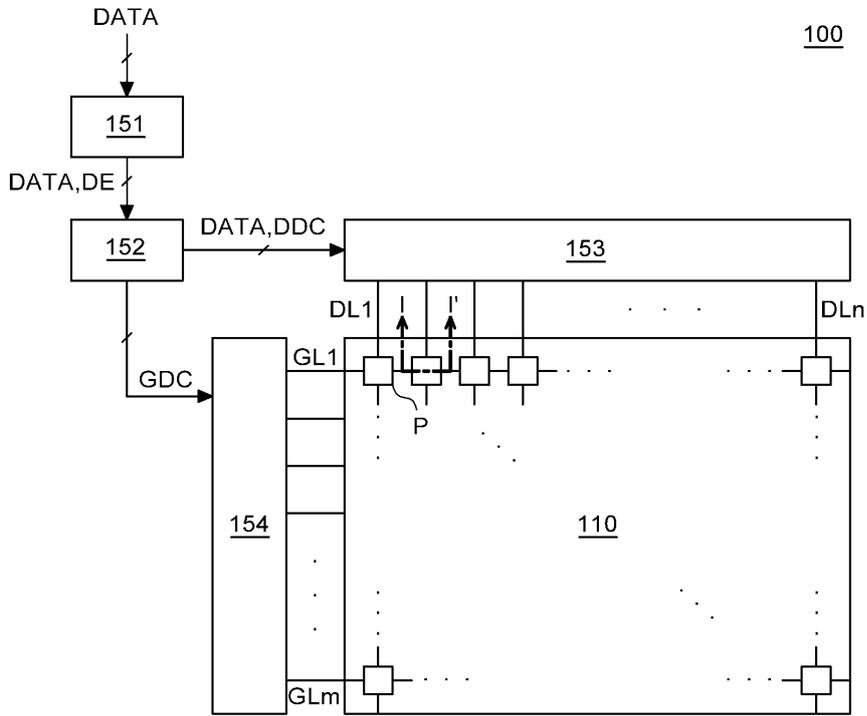
- [0300] 본 발명의 또 다른 특징에 따르면, 상기 애노드는 상기 컨택홀을 통해 상기 연결 전극에 접속할 수 있다.
- [0301] 본 발명의 또 다른 특징에 따르면, 상기 리페어 홀의 하부에 상기 제1 평탄화층의 두께 일부가 남아있을 수 있다.
- [0302] 본 발명의 또 다른 특징에 따르면, 상기 컨택홀은, 상기 상하로 이웃하는 서브 화소 사이에 배치될 수 있다.
- [0303] 본 발명의 또 다른 특징에 따르면, 상기 리페어 홀은, 상기 컨택홀 근처의 상기 상하로 이웃하는 서브 화소 사이에 배치될 수 있다.
- [0304] 본 발명의 또 다른 특징에 따르면, 유기 발광 표시 장치는, 상기 리페어 홀 하부에 배치되며, 상기 서브 화소의 애노드와 상기 연결 전극을 도통시키는 도통 전극을 더 포함할 수 있다.
- [0305] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명이 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 제한하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 제한되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 제한적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

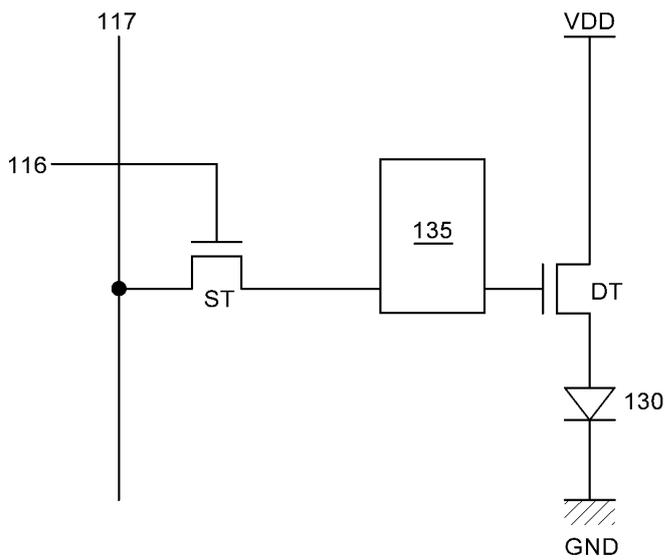
- [0306] 100: 유기 발광 표시 장치
- 110: 표시 패널
- 111, 211: 기관
- 112, 212: 버퍼층
- 115a, 215a: 제1 절연층
- 115b, 215b: 제2 절연층
- 115c, 215c: 제1 평탄화층
- 115d, 215d: 제2 평탄화층
- 121a, 221a: 연결 전극
- 126a, 226a: 리페어 전극
- 131, 231: 애노드
- CH: 컨택홀
- GH: 게이트 홀
- RH: 리페어 홀
- Pnxm: nxm번째 서브 화소
- Pnxm+1: nxm+1번째 서브 화소

도면

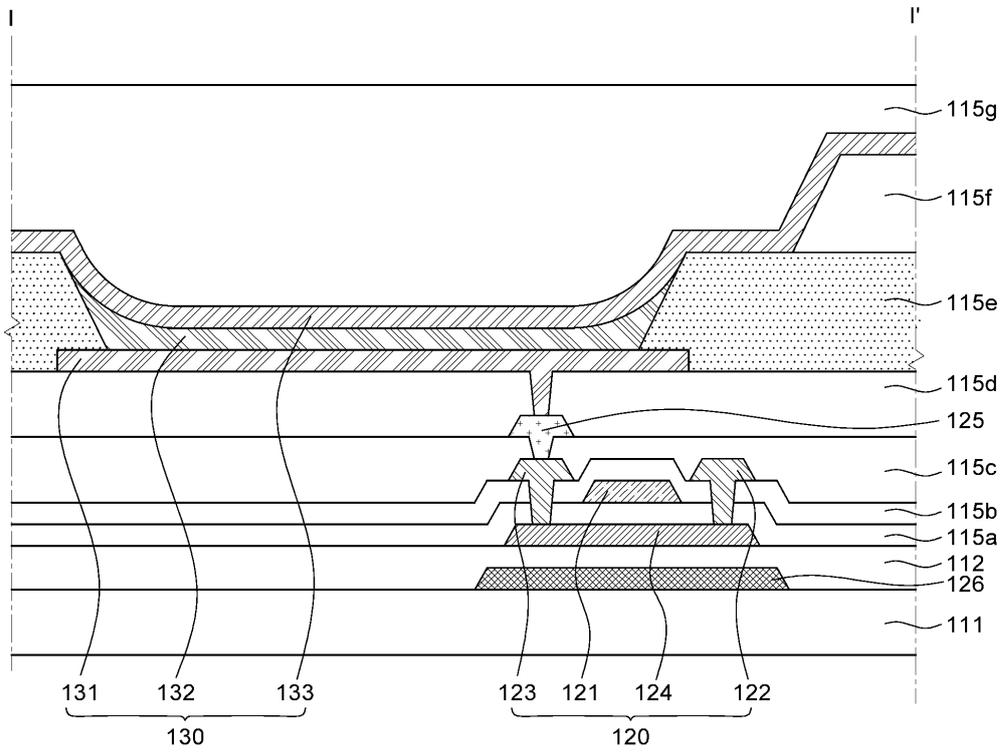
도면1



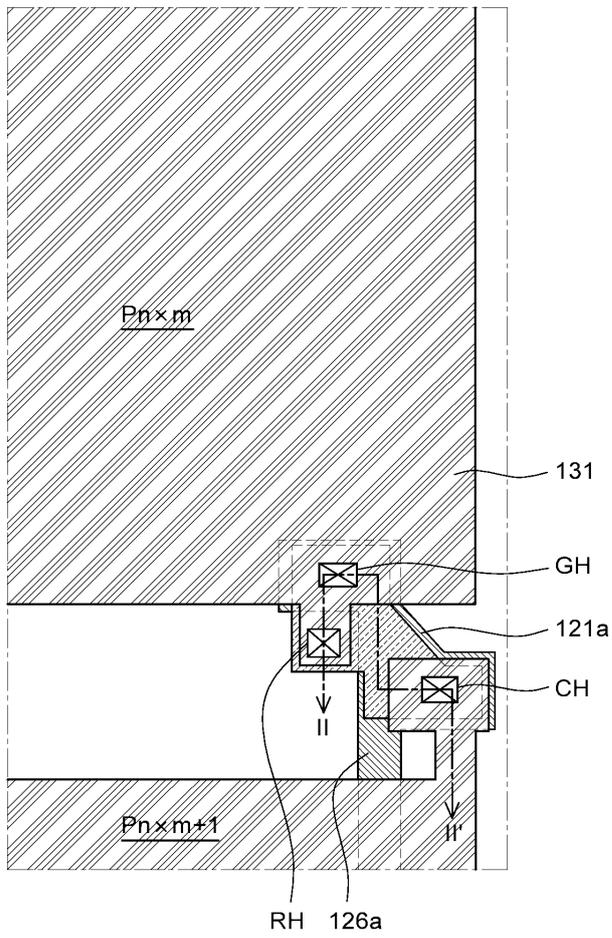
도면2



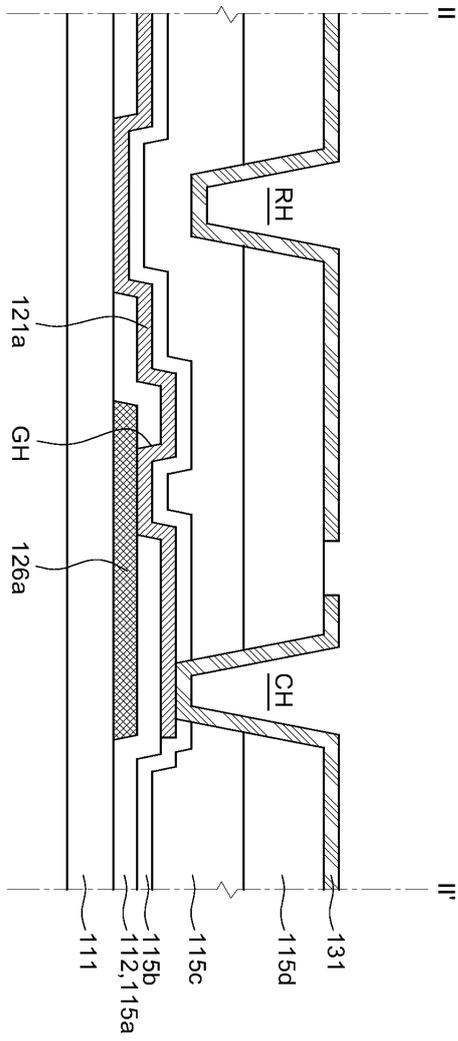
도면3



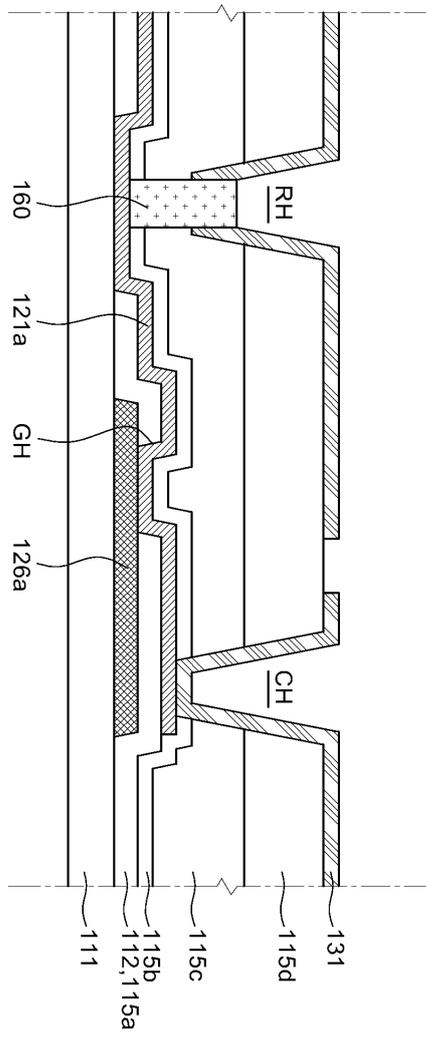
도면4



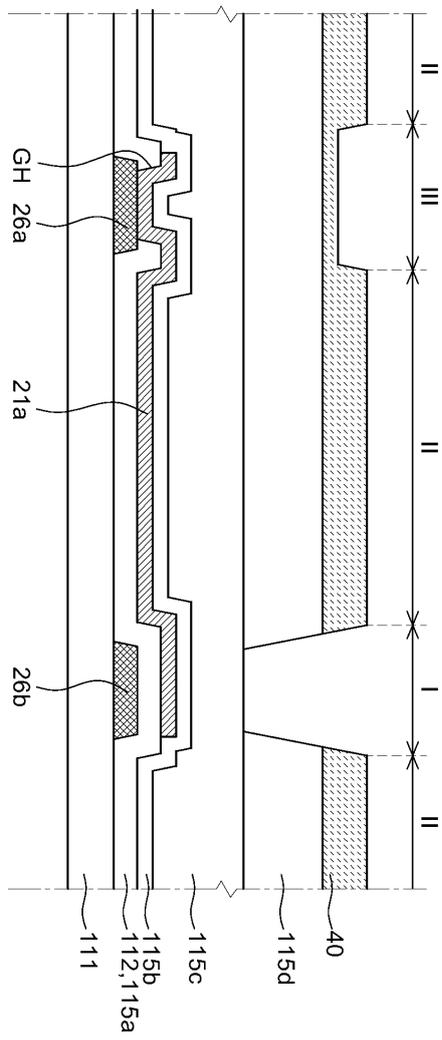
도면5



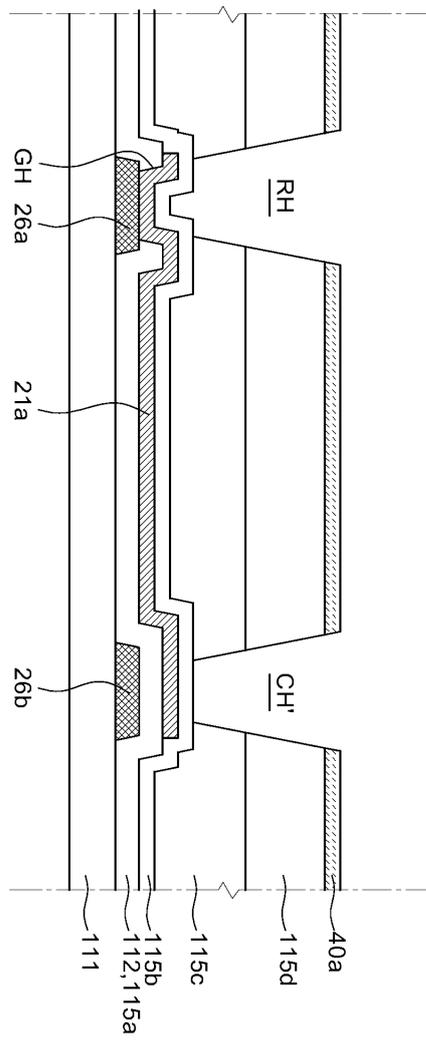
도면6



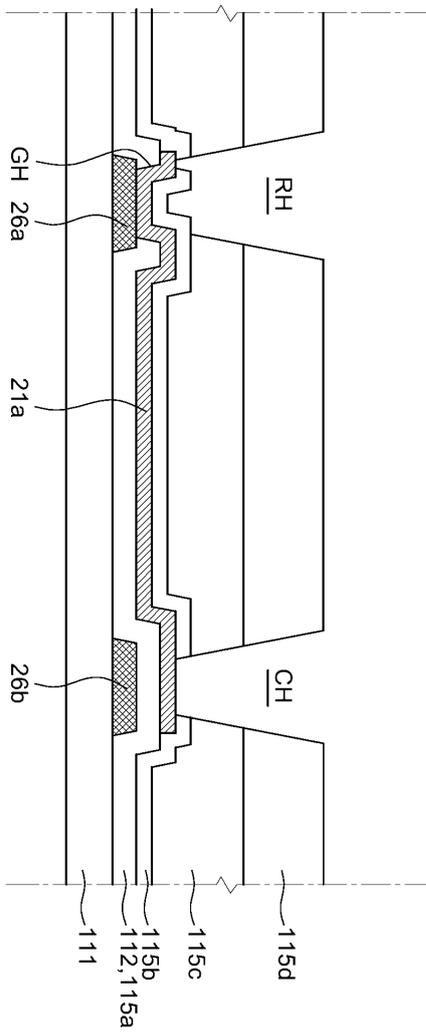
도면7a



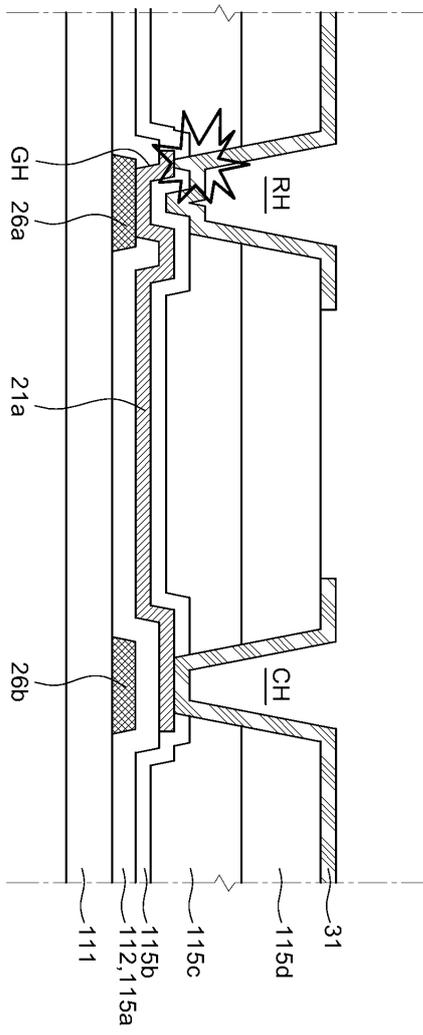
도면7b



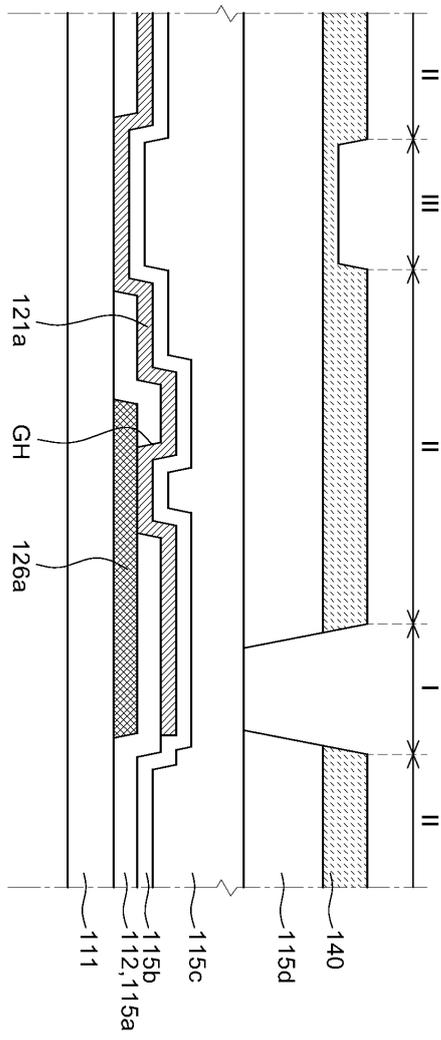
도면7c



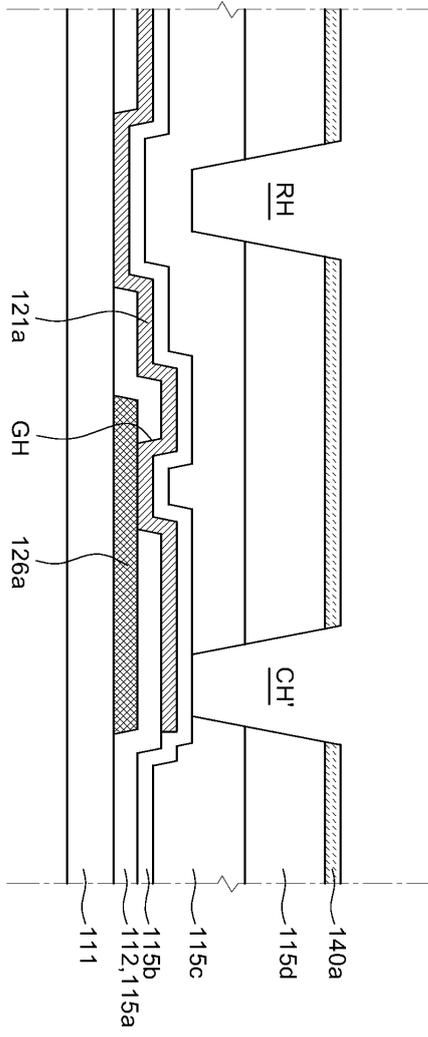
도면7d



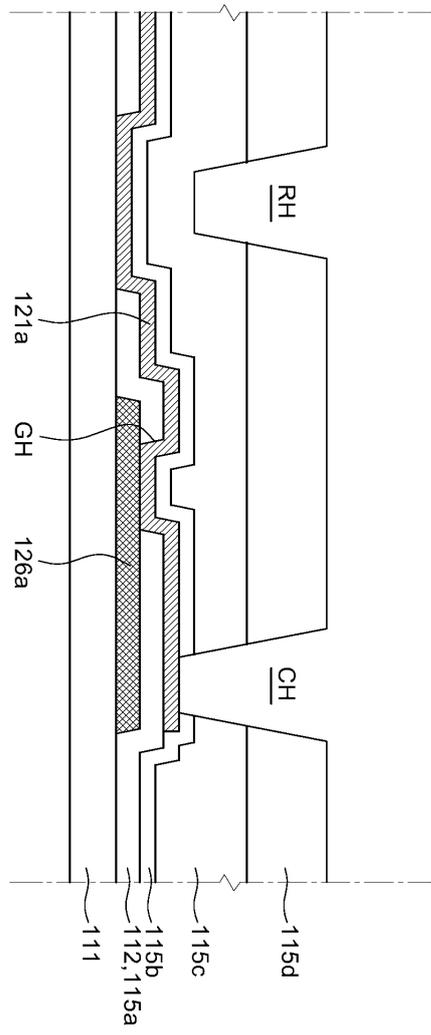
도면8a



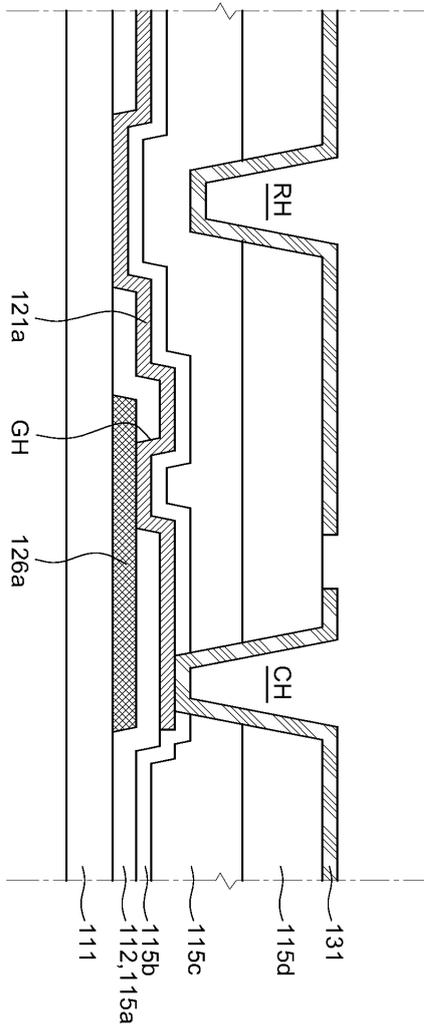
도면8b



도면8c

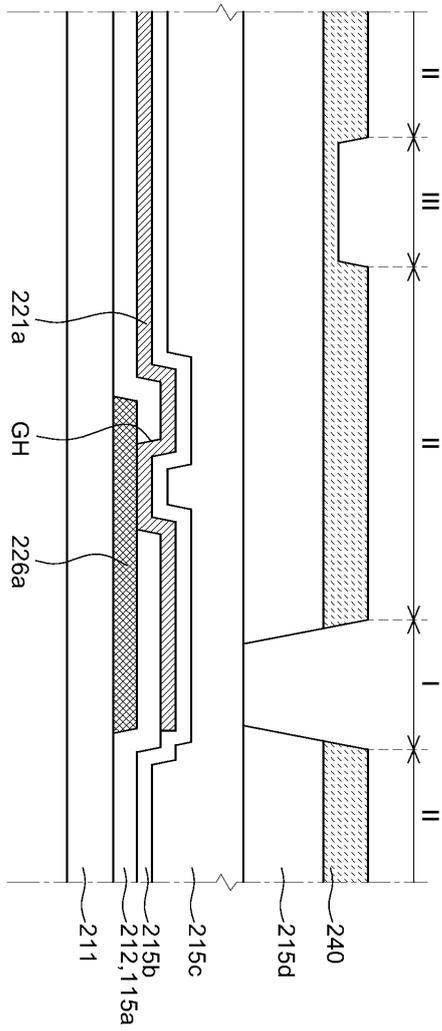


도면8d

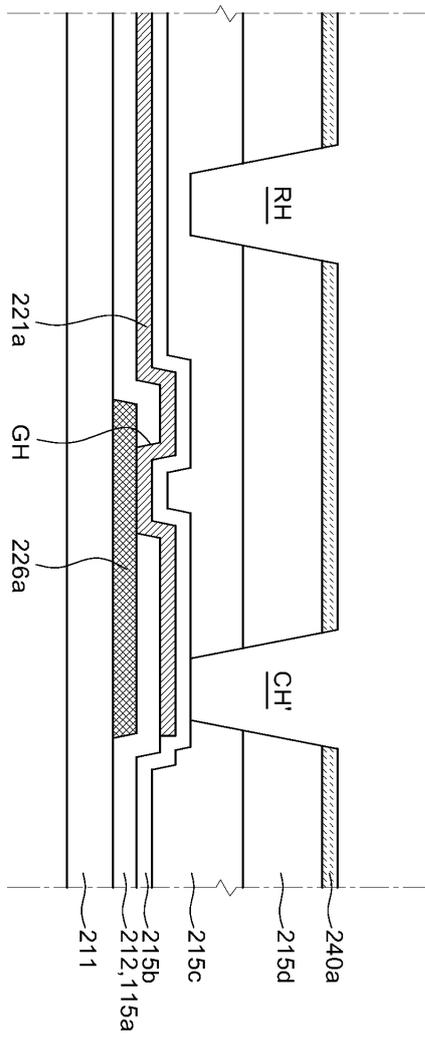




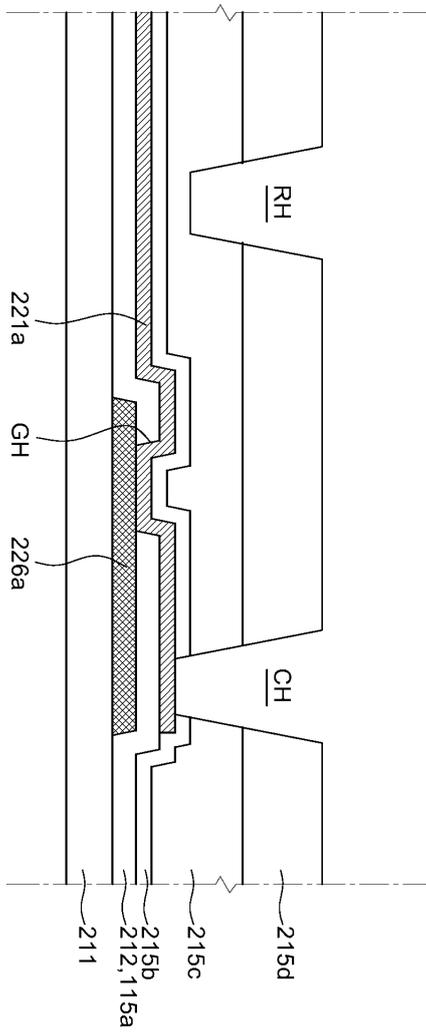
도면10a



도면10b



도면10c



도면10d

