

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3788022号

(P3788022)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int. Cl.

H01L 29/786 (2006.01)

F I

H01L 29/78 626A

請求項の数 8 (全 12 頁)

(21) 出願番号	特願平10-84657	(73) 特許権者	000002369
(22) 出願日	平成10年3月30日(1998.3.30)		セイコーエプソン株式会社
(65) 公開番号	特開平11-284192		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成11年10月15日(1999.10.15)	(74) 代理人	100107076
審査請求日	平成15年7月17日(2003.7.17)		弁理士 藤網 英吉
		(74) 代理人	100095728
			弁理士 上柳 雅普
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	竹中 敏
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	綿引 隆

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

ソース・ドレイン領域の一方となる第1領域を備える下層側半導体膜、チャネル形成領域を備える多結晶半導体膜、およびソース・ドレイン領域の他方となる第2領域を備える上層側半導体膜が、基板上にこの順に形成され、前記下層側半導体膜と前記多結晶半導体膜と前記上層側半導体膜とを覆うように形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備えた薄膜トランジスタであって、

前記多結晶半導体膜と前記上層側半導体膜とは、ソース・ドレイン方向に、それぞれ側端面を有し、

前記多結晶半導体膜の一方の側端面と前記上層側半導体膜の一方の側端面とが前記下層側半導体膜の上に配置され、

前記下層側半導体膜の、前記第1領域と前記多結晶半導体膜の前記一方の側端面との間の第3の領域には、低濃度の不純物が導入されたLDD領域または不純物を含有しないオフセット領域が形成され、

前記第1領域を構成する下層側半導体膜の側端部と、

前記上層側半導体膜の、前記第2領域と前記上層側半導体膜の前記一方の側端面との間の第4の領域には、低濃度の不純物が導入されたLDD領域または不純物を含有しないオフセット領域が形成され、

前記ゲート電極は、前記ゲート絶縁膜を介して、前記多結晶半導体膜の前記側端面及び前記上層側半導体膜の前記側端面と対向し、

前記ゲート電極は、前記ゲート絶縁膜を介して、前記第 3 の領域及び第 4 の領域と対向していることを特徴とする薄膜トランジスタ。

【請求項 2】

前記多結晶半導体膜は、前記基板表面の上方向に柱軸を向ける柱状構造を備えていることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記多結晶半導体膜の一方の側端面の形成位置と、前記上層側半導体膜の一方の側端面の形成位置とが一致していることを特徴とする請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 4】

前記多結晶半導体膜と前記上層側半導体膜とは、同一のパターニング形状を有していることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の薄膜トランジスタ。

【請求項 5】

前記多結晶半導体膜の側端面と前記下層側半導体膜との間には、これらの膜間にわずかに割り込む絶縁膜を有していることを特徴とする請求項 1 ないし 4 のいずれか一項に記載の薄膜トランジスタ。

【請求項 6】

請求項 3 に規定する薄膜トランジスタの製造方法であって、前記チャンネル形成領域を形成するためのアモルファス半導体膜に結晶化処理を行って前記基板表面の上方向に前記柱軸を向ける柱状構造の多結晶半導体膜を形成した後、該多結晶半導体膜をパターニングして前記柱軸に略平行な側端面を露出させ、しかる後に、前記ゲート絶縁膜および前記ゲート電極を順次形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 7】

請求項 4 に規定する薄膜トランジスタの製造方法であって、前記多結晶半導体膜および前記上層側半導体膜を、この順に形成した後、前記多結晶半導体膜および前記上層側半導体膜とを一括してパターニングし、しかる後に、前記ゲート絶縁膜及び前記ゲート電極を順次形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 8】

請求項 5 に規定する薄膜トランジスタの製造方法であって、前記下層側半導体膜および前記絶縁膜をこの順に形成した後、該絶縁膜を所定の形状にパターニングした後に、前記基板の全面に前記チャンネル形成領域を構成する前記多結晶半導体膜を形成し、しかる後に、当該多結晶半導体膜をパターニングすることを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶駆動用、EL素子駆動用、センサ駆動用などに用いられる薄膜トランジスタ（以下、TFTという。）およびその製造方法に関するものである。さらに詳しくは、縦型TFTに関するものである。

【0002】

【従来の技術】

液晶表示装置のアクティブマトリクス基板では、図4(A)に示すように、透明基板上に、アルミニウムやタンタルなどの導電膜からなるデータ線90および走査線91で区画形成された画素領域が構成され、そこには、画素スイッチング用のTFT30を介して画像信号が入力される液晶容量94（液晶セル）が存在する。データ線90に対しては、シフトレジスタ84、レベルシフト85、ビデオライン87、アナログスイッチ86を備えるデータ側駆動回路82が構成されている。走査線91に対しては、シフトレジスタ88およびレベルシフト89を備える走査側駆動回路83が構成されている。なお、画素領域に

10

20

30

40

50

は、前段の走査線 9 1 との間に保持容量 9 3 が形成され、この保持容量 9 3 は、液晶容量 9 4 での電荷の保持特性を高める機能を有している。

【 0 0 0 3 】

データ側および走査側の駆動回路では、図 4 ( B ) に示すように、N 型の T F T 1 0 と P 型の T F T 2 0 とによって相補型 T F T 回路が構成されている。このような相補型 T F T 回路は、1 段あるいは 2 段以上でシフトレジスタなどを構成する。

【 0 0 0 4 】

このような駆動回路用の T F T 1 0、2 0 は、画素スイッチング用の T F T 3 0 と同様、図 5 ( A )、( B ) に示すように、第 1 のソース・ドレイン領域 2 A、チャンネル形成領域 3 A、および第 2 のソース・ドレイン領域 4 A を構成する島状のシリコン膜 5 A などの表面にゲート絶縁膜 6 A が形成され、このゲート絶縁膜 6 A の表面に形成されたゲート電極 7 A がゲート絶縁膜 6 A を介してチャンネル形成領域 3 A に対峙している。

10

【 0 0 0 5 】

このような構造を有する T F T 1 A を製造する際には、基板 8 A 上に形成した多結晶のシリコン膜 5 A (半導体膜) を用いる。すなわち、駆動回路の動作速度を高めるには、T F T の動作速度が高いことが必要であることから、高温プロセスを用いて移動度が高い多結晶シリコン膜を形成し、この多結晶シリコン膜から T F T を形成する。従って、従来は、基板 8 A として、高温プロセスに耐えうる高価な石英ガラスを用いる必要があり、歪点が低い安価なガラス基板を用いることができないという問題点がある。

【 0 0 0 6 】

そこで、歪点が低い安価なガラス基板上にも移動度が高い多結晶シリコン膜を形成できるように、基板上にアモルファスシリコン膜を形成した後、このアモルファスシリコン膜にレーザアニール法あるいは固相成長法などの結晶化処理を施して、アモルファスシリコン膜を溶融固化あるいは固相のままに結晶成長させ、結晶粒を成長させる低温プロセスが検討されている。

20

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、例えば、“Jpn.J.Appl.Phys., vol.27, no.10(1988)L1809” に記載されているように、このような結晶化処理でシリコン膜の結晶粒を成長させると、シリコン膜は、成膜時の膜堆積方向、すなわち、基板 8 A に対して垂直な方向に柱軸が向く柱状構造の多結晶半導体膜となる。一方、前述したようなアモルファスシリコン膜の結晶化ではなく、初めから多結晶シリコン膜として堆積させた場合にも、例えば、“J.Appl.Phys.vol.61, no.11, 1 June (1987) pp5031-5037” に記載されているように、シリコン膜は、成膜時の膜堆積方向、すなわち、基板 8 A に対して垂直な方向に柱軸が向く柱状構造の多結晶半導体膜となる。従って、図 7 ( A ) に示すような従来構造の T F T では、チャンネル長の方向 (矢印 C H で示す方向) において、チャンネルがグレインバンダリー (チャンネル形成領域 3 A に縦線 B で示す。) を横切ることになる。その結果、シリコン膜の結晶化度を高めても、T F T 1 A のオン電流が十分に向上しないという問題点がある。

30

従来例としては、例えば特開平 0 7 - 2 9 7 4 0 6 号公報に記載された技術が挙げられる。

40

【 0 0 0 8 】

そこで、チャンネル長を短くして、オン電流の増大を図ることが考えられるが、チャンネル長を短くすると、その分、ソース・ドレイン間耐圧が低下するという問題点がある。

【 0 0 0 9 】

以上の問題点に鑑みて、本発明の課題は、多結晶半導体膜の結晶構造を考慮してチャンネルを形成することによりオン電流を向上するとともに、ソース・ドレイン間耐圧も向上することのできる T F T、およびその製造方法を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上記課題を解決するために、本発明の薄膜トランジスタは、ソース・ドレイン領域の一

50

方となる第1領域を備える下層側半導体膜、チャネル形成領域を備える多結晶半導体膜、およびソース・ドレイン領域の他方となる第2領域を備える上層側半導体膜が、基板上にこの順に形成され、前記下層側半導体膜と前記多結晶半導体膜と前記上層側半導体膜とを覆うように形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備えた薄膜トランジスタであって、前記多結晶半導体膜と前記上層側半導体膜とは、ソース・ドレイン方向に、それぞれ側端面を有し、前記多結晶半導体膜の一方の側端面と前記上層側半導体膜の一方の側端面とが前記下層側半導体膜の上に配置され、前記下層側半導体膜の、前記第1領域と前記多結晶半導体膜の前記一方の側端面との間の第3の領域には、低濃度の不純物が導入されたLDD領域または不純物を含有しないオフセット領域が形成され、前記第1領域を構成する下層側半導体膜の側端部と、前記上層側半導体膜の、前記第2領域と前記上層側半導体膜の前記一方の側端面との間の第4の領域には、低濃度の不純物が導入されたLDD領域または不純物を含有しないオフセット領域が形成され、前記ゲート電極は、前記ゲート絶縁膜を介して、前記多結晶半導体膜の前記側端面及び前記上層側半導体膜の前記側端面と対向し、前記ゲート電極は、前記ゲート絶縁膜を介して、前記第3の領域及び第4の領域と対向していることを特徴とする。

10

#### 【0011】

本発明において、前記多結晶半導体膜は、前記基板表面の上方向に柱軸を向ける柱状構造を備えていることを特徴とする。すなわち、レーザアニール、電子ビームアニール、ランプアニール、固相成長法などの結晶化処理によって、アモルファス半導体膜を溶融固化して結晶粒を成長させた多結晶半導体膜によってチャネル形成領域を形成すると、チャネル形成領域では、半導体膜の成膜時の膜堆積方向、すなわち、基板の面外方向に柱軸が向く柱状構造の多結晶半導体膜となる。このような結晶構造に対応させて、本発明では、多結晶半導体膜の柱軸に平行な側端面に対してゲート電極を対峙させ、縦型のTFETを構成している。従って、柱軸に平行な方向がチャネル長の方向となる。それ故、チャネル長の方向において、チャネルがグレインバンダリーを横切ることがないので、キャリアの移動度が高い。よって、低温プロセスで製造したTFETにおいて、オン電流の向上を図ることができる。但し、このように構成した縦型のTFETでは、チャネル形成領域を構成する多結晶半導体膜の膜厚がチャネル長となる。従って、縦型のTFETにおいてソース・ドレイン間耐圧を確保するには、このチャネル形成領域を構成する多結晶半導体膜の膜厚を厚くする必要があるので、成膜工程に長時間を要する。しかるに、本発明では、縦型のTFETにおいて、前記第1領域の前記多結晶半導体膜の側端面に近い側端部と前記多結晶半導体膜の前記側端面との間において前記ゲート電極の側端部に対峙する部分、および前記第2領域の前記多結晶半導体膜の側端面に近い側端部と前記多結晶半導体膜の前記側端面との間において前記ゲート電極の側端部に対峙する部分のうち少なくとも一方に、低濃度の不純物が導入されたLDD領域、あるいは不純物の導入されていない半導体領域を形成して、縦型TFETをLDD構造あるいはオフセットゲート構造にしている。それ故、縦型TFETにおいてチャネル長が短くても、すなわちチャネル形成領域を構成する多結晶半導体膜の膜厚が薄くても、十分なソース・ドレイン耐圧を確保することができるので、チャネル形成領域を成膜するときの時間が短くて済む。

20

30

また、本発明の薄膜トランジスタは、前記多結晶半導体膜の一方の側端面の形成位置と、前記上層側半導体膜の一方の側端面の形成位置とが一致していることを特徴とする。また、前記多結晶半導体膜と前記上層側半導体膜とは、同一のパターニング形状を有していることを特徴とする。

40

#### 【0012】

このような構成の縦型薄膜トランジスタを製造するにあたっては、前記チャネル形成領域を形成するためのアモルファス半導体膜に結晶化処理を行って前記基板表面の上方向に柱軸を向ける柱状構造を有する多結晶半導体膜を形成した後、該多結晶半導体膜をパターニングして柱軸に略平行な側端面を露出させ、しかる後に、前記ゲート絶縁膜および前記ゲート電極を順次形成すればよい。

#### 【0013】

50

本発明において、前記第1領域および前記第2領域が、前記多結晶半導体膜の下層側および上層側にそれぞれ形成された下層側半導体膜および上層側半導体膜から構成されている場合には、該上層側半導体膜および当該下層側半導体膜のうちの少なくとも一方において、前記ゲート電極の側端部に対峙する部分に、前記の低濃度の不純物が導入されたLD領域または不純物の導入されていない半導体領域を形成すればよい。

#### 【0014】

このような構成の縦型薄膜トランジスタを製造するにあたっては、前記多結晶半導体膜および前記上層側半導体膜を、この順に形成した後、前記多結晶半導体膜および前記上層側半導体膜とを一括してパターニングすることにより、パターニング工程数を減らすことが好ましい。

10

#### 【0015】

本発明において、前記多結晶半導体膜の前記側端面が、前記第1領域が形成された下層側半導体膜の形成領域上に位置している場合には、当該多結晶半導体膜の側端面と前記下層側半導体膜との間には、これらの膜間にわずかに割り込む絶縁膜を有していることが好ましい。このように構成すると、前記下層側半導体膜および前記絶縁膜をこの順に形成した後、前記基板の全面に、前記チャンネル形成領域を形成する前記多結晶半導体膜を形成し、しかる後に、この多結晶半導体膜をパターニングするときに、前記絶縁膜がエッチングストッパとなる。従って、下層側半導体膜がオーバーエッチングされてしまうことを防止できる。

#### 【0016】

20

#### 【発明の実施の形態】

図面を参照して、本発明の実施の形態を説明する。なお、各実施の形態として、図4(B)を参照して説明した液晶表示装置の駆動用TFTを例に説明するが、本発明に係るTFTは、液晶表示装置の画素スイッチング用のTFT、さらにはEL素子駆動用やセンサ駆動用などといった各種分野に用いることができるものである。

#### 【0017】

#### 〔実施形態1〕

図1(A)、(B)はそれぞれ、本発明を適用したTFTの断面図、および平面図である。

#### 【0018】

30

図1(A)、(B)において、本形態に係るTFT1は、液晶パネルの基体としてのガラス板からなる基板8上に低温プロセスにより形成された駆動回路用のTFTである。このTFT1は、高濃度の第1のソース・ドレイン領域2、高濃度の第2のソース・ドレイン領域4、チャンネルを形成するチャンネル形成領域3、および該チャンネル形成領域3に対してゲート絶縁膜6を介して対峙するゲート電極7を有する点では、従来からあるTFT1と同様である。

#### 【0019】

但し、本形態では、第1のソース・ドレイン領域2、チャンネル形成領域3、および第2のソース・ドレイン領域4はそれぞれ、基板8の表面に形成されたドーフトシリコン膜などの下層側半導体膜201、この下層側半導体膜201の表面に積層された多結晶シリコン膜などの多結晶半導体膜301、およびこの多結晶半導体膜301の表面に積層されたドーフトシリコン膜などの上層側半導体膜401に形成されている。

40

#### 【0020】

チャンネル形成領域3を構成する多結晶半導体膜301は、上層側半導体膜401と同様、下層側半導体膜201の上にそれぞれの側端面302、402が位置している。ここで、チャンネル形成領域3を構成する多結晶半導体膜301の側端面302と下層側半導体膜201との間には、これらの膜間にわずかに割り込むエッチングストッパ用の絶縁膜9が形成されている。

#### 【0021】

本形態において、チャンネル形成領域3を構成する多結晶半導体膜301と、第2のソース

50

・ドレイン領域 4 を備える上層側半導体膜 4 0 1 とは、後述するように一括してパターンニングされたものであるため、同一のパターニング形状を有している。

【 0 0 2 2 】

第 2 のソース・ドレイン領域 4 を構成する上層側半導体 4 0 1 の表面にはシリコン酸化膜などからなるゲート絶縁膜 6 が形成され、このゲート絶縁膜 6 は、チャンネル形成領域 3 を構成する多結晶半導体膜 3 0 1 の側端面 3 0 2 を覆っている。本形態では、ゲート絶縁膜 6 の表面に形成されたゲート電極 7 は、このゲート絶縁膜 6 を介してチャンネル形成領域 3 を構成する多結晶半導体膜 3 0 1 の側端面 3 0 2 に対峙している。

【 0 0 2 3 】

ゲート電極 7 の表面側にはシリコン酸化膜などからなる層間絶縁膜 1 1 が形成され、この層間絶縁膜 1 1 のコンタクトホール 1 1 1、1 1 2 を介して第 1 のソース・ドレイン領域 2 および第 2 のソース・ドレイン領域 4 に対して、第 1 のソース・ドレイン電極 1 2 および第 2 のソース・ドレイン電極 1 3 がそれぞれ電氣的に接続している。

10

【 0 0 2 4 】

このように構成した T F T 1 において、本形態では、まず、第 1 のソース・ドレイン領域 2 が形成された下層側半導体膜 2 0 1 には、ゲート電極 7 の側端部に対峙する部分に低濃度の不純物が導入された L D D 領域 2 0 3 が形成されている。また、第 2 のソース・ドレイン領域 4 が形成された上層側半導体膜 4 0 1 にも、ゲート電極 7 の側端部に対峙する部分に低濃度の不純物が導入された L D D 領域 4 0 3 が形成されている。従って、T F T 1 は縦型でありながら、L D D 構造を有する。

20

【 0 0 2 5 】

このように構成した縦型の T F T 1 を製造するにあたって、高温プロセスを用いると、基板 8 として、高温プロセスに耐えうる高価な石英ガラスを用いる必要があることから、本形態では、安価なガラス基板を用いることができるように低温プロセスが採用されている。従って、本形態の T F T 1 において、チャンネル形成領域 3 は、後述するように、基板 8 上にアモルファス半導体膜を形成した後、このアモルファス半導体膜にレーザアニール、電子ビームアニール、ランプアニール、固相成長法などの結晶化処理を施して得た多結晶半導体膜 3 0 1 で形成されている。この多結晶半導体膜 3 0 1 は、アモルファス半導体膜が溶融固化して結晶粒が成長する過程で、成膜時の膜堆積方向、すなわち、基板 8 の面外方向に柱軸（矢印 A で示す。）が向く柱状構造を有することになる。この柱状構造において、柱軸 A が基板 8 に対して垂直であることを表すために、図 1 ( A ) には、チャンネル形成領域 3 ( 多結晶半導体膜 3 0 1 ) にグレインバンダリーを縦線 B で表してある。

30

【 0 0 2 6 】

このような結晶構造に合わせて、本形態では、チャンネル形成領域 3 を構成する多結晶半導体膜 3 0 1 の側端面 3 0 2 は基板 8 に垂直であり、この側端面 3 0 2 に対してゲート電極 7 がゲート絶縁膜 6 を介して対峙している。従って、ゲート電極 7 にゲート電位を印加すると、チャンネル形成領域 3 を構成する多結晶半導体膜 3 0 1 の側端面 3 0 2 にチャンネルが形成されることになり、このときのチャンネル長の方向（矢印 C H で示す方向）は、多結晶半導体膜 3 0 1 の柱軸 A に平行である。それ故、チャンネル長 C H の方向において、チャンネルがグレインバンダリー B を横切ることがないので、キャリアの移動度が高い。よって、低温プロセスで製造した T F T 1 において、オン電流の向上を図ることができる。

40

【 0 0 2 7 】

また、本形態では、T F T 1 を縦型でありながら L D D 構造とすることによって、オン電流の確保とソース・ドレイン間耐圧を高いものにしてある。すなわち、縦型の T F T 1 では、チャンネル形成領域 3 を構成する多結晶半導体膜 3 0 1 の膜厚がそのままチャンネル長となるため、このままの構造でソース・ドレイン間耐圧を確保するには、このチャンネル形成領域 3 を構成する多結晶半導体膜 3 0 1 の膜厚を厚くする必要があるため、成膜工程に長時間を要するが、本形態では、第 1 のソース・ドレイン領域 2 が形成された下側半導体膜 2 0 1 においてゲート電極 7 の側端部に対峙する部分、および第 2 のソース・ドレイン領域 4 が形成された上側半導体膜 4 0 1 においてゲート電極 7 の側端部に対峙する部分に、

50

低濃度のLDD領域203、403を構成し、高いソース・ドレイン間耐圧を確保している。それ故、本形態によれば、縦型TFT1においてチャンネル長が短くても、すなわちチャンネル形成領域3を構成する多結晶半導体膜301の膜厚が薄くても、十分なソース・ドレイン耐圧を確保することができるので、チャンネル形成領域4を成膜するときの時間が短くて済む。

**【0028】**

また、LDD構造のTFT1であれば、オフリーク電流も小さいので、画素スイッチング用としても適している。それ故、本形態の縦型のTFT1は、駆動回路用および画素スイッチング用のいずれにも適している。

**【0029】**

このような構成のTFT1の製造方法の一例を、図2および図3を参照して説明する。図2および図3は、本形態のTFT1の製造方法を示す工程断面図である。

**【0030】**

まず、図2(A)に示すように、基板8の全面に、リンあるいはボロンなどの不純物を約 $10^{15} \text{ cm}^{-3}$  ~ 約 $10^{18} \text{ cm}^{-3}$ 程度含有する低濃度のドープトシリコン膜などの半導体膜を形成した後、それを島状にパターンニングして島状の下層側半導体膜201を形成する。このドープト半導体膜は、多結晶半導体膜として形成される場合のほか、アモルファス半導体膜を結晶化したものを用いる場合もある。

**【0031】**

次に、下層側半導体膜201のうち、少なくとも前記のLDD領域203とする領域を覆うレジストマスクRM1を形成し、この状態で、下層側半導体膜201に対して不純物を導入して、不純物を約 $10^{18} \text{ cm}^{-3}$  ~ 約 $10^{20} \text{ cm}^{-3}$ 程度含有する高濃度の第1のソース・ドレイン領域2を形成する。なお、下層側半導体膜201のうち、不純物が導入されなかった部分から前記のLDD領域203が形成される。

**【0032】**

次に、図2(B)に示すように、基板8の全面にシリコン酸化膜やシリコン窒化膜などの絶縁膜をスパッタ法、CVD法、蒸着法などにより形成した後、絶縁膜をパターンニングして、第1のソース・ドレイン領域2(下層側半導体膜201)に部分的に重なるエッチングストップ用の絶縁膜9を残す。

**【0033】**

次に、図2(C)に示すように、厚さが約100オングストローム~数 $\mu\text{m}$ のアモルファス半導体膜300を形成する。アモルファス半導体膜300としてアモルファスシリコン膜を用いるならば、プラズマCVD法、LPCVD法、蒸着法、スパッタ法などの方法がある。プラズマCVD法であれば、350以下の温度で成膜できる。LPCVD法ならば、原料ガスにより堆積温度が異なり、ジシラン( $\text{Si}_2\text{H}_6$ )ガスを用いれば約450以下の温度、シラン( $\text{SiH}_4$ )ガスを用いれば約560以下の温度で成膜可能である。また、蒸着法、スパッタ法であれば約200以下の温度で成膜可能である。ここで、アモルファス半導体膜300としてリンやボロンを低濃度で添加しておくことにより、チャンネルドープを行い、TFT1のしきい値電圧を調整することもある。

**【0034】**

次に、アモルファス半導体膜300に対して、レーザアニール、電子ビームアニール、ランプアニール、または固相成長法などの結晶化処理を行い、アモルファス半導体膜300を多結晶半導体膜300Bとする。レーザアニール法では、たとえば、エキシマレーザのビーム長が400mmのラインビームを用い、その出力強度はたとえば $200 \text{ mJ} / \text{cm}^2$ である。ラインビームについてはその幅方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。この結晶化処理では、アモルファス半導体膜300が熔融固化して結晶粒が成長し、多結晶半導体膜300Bとなる。この多結晶半導体膜300Bは、基板8に対して垂直な方向に柱軸Aを向ける柱状の結晶構造(柱状構造)を有する。

**【0035】**

10

20

30

40

50

次に、図2(D)に示すように、基板8の全面に、リンあるいはボロンなどの不純物を約 $10^{15} \text{ cm}^{-3}$  ~ 約 $10^{18} \text{ cm}^{-3}$ 程度含有する低濃度のドーフトシリコン膜などの半導体膜400を形成する。その結果、半導体膜400は、アモルファス半導体膜300を結晶化した後の多結晶半導体膜300Bに積層された状態になる。

【0036】

次に、半導体膜400のうち、前記のLDD領域403とする領域を覆う領域を覆うレジストマスクRM2を形成し、この状態で、半導体膜400に対して不純物を導入して、不純物を約 $10^{18} \text{ cm}^{-3}$  ~ 約 $10^{20} \text{ cm}^{-3}$ 程度含有する高濃度の第2のソース・ドレイン領域4を形成する。なお、上層側半導体膜401のうち不純物が導入されなかった部分から前記のLDD領域403が形成される。

10

【0037】

次に、レジストマスクRM2を除去した後、図2(E)に示すように、新たなレジストマスクRM3を形成する。

【0038】

そして、レジストマスクRM3を用いて、半導体膜400および多結晶半導体膜300Bを一括してパターニングし、図2(F)に示すように、チャネル形成領域3を構成する多結晶半導体膜301と、第2のソース・ドレイン領域4およびLDD領域403を備える上層側半導体膜401とを残す。このとき、多結晶半導体膜301の側端面302および上層側半導体膜401の側端面402が下層側半導体膜201の表面に形成されているエッチングストップ用の絶縁膜9の上に位置するようにパターニングする。このエッチングストップ用の絶縁膜9は、上層側半導体膜401および多結晶半導体膜301をパターニング形成するとき下層側半導体膜201がオーバーエッチングされることを防止する。このようにして多結晶半導体膜301および多結晶半導体膜301をパターニング形成すると、エッチングストップ用の絶縁膜9の端部は、多結晶半導体膜301の側端面302と下層側半導体膜201との間にわずかに割り込んだ状態となる。

20

【0039】

次に、図3(A)に示すように、基板8の全面に、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法やCVD法、あるいはスパッタ法などにより厚さが約600 ~ 1500オングストロームのシリコン酸化膜などからなるゲート絶縁膜6を形成する。

30

【0040】

次に、基板8の全面に、ドーフト半導体膜、金属膜(タンタル、クロム、アルミニウムなど)、シリサイド膜(タングステンシリサイド、モリブデンシリサイドなど)などの導電膜を形成した後、図3(B)に示すようにパターニングして、多結晶半導体膜301の側端面302にゲート絶縁膜6を介して対峙するゲート電極7を形成する。

【0041】

次に、基板8の全面に層間絶縁膜11を形成した後、図1(A)に示すように、第1のソース・ドレイン領域2および第2のソース・ドレイン領域3に対応する位置にコンタクトホール111、112を形成する。

【0042】

そして、基板8の全面にドーフト半導体膜、金属膜(タンタル、クロム、アルミニウムなど)、シリサイド膜(タングステンシリサイド、モリブデンシリサイドなど)などの導電膜を形成した後、パターニングして、第1のソース・ドレイン電極12および第2のソース・ドレイン電極13を形成する。

40

【0043】

このようなTFT1の製造方法によれば、あくまで低温プロセスでTFT1を製造できるので、基板8としては安価なガラス基板を用いることができる。また、チャネル形成領域3を構成する多結晶半導体膜301を島状にパターニングするときには、側端面302に相当する位置の下層にエッチングストップ用の絶縁膜9が予め形成されているので、第1のソース・ドレイン領域2を構成する下層側半導体膜201がオーバーエッチングされる

50

ことがない。さらに、チャンネル形成領域3を構成する多結晶半導体膜301と、第2のソース・ドレイン領域4を構成する上層側半導体膜401とを一括してパターンニング形成するので、それらを別々の工程でパターンニングする方法よりも、パターンニング工程が1工程分少なくて済むという利点がある。

#### 【0044】

##### [その他の実施形態]

上記の形態では、図2(A)および図2(D)を参照して説明した工程でドーフト半導体膜を形成したので、LDD構造のTF T1を製造したが、図2(A)および図2(D)を参照して説明した工程で、不純物を含有しない半導体膜を形成すると、上層側半導体膜201および下層側半導体膜401のうち、ゲート電極7の側端部に対峙する部分がLDD領域ではなく、不純物を含有しない半導体領域となる。従って、オフセットゲート構造のTF Tを製造できる。このオフセットゲート構造のTF Tであれば、LDD構造のTF Tと同様、チャンネル長が短くても、すなわちチャンネル形成領域3を構成する多結晶半導体膜301の膜厚が薄くても、十分なソース・ドレイン耐圧を確保することができるので、チャンネル形成領域3を成膜するときの時間が短くて済む。また、オフセットゲート構造のTF Tであれば、オフリーク電流も小さいので、画素スイッチング用としても適している。

10

#### 【0045】

なお、TF Tに形成するLDD領域(あるいはオフセットゲート構造を構成する不純物が導入されていない半導体領域)は、第1および第2のソース・ドレイン領域2、4の双方に形成してもよいが、いずれか一方、たとえばドレイン領域となる側のみに形成してもよい。

20

#### 【0046】

また、上記形態では、LDD領域(あるいはオフセットゲート構造を構成する不純物が導入されていない半導体領域)を、第1および第2のソース・ドレイン領域2、4を備える下層側半導体膜201および上層側半導体膜401に形成したが、これらの半導体膜とは別個に形成した低濃度あるいは不純物の導入されていない半導体膜によって、LDD領域(あるいはオフセットゲート構造を構成する不純物の導入されていない半導体領域)を形成してもよい。

#### 【0047】

さらに、上記の形態では半導体膜として、シリコン膜を用いた例であったが、ゲルマニウム、シリコン-ゲルマニウムなどの半導体膜を用いたTF Tに本発明を適用してもよい。

30

#### 【0048】

##### 【発明の効果】

以上説明したように、本発明に係る縦型のTF Tでは、結晶化処理によってアモルファス半導体膜から得た多結晶半導体膜の柱軸に平行な側端面に対してゲート電極が対峙しているので、柱軸に平行な方向がチャンネル長の方向となる。それ故、チャンネル長の方向において、チャンネルがグレインバンダリーを横切ることがないので、キャリアの移動度が高い。よって、低温プロセスで製造したTF Tにおいて、オン電流の向上を図ることができる。また、本発明では、縦型のTF Tでありながら、LDD構造あるいはオフセットゲート構造を有するので、チャンネル長が短くても、ソース・ドレイン間耐圧が高い。それ故、チャンネル形成領域を構成する多結晶半導体膜が薄くて済むので、成膜に要する時間を短縮できるという利点がある。

40

##### 【図面の簡単な説明】

【図1】(A)、(B)はそれぞれ、本発明を適用したTF Tの断面図および平面図である。

【図2】図1に示すTF Tの製造方法を示す工程断面図である。

【図3】図1に示すTF Tの製造方法において、図2に示す工程に続いて行う各工程を示す工程断面図である。

【図4】(A)、(B)はそれぞれ、液晶表示装置のアクティブマトリクス基板のプロック図、およびそれに構成した駆動回路の一部を示す回路図である。

50

【図5】(A)、(B)はそれぞれ、従来のTFTの断面図および平面図である。

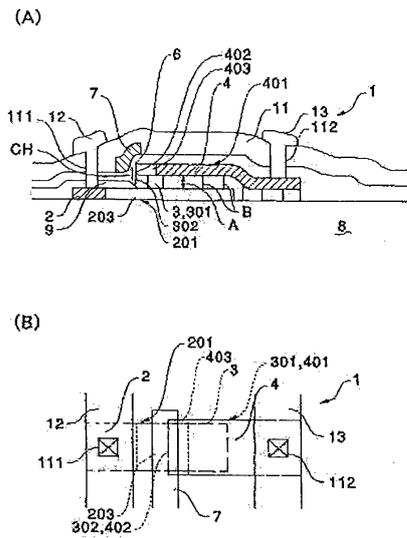
【符号の説明】

- 1 TFT
- 2 第1のソース・ドレイン領域
- 3 チャンネル形成領域
- 4 第2のソース・ドレイン領域
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 基板
- 9 エッチングストoppa用の絶縁膜
- 11 層間絶縁膜
- 12 第1のソース・ドレイン電極
- 13 第2のソース・ドレイン電極
- 201 下層側半導体膜
- 203、403 LDD領域
- 301 多結晶半導体膜
- 302 多結晶半導体膜の側端面
- 401 上層側半導体膜
- A 多結晶半導体膜の柱軸
- B グレインバンダリー
- CH チャンネル長の方向

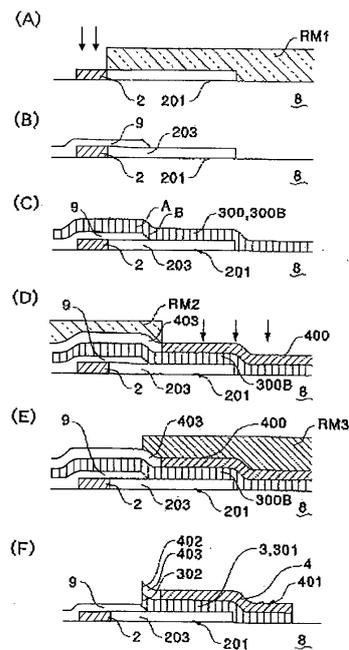
10

20

【図1】



【図2】





---

フロントページの続き

- (56)参考文献 特開平07 - 106588 (JP, A)  
特開平07 - 273347 (JP, A)  
特開平06 - 326314 (JP, A)  
特開平01 - 283879 (JP, A)  
特開平07 - 321228 (JP, A)  
特開昭63 - 244683 (JP, A)  
特開平03 - 112165 (JP, A)  
特開昭60 - 136369 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20  
H01L 21/336  
H01L 29/786