

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4117977号
(P4117977)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月2日(2008.5.2)

(51) Int.Cl. F I
H03K 5/135 (2006.01) H03K 5/135

請求項の数 7 (全 14 頁)

(21) 出願番号	特願平11-180304	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成11年6月25日(1999.6.25)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2001-16080(P2001-16080A)	(74) 代理人	100077517 弁理士 石田 敬
(43) 公開日	平成13年1月19日(2001.1.19)	(74) 代理人	100092624 弁理士 鶴田 準一
審査請求日	平成18年4月6日(2006.4.6)	(74) 代理人	100100871 弁理士 土屋 繁
		(74) 代理人	100082898 弁理士 西山 雅也
		(74) 代理人	100081330 弁理士 樋口 外治

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

外部データバスへの出力信号のレベルと等価なダミー出力信号を内部で擬似的に発生するダミーインタフェース回路を備える半導体装置であって、

前記ダミーインタフェース回路は、

前記ダミー出力信号をダミー出力ラインに出力するダミー信号出力回路と、

前記ダミー出力ラインに接続されたダミー容量と、

前記ダミー出力ラインに接続され、前記ダミー出力信号を前記出力信号のレベルに対応したレベルの信号にするダミー負荷回路と、を備え、

前記ダミー負荷回路は、第1の抵抗を介して前記ダミー出力ラインに接続されたプルアップ回路と、第2の抵抗を介して前記ダミー出力ラインに接続されたプルダウン回路と、を備える半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、

前記ダミー負荷回路は、前記ダミー出力信号が一方の論理値の時に活性化され、他方の論理値の時には非活性化される半導体装置。

【請求項3】

外部データバスへの出力信号のレベルと等価なダミー出力信号を内部で擬似的に発生するダミーインタフェース回路を備える半導体装置であって、

前記ダミーインタフェース回路は、

10

20

前記ダミー出力信号をダミー出力ラインに出力するダミー信号出力回路と、
 前記ダミー出力ラインに接続されたダミー容量と、
 前記ダミー出力ラインに接続され、前記ダミー出力信号を前記出力信号のレベルに対応したレベルの信号にするダミー負荷回路と、を備え、
前記ダミー負荷回路は、
前記ダミー出力信号が一方の論理値の時に活性化され、他方の論理値の時には非活性化される半導体装置。

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載の半導体装置であって、
 前記ダミー信号出力回路は、前記ダミー出力信号を論理値の一方にのみ変化させる回路である半導体装置。

10

【請求項 5】

外部データバスへの出力信号のレベルと等価なダミー出力信号を内部で擬似的に発生するダミーインタフェース回路を備える半導体装置であって、
 前記ダミーインタフェース回路は、
 前記ダミー出力信号をダミー出力ラインに出力するダミー信号出力回路と、
 前記ダミー出力ラインに接続されたダミー容量と、
 前記ダミー出力ラインに接続され、前記ダミー出力信号を前記出力信号のレベルに対応したレベルの信号にするダミー負荷回路と、を備え、
前記ダミー信号出力回路は、
前記ダミー出力信号を論理値の一方にのみ変化させる回路である半導体装置。

20

【請求項 6】

外部データバスへの出力信号のレベルと等価なダミー出力信号を内部で擬似的に発生するダミーインタフェース回路を備える半導体装置であって、
 前記ダミーインタフェース回路は、
 前記ダミー出力信号をダミー出力ラインに出力するダミー信号出力回路と、
 前記ダミー出力ラインに接続されたダミー容量と、
 前記ダミー出力ラインに接続され、前記ダミー出力信号を前記出力信号のレベルに対応したレベルの信号にするダミー負荷回路と、を備え、
前記ダミー信号出力回路は、
前記ダミー出力信号のレベルを立ち上げるプルアップ出力回路と、前記ダミー出力信号のレベルを立ち下げるプルダウン出力回路と、を備え、

30

前記ダミー負荷回路は、
第 1 の抵抗を介して前記ダミー出力ラインに接続され、前記プルアップ出力回路と同等又は所定の割合で縮小されたプルアップ回路と、
第 2 の抵抗を介して前記ダミー出力ラインに接続され、前記プルダウン出力回路と同等又は前記所定の割合で縮小されたプルダウン回路と、を備える半導体装置。

【請求項 7】

外部データバスへの出力信号のレベルと等価なダミー出力信号を内部で擬似的に発生するダミーインタフェース回路を備える半導体装置であって、
 前記ダミーインタフェース回路は、
 前記ダミー出力信号をダミー出力ラインに出力するダミー信号出力回路と、
 前記ダミー出力ラインに接続されたダミー容量と、
 前記ダミー出力ラインに接続され、前記ダミー出力信号を前記出力信号のレベルに対応したレベルの信号にするダミー負荷回路と、を備え、
前記ダミー信号出力回路は、前記ダミー出力信号のレベルを立ち上げるプルアップ出力回路と、前記ダミー出力信号のレベルを立ち下げるプルダウン出力回路と、を備え、
前記ダミー負荷回路は、前記プルアップ出力回路と同等又は所定の割合で縮小されたプルアップ回路と、前記プルダウン出力回路と同等又は前記所定の割合で縮小されたプルダウン回路と、前記プルアップ回路と前記プルダウン回路の間に直列に接続された第 1、第

40

50

2及び第3の抵抗と、を備え、

前記プルダウン出力回路は、前記第1の抵抗と前記第2の抵抗の接続ノードに接続され

る前記プルアップ出力回路は、前記第2の抵抗と前記第3の抵抗の接続ノードに接続されている半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、[^]Low Voltage Transistor Transistor Logic(LVTTL)"や[^]Series Stub Termination Logic(SSTL)"のような信号振幅を小さくして高速化を図ったインターフェースに適用される入出力回路をデバイス内部でシミュレートするためのダミーインターフェース回路を備える半導体装置に関し、特に出力タイミングを外部クロックに同期させるために使用されるDLL(Delay Locked Loop)回路で使用されるダミー出力信号の発生に関する。

10

【0002】

【従来の技術】

現在の半導体装置(デバイス)では、他のデバイスとの信号の互換性を維持するため、複数のインターフェース規格が決められている。代表的なものにTTL(Transistor Transistor Logic)があるが、SDRAM(Synchronous Dynamic Random Access Memory)やそれと組み合わせられて使用されるデバイスでは、高速化を図るため信号振幅を小さくしたLVTTTLやSSTLの2つの規格が一般的である。LVTTTLでは、VIHは2.0V、VILは0.8Vであり、SSTLでは、VIHはVref+0.2V、VILはVref-0.2Vである。以下の説明では、SSTL規格のSDRAMを例として説明を行う。

20

【0003】

SDRAMのデータ入出力は、データを外部クロックに対して所定の位相で出力することが要求される。データ入出力速度は益々高速化されようとしており、デバイスの特性のばらつき、温度変化、電源電圧の変化を考慮すると、出力タイミングの位相ずれを所定の許容範囲内にするのが難しくなっている。特開平10-112182号公報は、データの出力タイミングを規定する内部クロックの位相を調整可能にし、出力データと外部クロックの位相関係を検出して、最適の位相関係になるように調整するDLL(Delay Locked Loop)回路を有するSDRAMを開示している。実際に出力データを検出するのは難しいため、出力回路及びそれに接続されるデバイスなどで構成される外部インターフェース回路と等価なダミーインターフェース回路を設けて、その出力と外部クロックの位相関係を検出する。

30

【0004】

図1は、特開平10-112182号公報に開示されたDLL回路の基本構成を示す図である。

図1に示すように、外部クロックclkがクロック入力バッファ1に入力され、内部クロックclk_iが発生され、DLL回路3で位相調整されて出力クロックclk_zとなる。出力回路2は、出力クロックclk_zに応じて出力データを出力端子DQに出力する。ダミーインターフェース回路7は、出力クロックclk_zに応じてダミー信号をダミー出力ライン9に出力するダミー出力回路7と、ダミー出力ライン9に接続されたダミー負荷容量10と、ダミー出力ライン9に出力されたダミー出力信号が入力されるダミー入力バッファ11とを備える。位相比較器4は、内部クロックclk_iとダミー入力バッファ11の出力信号の位相を比較して比較結果を遅延制御回路6に出力する。遅延制御回路6は、この比較結果に基づいて可変遅延素子5における遅延量を変化させる。これにより、出力クロックclk_zの位相が変化し、内部クロックclk_iとダミー入力バッファ14の出力信号の位相が一致すると、可変遅延素子5における遅延量は保持される。ダミーインターフェース回路7は、ダミー出力信号が、規格の条件の外部インターフェース回路に出力信号が出力された場合と同じように変化するよう、各部の条件が設定される。また、ダミー入力バッファ11は、クロック入力バッファ1と同じ遅延量を生じるように作られる

40

50

。【0005】

【発明が解決しようとする課題】

このように、図1のDLL回路では、このダミーインターフェース回路7で発生されるダミー出力信号と、実際に接続される外部インターフェース回路に出力された出力信号が等価であるとして位相調整を行っており、その一致具合がDLL回路による出力クロックの位相調整の精度を向上させるための大きな要素になっている。特に、ダミー出力信号の信号レベルは重要で、外部インターフェース回路と同じレベルのダミー出力信号を発生させる必要がある。

【0006】

ダミー出力回路8は、PチャンネルトランジスタとNチャンネルトランジスタを直列に接続した回路であり、高電位側の電圧を外部インターフェース回路の高レベルにPチャンネルトランジスタの閾値電圧を加えた電圧にすれば、外部インターフェース回路の高電位側の論理レベルと等しいダミー出力信号を出力させることができる。しかし、上記のダミー出力回路で低電位側の論理レベルを発生させると、ダミー出力信号は V_{SS} (0V)に近い電位となり、例えば、SSTLの信号レベルと異なる電位になる。

【0007】

特開平10-285020号公報は、ダミー出力回路8の出力するCMOSレベル(TTLレベル)のダミー出力信号をSSTL又はLVTTLレベルの信号に変換するレベル変換回路を設けたDLL回路を開示している。これにより、ダミー入力バッファ11に入力するダミー信号は所望の信号レベルとなるが、ダミー出力回路が出力する信号レベルは所望の信号レベルと異なるため、ダミー出力信号は外部インターフェース回路の出力信号に十分に近似しているとはいえず、位相調整の精度が不十分であるという問題があった。

【0008】

外部インターフェース回路と同等のダミーインターフェース回路を設けることは、DLL回路以外でも行われており、いずれにしる一致具合が良好であることが求められる。本発明は、外部インターフェース回路に高精度に近似したダミーインターフェース回路を有する半導体装置を実現することを目的とする。

【0009】

【課題を解決するための手段】

図2から図4は、本発明の半導体装置の基本構成及び動作波形を示す図である。

上記目的を実現するため、本発明の半導体装置は、ダミー出力信号を外部インターフェースの出力信号のレベルに対応したレベルの信号にするダミー負荷回路を設ける。

【0010】

すなわち、本発明の半導体装置は、外部インターフェースの出力信号のレベルと等価なダミー出力信号を内部で擬似的に発生するダミーインターフェース回路7を備える半導体装置であって、ダミーインターフェース回路7は、ダミー出力信号をダミー出力ライン9に出力するダミー信号出力回路8と、ダミー出力ライン9に接続されたダミー容量10、ダミー出力ライン9に接続され、ダミー出力信号を外部インターフェースの出力信号のレベルに対応したレベルの信号にするダミー負荷回路20とを備えることを特徴とする。

【0011】

図2に示すように、ダミー負荷回路20は、例えば、第1の抵抗23を介してダミー出力ライン9に接続されたプルアップ回路21と、第2の抵抗24を介してダミー出力ライン9に接続されたプルダウン回路22とを備える。

図2と図1を比較して明らかなように、本発明の半導体装置のDLL回路は、プルアップ回路21とプルダウン回路22と第1の抵抗23と第2の抵抗24とを備えるダミー負荷回路20を、従来の構成に加えたものである。

【0012】

例えば、プルアップ回路21は所定の電圧を発生する定電圧発生回路であり、プルダウン回路22はグランド線である。抵抗による電圧分割により、ダミー出力信号のレベルを、

10

20

30

40

50

外部インターフェースに対応した信号レベルにすることができる。これにより、外部インターフェースに近似したダミー出力信号を発生することができ、D L L回路であれば、位相調整の精度を向上させることができる。

【 0 0 1 3 】

なお、図2のダミーインターフェース回路7では、第1及び第2の抵抗23、24に恒常に電流が流れ、消費電流が増加するという問題を生じる。前述のように、ダミー出力回路8をPチャンネルトランジスタとNチャンネルトランジスタを直列に接続した回路で構成すれば、ダミー出力回路8の高電位側の電源電圧を適当に設定することにより、外部インターフェース回路の高電位側の論理レベルと等しいダミー出力信号を容易に出力させることができる。

10

【 0 0 1 4 】

そこで、本発明の第2の態様では、ダミー出力信号の高電位側のレベルはこのような設定によって実現し、低電位側のレベルのみダミー負荷回路を利用して発生させる。すなわち、ダミー負荷回路は、前記ダミー出力信号が一方の論理値の時に活性化され、他方の論理値の時には非活性化されるようにする。具体的には、図3に示すように、ダミー負荷回路を構成するプルアップ回路21とプルダウン回路22を、ダミー出力信号Doutが「低(low)」の時に活性化し、「高(high)」の時には非活性化するようにする。従って、ダミー出力回路8がPチャンネルトランジスタとNチャンネルトランジスタを直列に接続したインバータ回路で構成されていれば、図4に示すように、ダミー出力データDinが「低」の時にはプルアップ回路21とプルダウン回路22は非動作状態になり、ダミー出力信号Doutはダミー出力回路8のトランジスタ(Pチャンネルトランジスタ)の能力によって高電位側まで立ち上がる。ダミー出力データDinが「高」の時にはプルアップ回路21とプルダウン回路22は動作状態になり、ダミー出力信号Doutはダミー出力回路8のトランジスタ(Nチャンネルトランジスタ)とダミー負荷回路によって外部インターフェースに対応した「低」レベルに立ち上がる。

20

【 0 0 1 5 】

これにより、ダミー出力データDinが「低」の時にはプルアップ回路21とプルダウン回路22は非動作状態になり、プルアップ回路21とプルダウン回路22から第1及び第2の抵抗23、24を介して流れる電流は発生しないので、消費電力が低減できる。

上記のように、図3の構成であれば、消費電力を低減できるが、ダミー出力データDinが「高」の時にはプルアップ回路21とプルダウン回路22は動作状態になり、プルアップ回路21とプルダウン回路22から第1及び第2の抵抗23、24を介して電流が流れる。ここで、D L L回路の場合、ダミー出力信号の立ち上がり又は立ち下りの一方のみの位相と外部クロックの位相を比較する場合がある。そのような場合には、比較対象である立ち上がり又は立ち下りの一方の変化は、外部インターフェースにおける出力信号の変化と同様に変化する必要があるが、他方の変化は正確である必要はなく、次に一方の変化が生じるまでに所定のレベルに変化していればよい。

30

【 0 0 1 6 】

そこで、本発明では、ダミー信号出力回路は、ダミー出力信号を論理値の一方にのみ変化させる回路とし、ダミー出力信号の他方への変化はダミー負荷回路で行う。

40

【 0 0 1 7 】

【 発明の実施の形態 】

図5は、本発明の第1実施例のD L L回路の構成を示す図である。

図1と図5を比較して明らかなように、第1実施例のD L L回路3は、ダミーインターフェース回路7において、ダミー出力ライン9に接続されるダミー負荷回路20を設けた点が従来例と異なる。ダミー負荷回路20は、定電圧発生回路27と、この定電圧発生回路27とダミー出力ライン9に接続された第1の抵抗23と、ダミー出力回路8とダミー出力ライン9に接続された第2の抵抗24とを有する。定電圧発生回路27の出力する定電圧は、外部インターフェース回路の電源V_{tt}に等しく、第1の抵抗23の抵抗値は外部インターフェースの終端抵抗に応じて設定され、第2の抵抗24の抵抗値は外部インター

50

フェースのスタブ抵抗に応じて設定される。このダミー負荷回路20により、ダミー出力回路8から出力されるダミー出力信号は、出力回路2から外部インターフェースに出力されるのと同じ信号レベルの信号になる。

【0018】

図6は、本発明の第2実施例のSSTL規格のダミーインターフェース回路7の構成を、正規の出力系と一緒に示す図である。第2実施例のダミーインターフェース回路も出力タイミングを調整するDLL回路に使用される。

図6に示すように、正規の出力系は、出力クロックclkz/clkxに応じて出力データに対応する原出力信号puxとpdzを発生する出力バッファ31と、出力トランジスタで構成され、原出力信号に応じた出力信号を出力端子DQに出力する出力回路2とを有する。SSTL規格によれば、出力端子DQは、終端抵抗34を介して電源vttに接続され、30pFの負荷容量33を介してグラウンドに接続される。

【0019】

ここで、正規の外部インターフェース回路をどのような形で模すかについて、図7を参照して説明する。

図7の(A)に示すように、SSTL規格用の外部インターフェースでは、出力回路2は、電源Vddqとグラウンドの間に直列に接続されたPチャンネルトランジスタ41とNチャンネルトランジスタ42で構成されるインバータ回路である。Pチャンネルトランジスタ41とNチャンネルトランジスタ42の接続ノードは、25のスタブ抵抗43を介して伝送路に接続され、伝送路は更に他のデバイスに接続される。伝送路の両側は、50の終端抵抗44と45を介して電源vttに接続される。以上がSSTL規格の外部インターフェースである。ダミーインターフェースの場合には、ダミー入力バッファ11がスタブ抵抗46を介して伝送路の途中に接続される。

【0020】

デバイス内に伝送路を設けることはできないので、第2実施例では、図7の(B)のような等価回路のダミーインターフェースで、図7の(A)の構成を実現する。すなわち、2つの終端抵抗44と45を合わせて25のダミー終端抵抗49とし、スタブ抵抗43と46はまとめてダミースタブ抵抗48とする。また、ダミーインターフェースは、回路面積や消費電流を低減するため、外部インターフェースをスケールダウンして模している。

【0021】

図6に示すように、ダミーインターフェースは、ダミー出力クロックdcclkzに応じてダミー出力データに対応するダミー原出力信号puxdとDinを発生するダミー出力バッファ32と、ダミー出力トランジスタで構成され、一方のダミー原出力信号puxdに応じたダミー出力信号をダミー出力ライン9に出力するダミー出力回路7と、ダミー出力ライン9に接続されたダミー容量10と、ダミー出力ライン9に接続されるダミー負荷回路30とを有する。ダミー出力ライン9は、ダミー入力バッファ11に接続される。ダミー負荷回路30は、ダミー出力バッファ32の出力する他方のダミー原出力信号Dinに応じて動作が制御される。なお、ダミー出力信号は、交互に「高」と「低」に切り替わるトグル信号であり、外部クロックclkの1周期内で交互に「高」と「低」に切り替わるか、外部クロックclkの1周期毎に交互に「高」と「低」に切り替わるとする。

【0022】

図8は、第2実施例のダミー出力回路の構成を説明する図であり、(A)は正規の出力回路2の構成を、(B)はダミー出力回路7の構成を示す。図7で説明したように、正規の出力回路2は、Pチャンネルトランジスタ41とNチャンネルトランジスタ42を有する。Pチャンネルトランジスタ41とNチャンネルトランジスタ42の接続ノードは、出力端子DQに接続される。原出力信号puxとpdzは、それぞれPチャンネルトランジスタ41のゲートとNチャンネルトランジスタ42のゲートに印加される。puxとpdzが共に「高」の場合には、Pチャンネルトランジスタ41はオフ状態になり、Nチャンネルトランジスタ42がオン状態になり、出力端子DQに出力される出力信号は「低」レベルになる。puxとpdzが共に「低」の場合には、Pチャンネルトランジスタ41はオ

10

20

30

40

50

ン状態になり、Nチャンネルトランジスタ42がオフ状態になり、出力信号は「高」レベルになる。puxが「高」、pdzが「低」の時には、Pチャンネルトランジスタ41とNチャンネルトランジスタ42は共にオフ状態になり、出力はハイ・インピーダンス状態になる。puxが「低」、pdzが「高」になることは禁止されている。このように、正規の出力回路2では、原出力信号puxとpdzに応じて、出力信号が「高」、「低」又はハイ・インピーダンス状態になる。

【0023】

図8の(B)は、第2実施例のダミーインターフェース回路のダミー出力回路の構成を示す図である。図示のように、図8の(A)の正規の出力回路2のPチャンネルトランジスタ41とNチャンネルトランジスタ42をスケールダウンしたPチャンネルトランジスタ53とNチャンネルトランジスタ54で構成されるインバータとし、Pチャンネルトランジスタ53のゲートにはダミー原出力信号puxdが印加され、Nチャンネルトランジスタ54のゲートにはグラウンドレベルが印加されるようにする。これにより、Nチャンネルトランジスタ54は常にオフ状態になる。

10

【0024】

第2実施例のダミーインターフェース回路が使用されるDLL回路は、ダミー出力信号が立ち上がる時の変化エッジと外部クロックclkの立ち上がりエッジのみを比較する。従って、ダミー出力信号の立ち上がりエッジが正確に変化すればよく、立ち下がりエッジがどのような変化をしても問題はない。そこで、図8の(B)に示すような構成にして、ダミー出力回路7はダミー出力信号の「高」レベルの出力のみを行い、ダミー出力信号の「低」レベルの出力についてはダミー負荷回路によって行う。

20

【0025】

図9は、ダミー負荷回路の構成を示す図である。図示のように、Pチャンネルトランジスタ58と59で構成されるトランスファークラックと、降圧抵抗60と、ダミー終端抵抗61と、ダミースタブ抵抗62と、Nチャンネルトランジスタ63とを、電源vddqとグラウンドの間に直列に接続されている。ダミー原出力信号Dinは、Nチャンネルトランジスタ63のゲートに印加されると共に、インバータ55を介してPチャンネルトランジスタ58のゲートに印加される。インバータ55の出力は、更にスイッチ57を介してPチャンネルトランジスタ59のゲートに印加される。また、スイッチ57と並列に遅延回路が設けられ、インバータ55の出力が遅れてPチャンネルトランジスタ59のゲートに印加されるようになっている。降圧抵抗60とダミー終端抵抗61とダミースタブ抵抗62は、外部インターフェースのスケールリングに応じて、それぞれ2k、1k、1kに設定されており、降圧抵抗60は電源vddqの電圧値を外部インターフェースの終端レベルに等しいdum-vtt(=vddq/2)に降圧する。このように、電源vddqを使用して終端レベルを発生させている。

30

【0026】

遅延回路56は、ダミー原出力信号Dinが「高」から「低」に変化した時に、ダミー出力ライン9からのチャージシェアを受けてdum-vttが変動するのを避けるために設けられており、Dinが「低」に変化しても少しの間Pチャンネルトランジスタ59をオン状態に維持してvddqからの電源供給を行い、dum-vttの変動を低減する。このように、ダミー負荷回路は、Dinが「高」の時に活性状態になり、「低」の時は非活性状態になる。

40

【0027】

図10は、第2実施例のダミーインターフェース回路の動作を示すタイムチャートである。ダミー原出力信号Dinが「低」から「高」に変化すると、ダミー出力回路7のPチャンネルトランジスタ53はオフ状態になり、ダミー負荷回路30のNチャンネルトランジスタ63とPチャンネルトランジスタ58はオン状態になり、ダミー出力ライン9の電位はSSLの「低」レベルに向かって変化する。ダミー出力回路8はこの変化には何ら寄与しておらず、ダミー出力ライン9の電位はダミー負荷回路30のみによって引き下げられるので、図示のようにゆっくり変化する。ダミー出力ライン9の電位は、次にDinが

50

「低」に変化するまでに、SSTLの「低」レベルに変化していればよく、Dinの周期に応じてこの条件を満たすようにダミー負荷回路30のNチャンネルトランジスタ63とPチャンネルトランジスタ58、59のサイズなどを設定する。従って、Dinが「高」の間には電源vddqからトランスファークラック、抵抗及びNチャンネルトランジスタ63を介してグランドに電流が流れるが、この電流は最小限に抑制される。

【0028】

Dinが「高」から「低」に変化すると、Nチャンネルトランジスタ63とPチャンネルトランジスタ58はオフ状態になり、Pチャンネルトランジスタ59も少し後にはオフ状態になる。同時に、ダミー出力回路7のPチャンネルトランジスタ53はオン状態になり、ダミー出力ライン9の電位はダミー出力回路の高電位(vddq)レベルに向かって変化する。従って、この変化は、SSTLの「低」レベルからの立ち上がり変化に類似した変化である。この変化はダミー出力回路7のみによって行われ、ダミー負荷回路30はこの変化にほとんど寄与せず、電力も消費しない。

10

【0029】

以上説明したように、第2実施例のダミーインターフェース回路は、外部インターフェースと同等の変化を発生し、貫通電流はほとんど流れないので、消費電力も小さいことが分かる。

第2実施例のダミーインターフェース回路が使用されるDLL回路は、ダミー出力信号が立ち上がる時の変化エッジと外部クロックclkの立ち上がりエッジのみを比較する回路で、ダミー出力信号の立ち上がりエッジが正確に変化すればよく、立ち下がりエッジがどのような変化をしても問題はなかった。しかし、逆にダミー出力信号が立ち下がる時の変化エッジと外部クロックclkの立ち上がりエッジのみを比較するDLL回路もある。第3実施例のダミーインターフェース回路は、このようなDLL回路に使用するものである。

20

【0030】

図11は、第3実施例のダミーインターフェース回路のダミー出力回路の構成を示す図である。図示のように、図8の(A)の正規の出力回路2のPチャンネルトランジスタ41とNチャンネルトランジスタ42をスケールダウンしたPチャンネルトランジスタ64とNチャンネルトランジスタ65で構成されるインバータである点は第2実施例と同じであるが、Nチャンネルトランジスタ65のゲートにはダミー原出力信号pdzdが印加され、Pチャンネルトランジスタ64のゲートにはvddqが印加されるようにする。これにより、Pチャンネルトランジスタ64は常にオフ状態になる。

30

【0031】

図12は、第3実施例のダミーインターフェース回路のダミー負荷回路の構成を示す図である。図9と比較して明らかなように、図9の回路を電源に対して対称に反転した構成を有する。構成動作については、説明を省略するが、Dinが「高」の時には、ダミー負荷回路は非活性状態になり、ダミー出力信号は図11のダミー出力回路のNチャンネルトランジスタ65によってダミー出力回路の低電位(vss)レベルに変化し、Dinが「低」の時には、ダミー出力回路はオフ状態になり、ダミー負荷回路によってゆっくり「高」レベルに変化する。いずれにしても、外部インターフェースに類似した信号レベルが実現され、消費電力も少ない。

40

【0032】

図13は第4実施例のダミーインターフェース回路の構成を示す図であり、図14はその動作を示すタイムチャートである。

第4実施例のダミーインターフェース回路は、ダミー出力信号の立ち上がりエッジと立ち下がりエッジの両方を正確に変化させることができ、且つ消費電力を低減した回路である。図示のように、ダミー出力回路が、プルアップ出力回路91とプルダウン出力回路92で構成されており、例えば、プルアップ出力回路91は図8(B)に示すような回路であり、プルダウン出力回路92は図11に示すような回路である。例えば、プルアップ回路21とプルアップ制御回路25は、図9のインバータ55、Pチャンネルトランジスタ5

50

8、59、スイッチ57、遅延回路56で構成され、プルダウン回路22とプルダウン制御回路26は、図12のインバータ70、Nチャンネルトランジスタ71、72、スイッチ73、遅延回路74で構成される。また、抵抗88~90は、それぞれ組み合わされてダミー終端抵抗又はダミースタブ抵抗として動作する抵抗であり、例えば、抵抗88と90は1k、抵抗89は2kに設定する。

【0033】

参照番号81から87は、ダミー出力クロックdclkzとダミー出力データから各部を制御する制御信号を発生する部分であり、図14に示すような信号を発生する。なお、第4実施例では、ダミー出力データDinは、ダミー出力クロックdclkzの1周期毎に論理レベルが切り替わる信号とする。エッジパルス発生回路81は、ダミー出力クロックdclkzから補助クロックCK、/CKを発生させる。4個のANDゲート83~86及びNORゲート87は、補助クロックCK、/CKとダミー出力データDinとその反転信号から、プルアップ出力回路91に印加するダミー原出力信号UO、プルダウン出力回路92に印加するダミー原出力信号DO、プルアップ回路21とプルアップ制御回路25とプルダウン回路22とプルダウン制御回路26に印加する活性信号UDCを発生する。また、フリップ・フロップ93は、/CKを1/2分周してセクタ94の選択状態を制御する選択信号SELを発生する。プルアップ出力回路91の出力は抵抗89と90の接続ノードに接続され、プルダウン出力回路92の出力は抵抗88と89の接続ノードに接続され、それぞれセクタ94に入力される。

【0034】

図14に示すように、Dinが「低」に立ち下がると、UOが短時間だけ「高」になり、プルアップ出力回路91の出力は「高」レベルに変化する。この時、セクタ94はプルアップ出力回路91の出力を選択しており、ダミー出力信号Doutは「高」レベルに変化する。UOが「低」に戻ると、プルアップ出力回路91は出力を停止し、それと同時に活性信号UDCが「高」になり、プルアップ回路21とプルアップ制御回路25とプルダウン回路22とプルダウン制御回路26が活性され、抵抗88と89の接続ノードは外部インターフェースの「高」レベルに対応したレベルに向かって変化を開始する。これと同時に、セクタ94はプルダウン出力回路92の出力を選択するので、抵抗88と89の接続ノードの電位がダミー出力信号Doutとして出力される。この場合も、抵抗88と89の接続ノードの電位は、Dinが「高」に変化する前に外部インターフェースの「高」レベルになればよい。ここで、Dinが「高」に変化すると、UDCは「低」になり、プルアップ回路21とプルアップ制御回路25とプルダウン回路22とプルダウン制御回路26は非活性化される。それと同時にDOが短時間だけ「高」になり、プルダウン出力回路92が動作してその出力は「低」レベルに変化する。DOが「低」に戻ると、プルダウン出力回路92は出力を停止し、それと同時に活性信号UDCが「高」になり、プルアップ回路21とプルアップ制御回路25とプルダウン回路22とプルダウン制御回路26が活性され、抵抗89と90の接続ノードは外部インターフェースの「低」レベルに対応したレベルに向かって変化を開始する。これと同時に、セクタ94はプルアップ出力回路91の出力を選択するので、抵抗89と90の接続ノードの電位がダミー出力信号Doutとして出力される。以下、同様の動作を繰り返すことにより、図14のDoutのようなダミー出力信号が得られる。

【0035】

このダミー出力信号は、立ち上がり時には外部インターフェースの「低」レベルから立ち上がっており、立ち下がり時には外部インターフェースの「高」レベルから立ち下がっており、両方の変化エッジでタイミングの比較を行うことができる。なお、UO、DOのパルス幅は適当に設定することが可能であり、プルアップ回路21とプルダウン回路22に電流が流れる期間であるUDCの「高」の期間を短くすれば、消費電力を低減できる。また、プルアップ回路21とプルダウン回路22の電源供給能力を小さくして、Diが変化する直前までに所定のレベルまで変化するようにすれば、同様に消費電力を低減できる。

【0036】

10

20

30

40

50

【発明の効果】

以上説明したように、本発明によれば、外部インターフェース回路に高精度に近似した低消費電力のダミーインターフェース回路を実現できる。これにより、DLL回路などのタイミング調整の精度を向上させることができ、半導体デバイスの動作速度の高速化が図れる。

【図面の簡単な説明】

【図1】出力タイミングを外部クロックに同期させるDLL回路の従来例の構成を示す図である。

【図2】本発明のDLL回路の基本構成を示す図である。

【図3】本発明のダミー負荷回路の基本構成を示す図である。

10

【図4】本発明のダミー負荷回路の動作を示すタイムチャートである。

【図5】本発明の第1実施例のDLL回路の構成を示す図である。

【図6】本発明の第2実施例の出力部及びダミー出力部の構成を示す図である。

【図7】インターフェース回路のモデルを示す図である。

【図8】出力回路と第2実施例のダミー出力回路の回路図である。

【図9】第2実施例のダミー負荷回路の回路図である。

【図10】第2実施例のダミーインターフェース回路の動作を示すタイムチャートである。

。

【図11】第3実施例のダミー出力回路の回路図である。

【図12】第3実施例のダミー負荷回路の回路図である。

20

【図13】第4実施例のダミーインターフェース回路の回路構成を示す図である。

【図14】第4実施例のダミーインターフェース回路の動作を示すタイムチャートである。

。

【符号の説明】

1 ... クロック入力バッファ

2 ... 出力バッファ

3 ... DLL回路

7 ... ダミーインターフェース回路

8 ... ダミー出力回路

9 ... ダミー出力ライン

30

10 ... ダミー負荷容量

11 ... ダミー入力バッファ

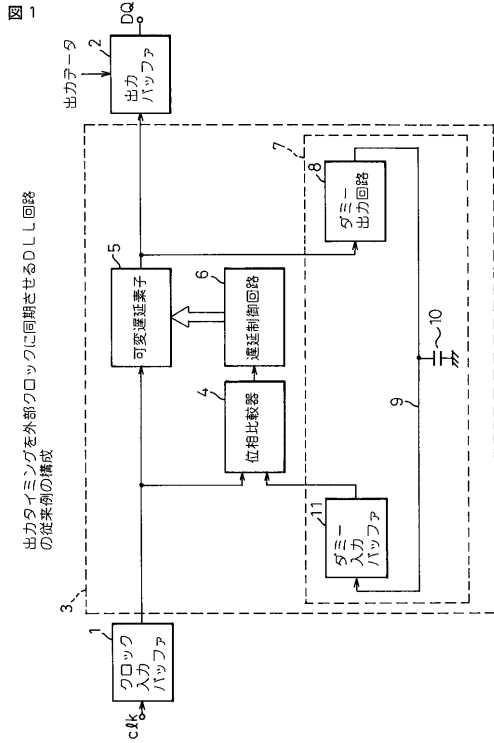
20 ... ダミー負荷回路

21 ... プルアップ回路

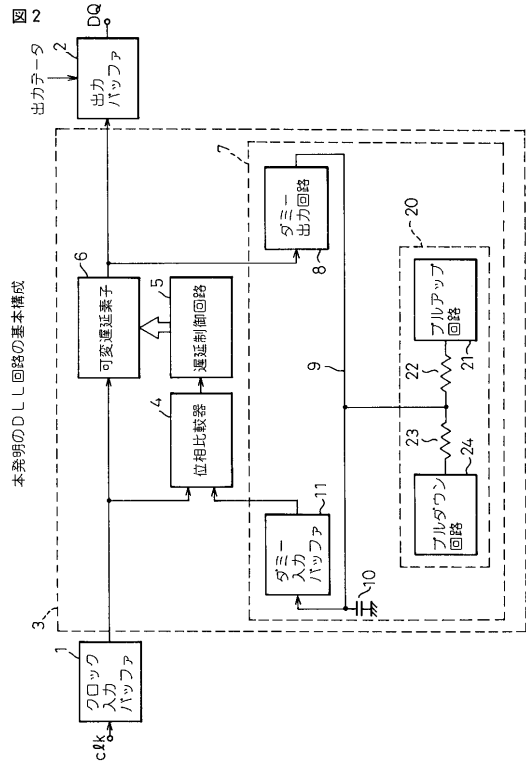
22 ... プルダウン回路

23、24 ... 抵抗

【図1】

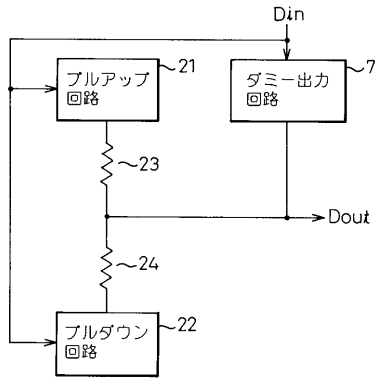


【図2】



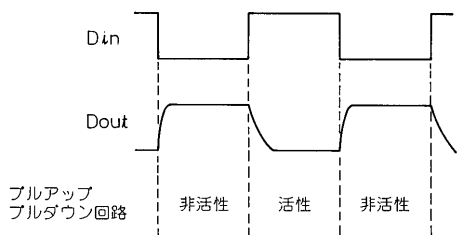
【図3】

図3 本発明のダミー負荷回路の基本構成

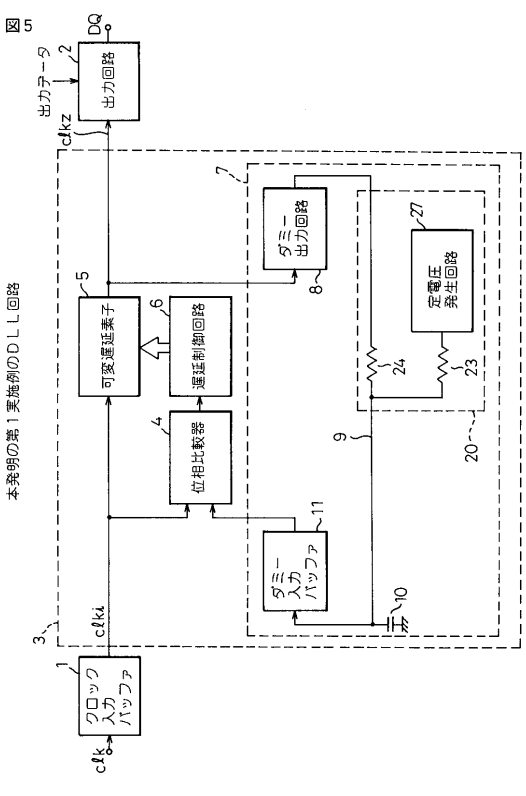


【図4】

図4 本発明のダミー負荷回路の動作



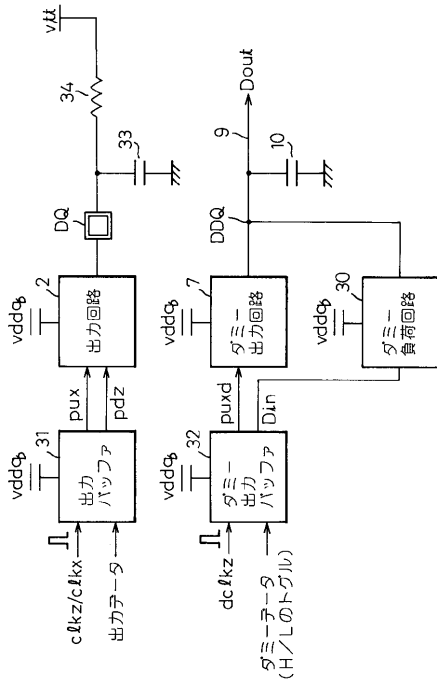
【図5】



【図6】

図6

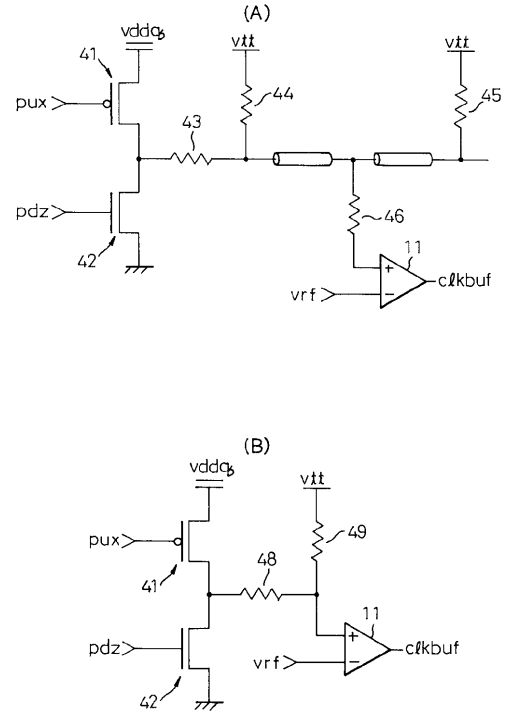
本発明の第2実施例の出力部及びダミー出力部の構成



【図7】

図7

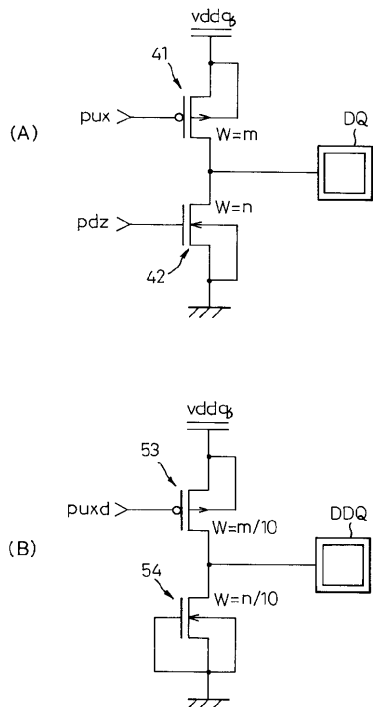
インターフェース回路モデル



【図8】

図8

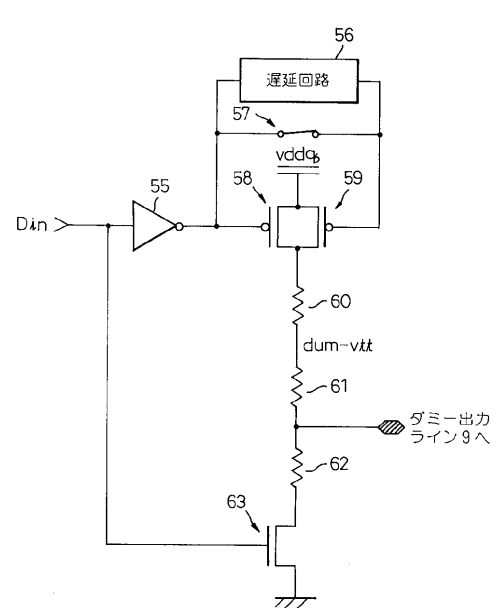
出力回路と第2実施例のダミー出力回路



【図9】

図9

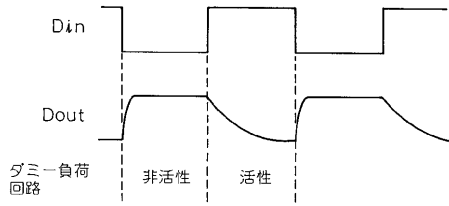
第2実施例のダミー負荷回路



【図10】

図10

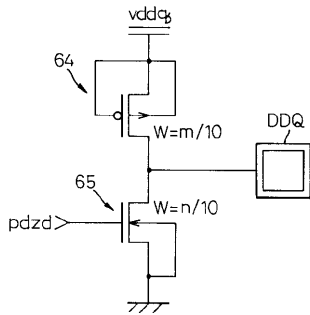
第2実施例の動作波形図



【図11】

図11

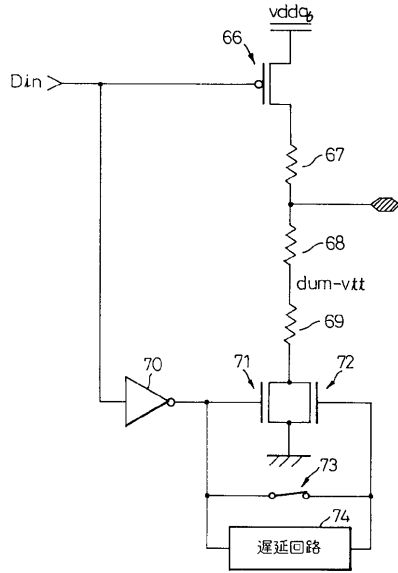
第3実施例のダミー出力回路



【図12】

図12

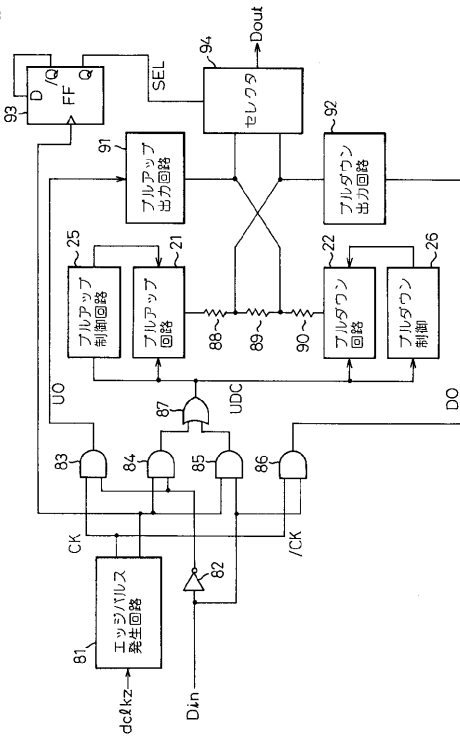
第3実施例のダミー負荷回路



【図13】

図13

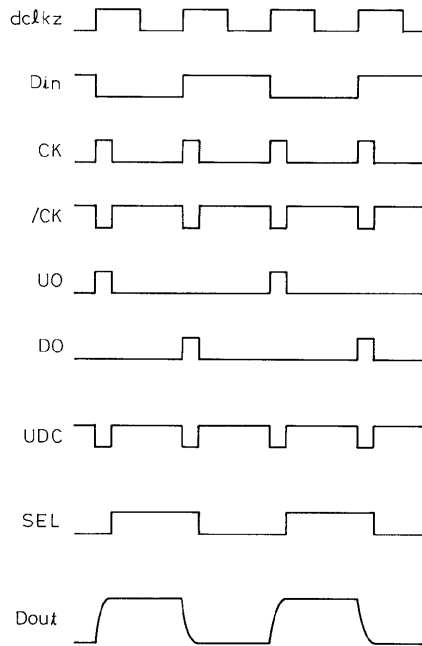
第4実施例のダミーインターフェース回路



【図14】

図14

第4実施例の動作波形図



フロントページの続き

- (72)発明者 谷口 暢孝
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 富田 浩由
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 原 浩太
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 清水 稔

- (56)参考文献 特開2000-231421(JP,A)
特開平10-112182(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03K 5/135