

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5266084号
(P5266084)

(45) 発行日 平成25年8月21日 (2013. 8. 21)

(24) 登録日 平成25年5月10日 (2013. 5. 10)

(51) Int. Cl.		F I			
H03K	17/08	(2006.01)	H03K	17/08	C
H03K	17/687	(2006.01)	H03K	17/687	A
H02M	1/00	(2007.01)	H02M	1/00	H

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2009-33670 (P2009-33670)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年2月17日 (2009. 2. 17)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(65) 公開番号	特開2010-193034 (P2010-193034A)	(74) 代理人	100103894 弁理士 冢入 健
(43) 公開日	平成22年9月2日 (2010. 9. 2)	(72) 発明者	中原 明宏 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
審査請求日	平成24年1月27日 (2012. 1. 27)	審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 過電流保護回路

(57) 【特許請求の範囲】

【請求項 1】

負荷に供給する電流に応じた検出電流を生成する検出用トランジスタと、
第 1 の制御信号に基づいて第 1 の基準電流を生成する第 1 の電流源トランジスタと、
前記第 1 の制御信号と異なる電位を有する第 2 の制御信号に基づいて第 2 の基準電流を生成する第 2 の電流源トランジスタと、
前記第 1 の基準電流と、前記第 2 の基準電流と、前記検出電流と、に基づいて過電流検出信号を出力するカレントミラー回路と、
前記第 1 の制御信号と前記第 2 の制御信号とを生成する参照電圧生成回路と、を備え、
前記参照電圧生成回路は、
高電位側接続点と低電位側接続点との間に接続され、これらの間に定電圧を供給するツェナーダイオードと、

前記高電位側接続点と前記低電位側接続点との間に接続された、前記第 1 の制御信号を出力する第 1 の出力端子と、前記第 2 の制御信号を出力する第 2 の出力端子と、前記第 1 の出力端子と前記第 2 の出力端子との間に接続された第 1 の抵抗と、を備え、

前記第 1 の出力端子と前記第 2 の出力端子との間の電位差は、前記定電圧に基づいて生成される過電流保護回路。

【請求項 2】

前記高電位側接続点と前記ツェナーダイオードとの間に電圧調整用トランジスタをさらに備えた請求項 1 に記載の過電流保護回路。

【請求項 3】

前記ツェナーダイオードと前記低電位側接続点との間に温度調整用ダイオードをさらに備えた請求項 1 又は 2 に記載の過電流保護回路。

【請求項 4】

前記低電位側接続点は、定電流源を介して接地電圧端子に接続されている請求項 1 乃至 3 のいずれか 1 項に記載の過電流保護回路。

【請求項 5】

前記カレントミラー回路は、
前記第 1 の電流源トランジスタと直列に接続された第 1 のミラートランジスタと、
前記第 2 の電流源トランジスタと直列に接続された第 2 のミラートランジスタと、
前記第 1 の電流源トランジスタと前記第 1 のミラートランジスタを介して直列に接続された第 2 の抵抗と、を備え、

前記過電流検出信号は、前記第 1 の電流源トランジスタと前記第 1 のミラートランジスタとの間の接続点、または、前記第 2 の電流源トランジスタと前記第 2 のミラートランジスタとの間の接続点から出力される請求項 1 乃至 4 のいずれか 1 項に記載の過電流保護回路。

10

【請求項 6】

前記第 1 の電流源トランジスタと前記第 2 の電流源トランジスタとは、相互に同一サイズであり、前記第 1 のミラートランジスタと前記第 2 のミラートランジスタとは、相互に同一サイズである請求項 5 に記載の過電流保護回路。

20

【請求項 7】

前記高電位側接続点と前記低電位側接続点との間に直列に接続された第 3 のミラートランジスタおよび第 3 の抵抗と、

前記高電位側接続点と前記第 1 の抵抗との間に接続され、前記第 3 のミラートランジスタを流れる電流に応じた電流が流れる第 4 のミラートランジスタと、をさらに備えた請求項 1 乃至 6 のいずれか 1 項に記載の過電流保護回路。

【請求項 8】

前記高電位側接続点と前記低電位側接続点との間に接続され、前記第 1 の出力端子の電圧に基づいて前記第 1 の制御信号を生成し、前記第 2 の出力端子の電圧に基づいて前記第 2 の制御信号を生成するバイアス生成回路をさらに備えた請求項 1 乃至 7 のいずれか 1 項に記載の過電流保護回路。

30

【請求項 9】

前記過電流検出信号に基づいて、負荷に供給する電流が流れる出力トランジスタのゲート電圧を制御する制御用トランジスタをさらに備えた請求項 1 乃至 8 のいずれか一項に記載の過電流保護回路。

【請求項 10】

前記制御用トランジスタは、前記出力トランジスタのゲート端子とソース端子との間に接続され、当該制御用トランジスタのゲート端子に前記過電流検出信号が供給される請求項 9 に記載の過電流保護回路。

【請求項 11】

前記制御用トランジスタのゲート端子に陰極端子が接続され、前記出力トランジスタのソース端子に陽極端子が接続された第 2 のツェナーダイオードをさらに備えた請求項 10 に記載の過電流保護回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過電流保護回路に関するものであり、特に電流検出の精度を高める技術に関する。

【背景技術】

【0002】

50

近年、自動車等の車両では、ランプ負荷やモーター負荷の駆動スイッチ素子として、制御回路を備えたパワーMOSFET、つまりIPD (Intelligent Power Device) が車両の電子制御システムの中で用いられている。これらの負荷とIPDとを備えたシステムにおいて、例えば、電子制御システムのターミナル部でのターミナルショートや、配線ショート、負荷ショート等の異常が発生した場合、配線 (ワイヤハーネス) 及びIPDを構成するパワーMOSFETに過電流が流れて損傷する可能性がある。そのため、IPDの制御回路として、過電流を検出してパワーMOSFETをオフする回路 (過電流保護回路) を備えることが一般的である。ここで、負荷及びパワーMOSFETを安全に保護するために、高精度の過電流保護回路が求められている。

【 0 0 0 3 】

近年の過電流保護回路に関する技術として、例えば、特許文献1に示すような回路が提案されている。図7に、特許文献1に記載された過電流検出回路 (過電流保護回路) を用いた負荷駆動回路を示す。図7に示す回路は、電源101から負荷102への電源供給をON/OFF切替するための出力MOSトランジスタMQ1を備えている。この出力MOSトランジスタ (パワーMOSFET) MQ1のドレイン端子は電源101からの入力端子103に接続される。また、出力MOSトランジスタMQ1のソース端子は負荷102への出力端子104に接続される。さらに、出力MOSトランジスタMQ1のゲート端子は、出力MOSトランジスタMQ1をON/OFF切替するための制御信号を出力する (制御電圧を印加する) 制御回路105に接続されている。負荷102は、グランド106 (例えば車両のフレームなど) に接続されている。

【 0 0 0 4 】

また、図7に示す回路は、出力MOSトランジスタMQ1と構造相似な (デイメンジョンのみが異なり、単位チャネル幅当たりの特性が等しい) 電流検出用MOSトランジスタMQ2を備えている。この電流検出MOSトランジスタMQ2と出力MOSトランジスタMQ1とは各々のドレイン端子が入力端子103に共通接続されているとともに、各々のゲート端子が制御回路105に共通接続されている。また、図7に示す回路は、電流検出用MOSトランジスタMQ2と出力MOSトランジスタMQ1との双方のソース端子の間に直列接続された電流検出用抵抗MRSを備えている。

【 0 0 0 5 】

また、図7に示す回路は、カレントミラーを構成するMOSトランジスタMQ3、MQ4を備えている。MOSトランジスタMQ3のソース端子は、検出抵抗MRSと電流検出用MOSトランジスタMQ2との接続点107に接続されている。さらにMOSトランジスタMQ3のゲート端子とドレイン端子とは接続点111にて共通接続されていると共に、MOSトランジスタ109のドレイン端子に接続されている。他方、MOSトランジスタMQ4のソース端子は、出力MOSトランジスタMQ1のソース端子と検出抵抗MRSとの接続点108に接続されている。さらに、MOSトランジスタMQ4のゲート端子は接続点111に共通接続されている。加えて、MOSトランジスタMQ4のドレイン端子は、接続点112を介してMOSトランジスタ110のドレイン端子に接続されている。MOSトランジスタ109、110のゲート端子はバイアス信号の供給源に共通接続する一方で、それらのソース端子は入力端子103に共通接続されている。過電流検出信号は、接続点112から取り出される。

【 0 0 0 6 】

ここで、何らかの原因で、負荷102を接続する配線が外れて車両のフレームにショートしたり、電子制御システムのターミナルで端子104がグランド端子に接触したりした場合を考える。この場合、出力MOSトランジスタMQ1を介して電源101 - グランド106間がショートし、出力MOSトランジスタMQ1に過電流が流れる異常状態を示す。このような異常状態が発生した場合には、出力MOSトランジスタMQ1をOFF状態に切り替えたり、あるいは出力MOSトランジスタMQ1に流れる電流を抑制したりすることにより、出力MOSトランジスタMQ1を保護する必要がある。このような過電流検出の動作について以下に簡単に説明する。

10

20

30

40

50

【0007】

電源電圧端子101から負荷102に供給される電源電圧は、MQ1によりON/OFF切替が制御される。つまり、制御回路105から出力された制御信号によって、MQ1のソース-ドレイン間の接続が制御される。MQ1とMQ2は構造相似であるため、MQ1に流れる電流が大きくなると(例えば10A)、MQ1とMQ2の相似比(例えば、10000:1)に基づいて、MQ2に流れる電流も大きくなる(例えば10A/10000=1mA)。それにより、接続点107の電位 V_s 及び接続点111の電位 V_1 は上昇する。したがって、MQ4のドレイン-ソース間を流れる電流は大きくなる。なお、MQ3とMQ4は構造相似である。

【0008】

このMQ4のソース-ドレイン間を流れる電流が、MOSトランジスタ110によって設定されたしきい値電流 I_{ref2} (例えば50 μ A)を越える場合には、接続点112を経由して出力される過電流検出信号がハイレベルからロウレベルに反転するため、過電流状態であると判定することができる。他方、MQ1に流れる電流が小さい場合には、MQ4がオンして流れる電流はしきい値電流 I_{ref2} よりも小さくなる。このとき、接続点112を経由して出力される過電流検出信号はハイレベルの状態を維持するため、過電流状態ではないと判定することができる。

【0009】

ここで、図7に示す回路の場合、過電流かどうかを判定する基準となる基準電流(例えば I_{ref2})と、出力MOSトランジスタMQ1を流れる電流と、に基づいて過電流を検出するために、各トランジスタ(例えば、MQ3、MQ4、MOSトランジスタ109、110)のサイズを調整する必要がある。つまり、互いに構造相似なトランジスタであってもそれぞれのサイズが異なる。そのため、各トランジスタの製造過程における特性ばらつきや、周囲の温度条件による特性ばらつきを抑制することができない。また、抵抗素子MRSが温度条件により特性が変化する。それにより、高精度の過電流検出ができないという問題があった。さらに、精度の高いバイアス信号を供給する必要もあった。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2005-39573号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

上述のように、従来の過電流保護回路では、構成素子の特性ばらつき等により高精度の過電流検出ができないという問題があった。

【課題を解決するための手段】

【0012】

本発明にかかる過電流保護回路は、負荷(本発明の実施の形態1における負荷2)に供給する電流に応じた検出用電流を生成する検出用トランジスタ(本発明の実施の形態1における検出用MOSトランジスタQ2)と、第1の制御信号に基づいて第1の基準電流を生成する第1の電流源トランジスタ(本発明の実施の形態1におけるトランジスタ9)と、第1の制御信号と異なる第2の制御信号に基づいて第2の基準電流を生成する第2の電流源トランジスタ(本発明の実施の形態1におけるトランジスタ10)と、前記第1の基準電流と、前記第2の基準電流と、前記検出用電流と、に基づいて過電流検出信号を出力するカレントミラー回路と、前記第1の制御信号と前記第2の制御信号とを生成する参照電圧生成回路(本発明の実施の形態1における参照電圧生成回路18)と、を備え、前記参照電圧生成回路は、前記第1の制御信号を出力する第1の出力端子と、前記第2の制御信号を出力する第2の出力端子と、の間に設けられた第1の抵抗(本発明の実施の形態1における抵抗素子21)と、前記第1の抵抗と並列に接続された第1のツェナーダイオード(本発明の実施の形態1におけるツェナーダイオード37)と、を備える。

10

20

30

40

50

【 0 0 1 3 】

上述のような回路構成により、高精度の過電流検出が可能である。

【 発明の効果 】

【 0 0 1 4 】

本発明により、高精度の過電流検出が可能な過電流保護回路を提供することができる。

【 図面の簡単な説明 】

【 0 0 1 5 】

【 図 1 】 本発明の実施の形態 1 にかかる過電流保護回路を示す図である。

【 図 2 】 本発明の実施の形態 2 にかかる過電流保護回路を示す図である。

【 図 3 】 本発明の実施の形態 3 にかかる過電流保護回路を示す図である。

【 図 4 】 本発明の実施の形態 4 にかかる過電流保護回路を示す図である。

【 図 5 】 本発明の実施の形態 5 にかかる過電流保護回路を示す図である。

【 図 6 】 本発明の実施の形態 6 にかかる過電流保護回路を示す図である。

【 図 7 】 従来 of 過電流検出回路を示す図である。

【 発明を実施するための形態 】

【 0 0 1 6 】

以下では、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。各図面において、同一要素には同一の符号が付されており、説明の明確化のため、必要に応じて重複説明は省略される。

【 0 0 1 7 】

発明の実施の形態 1

本発明の実施の形態 1 について図面を参照して説明する。図 1 に示すように、本発明の実施の形態 1 における過電流保護回路は、負荷 2 に供給される過電流を保護するための回路である。

【 0 0 1 8 】

まず、図 1 に示す回路の構成について説明する。図 1 に示す回路は、負荷 2 と、電圧制御回路 5 と、定電流を出力するトランジスタ（第 1 の電流源トランジスタ）9 と、定電流を出力するトランジスタ（第 2 の電流源トランジスタ）10 と、出力 MOS トランジスタ Q1 と、検出用 MOS トランジスタ（検出用トランジスタ）Q2 と、トランジスタ（第 1 のミラートランジスタ）Q3 と、トランジスタ（第 2 のミラートランジスタ）Q4 と、抵抗素子（第 2 の抵抗）RS と、バイアス生成回路 19 と、参照電圧生成回路 18 と、を備える。バイアス生成回路 19 は、さらにトランジスタ 25 と、トランジスタ 26 と、トランジスタ 27 と、トランジスタ 28 と、を有する。ここで、図 1 の回路は、電源電圧端子 1 から負荷 2 に電源電圧を供給する際、出力 MOS トランジスタ Q1 のドレイン - ソース間に流れる電流に基づいて過電検出する機能を有する。なお、本発明の実施の形態においては、トランジスタ 9 と、トランジスタ 10、トランジスタ 27、トランジスタ 28 とが、Pチャネル型 MOS トランジスタの場合を例に説明する。また、本発明の実施の形態においては、出力 MOS トランジスタ Q1 と、検出用 MOS トランジスタ Q2 と、トランジスタ Q3 と、トランジスタ Q4 と、トランジスタ 25、トランジスタ 26 とが、Nチャネル型 MOS トランジスタの場合を例に説明する。また、便宜上、電源電圧端子 1 に供給される電圧を電源電圧 1 と称す。また、接地電圧端子 6 に供給される電圧を接地電圧 6 と称す。

【 0 0 1 9 】

図 1 に示す回路において、出力 MOS トランジスタ Q1 は、電源電圧端子 1 から負荷 2 への電源供給を ON / OFF 切替する。この出力 MOS トランジスタ Q1 のドレイン端子は、電源電圧端子 1 からの高電位側接続端子 3 に接続される。出力 MOS トランジスタ Q1 のソース端子は、負荷 2 への低電位側接続端子 4 に接続される。さらに、出力 MOS トランジスタ Q1 のゲート端子は、出力 MOS トランジスタ Q1 を ON / OFF 切替するための制御信号を出力する（制御電圧を印加する）電圧制御回路 5 の出力端子に接続される。負荷 2 は、接地電圧端子 6（例えば車両のフレームなど）に接続される。

10

20

30

40

50

【 0 0 2 0 】

検出用MOSトランジスタQ2は、出力MOSトランジスタMQ1と構造相似な(ディメンジョンのみが異なり、単位チャネル幅当たりの特性が等しい)素子により構成される。この検出用MOSトランジスタQ2のドレイン端子は、高電位側接続端子3に接続される。検出用MOSトランジスタQ2のゲート端子は、電圧制御回路5の出力端子に接続される。また、検出用MOSトランジスタQ2のソース端子と出力MOSトランジスタQ1のソース端子との間に抵抗素子RSが直列に接続される。

【 0 0 2 1 】

トランジスタQ3とトランジスタQ4とは互いにカレントミラーを構成している。具体的には、トランジスタQ3のソース端子は、抵抗素子RSの一方の端子と検出用MOSトランジスタQ2のソース端子との接続点7に接続される。トランジスタQ3のゲート端子とドレイン端子とは接続点11において共通接続される。さらに、接続点11にはトランジスタ9のドレイン端子が共通接続される。他方、トランジスタQ4のソース端子は、出力MOSトランジスタQ1のソース端子と抵抗素子RSの他方の端子との接続点8に共通接続される。さらに、トランジスタQ4のゲート端子は、接続点11に共通接続される。加えて、トランジスタQ4のドレイン端子は、接続点12を介してトランジスタ10のドレイン端子に接続される。トランジスタ9のソース端子とトランジスタ10のソース端子は、それぞれ高電位側接続端子3に共通接続される。過電流検出信号OCは、接続点12から取り出される。

【 0 0 2 2 】

なお、トランジスタQ3とトランジスタQ4とは、互いに同一サイズの素子により構成される。なお、同一サイズとは、同一サイズにより設計されたものであって、製造過程における製造ばらつきや温度特性のばらつき等が略同一であるものをいう(以下、特に断りがない限り、同一サイズと称す)。トランジスタ9とトランジスタ10とは、互いに同一サイズの素子により構成される。また、トランジスタ9とトランジスタ27とは互いに構造相似である。同様に、トランジスタ10とトランジスタ28とは互いに構造相似である。

【 0 0 2 3 】

バイアス生成回路19において、トランジスタ27及びトランジスタ25から構成される直列回路は、トランジスタ9のゲート端子にバイアス信号1を供給する。また、トランジスタ28及びトランジスタ26から構成される直列回路は、トランジスタ10のゲート端子にバイアス信号2を供給する。

【 0 0 2 4 】

トランジスタ9のゲート端子は、トランジスタ27のゲート端子と、トランジスタ27のドレイン端子との接続点34に接続される。また、トランジスタ10のゲート端子は、トランジスタ28のゲート端子と、トランジスタ28のドレイン端子との接続点35に接続される。トランジスタ9のソース端子と、トランジスタ10のソース端子と、トランジスタ27のソース端子と、トランジスタ28のソース端子とは、それぞれ高電位側接続端子3に共通接続される。

【 0 0 2 5 】

トランジスタ25のドレイン端子は、接続点34に共通接続される。トランジスタ26のドレイン端子は、接続点35に共通接続される。トランジスタ25のソース端子と、トランジスタ26のソース端子とは、それぞれ接続点29に共通接続される。トランジスタ25のゲート端子は、接続点33に接続される。トランジスタ26のゲート端子は、接続点32に接続される。接続点32と接続点33の間には電位差VRを有する参照電圧VRが与えられる。

【 0 0 2 6 】

参照電圧生成回路18は、抵抗素子(第3の抵抗)20と、抵抗素子(第1の抵抗)21と、トランジスタ(第3のミラートランジスタ)22と、トランジスタ(第4のミラートランジスタ)23と、トランジスタ24と、ツェナーダイオード(第1のツェナーダイ

10

20

30

40

50

オード) 37と、定電流源36と、を有する。本発明の実施の形態においては、トランジスタ22と、トランジスタ23とが、Pチャネル型MOSトランジスタの場合を例に説明する。また、トランジスタ24がNチャネル型MOSトランジスタの場合を例に説明する。なお、抵抗素子20と抵抗素子21とは互いに単位長あたりの特性が同一の素子により構成されている。

【0027】

参照電圧生成回路18において、トランジスタ22と抵抗素子20とが、主電流経路上に直列に接続される。具体的には、トランジスタ22のソース端子が高電位側接続端子3に接続される。トランジスタ22のドレイン端子は、接続点31を介してトランジスタ22のゲート端子と抵抗素子20の一方の端子とに接続される。抵抗素子20の他方の端子は、接続点29に共通接続される。さらに、接続点31はトランジスタ23のゲート端子に接続される。

10

【0028】

トランジスタ23と抵抗素子21とトランジスタ24とが、主電流経路上に直列に接続される。具体的には、トランジスタ23のソースが高電位側接続端子3に接続される。トランジスタ23のドレイン端子は、接続点32を介してトランジスタ26のゲート端子と抵抗素子21の一方の端子に接続される。抵抗素子21の他方の端子は、接続点33を介して、トランジスタ24のドレイン端子と、トランジスタ24のゲート端子と、トランジスタ25のゲート端子とに接続される。トランジスタ24のソース端子は、接続点29に共通接続される。なお、接続点32と接続点33との間には、との間には電位差VRを有する参照電圧(参照電圧VR)が与えられる。

20

【0029】

ツェナーダイオード37の陰極端子は、高電位側接続端子3に接続される。ツェナーダイオード37の陽極端子は、接続点29に接続される。接続点29は、さらに定電流源36の一方の端子に接続される。定電流源36の他方の端子は、接地電圧端子6に接続される。一般に、本発明の過電流保護回路を備えたIPDが搭載される電子制御システムと、負荷2とは、異なる場所に設置されることが多いため、それぞれの接地電圧は異なる場合が多い。なお、本発明の実施の形態においては、接地電圧端子6から接地電圧が供給される場合を例に説明する。接地電位が異なる場合においても、以下に説明する内容は変わらない。

30

【0030】

次に、図1に示す回路の動作について説明する。出力MOSトランジスタQ1と検出用MOSトランジスタQ2とは相互に相似構造である。ここで、この2つのトランジスタにおいて、ゲート-ソース端子間の電位差とドレイン-ソース間の電位差とが相互に同一であると仮定する。この場合において、検出用MOSトランジスタQ2のドレイン-ソース間には、検出用MOSトランジスタQ2と出力MOSトランジスタQ1との相似比に応じた電流(チャンネル幅の比の電流)が流れる。例えば、出力MOSトランジスタQ1と検出用MOSトランジスタQ2との相似比が1000:1であるとする。このとき、出力MOSトランジスタQ1に流れる電流に対し1/1000の電流が検出用MOSトランジスタQ2に流れる。この電流比の場合、例えば、出力MOSトランジスタQ1のドレイン-ソース間に流れる電流が10Aの場合には、検出用MOSトランジスタQ2のドレイン-ソース間に流れる電流は10mAである。

40

【0031】

ただし、実際には、図1に示す回路は抵抗素子RSを備えている。したがって、検出用MOSトランジスタQ2のドレイン-ソース間の電流は、上記の電流比と比較して、抵抗素子RSによる電圧降下に応じた誤差が生じる。このため、本実施例の形態においては、高精度の過電流保護動作を実現するために、検出用抵抗RSの電圧降下を極力小さい値(例えば0.1V以下)に設定することが望ましい。

【0032】

例えば、抵抗素子RSとして、5程度の抵抗を使用することにより、検出用抵抗RS

50

の電圧降下は0.05Vに設定できる。また、抵抗素子RSとしてAL抵抗を用いることにより、抵抗値の製造上の公差を小さくすることができる。つまり、過電流検出の精度を高めることができる。

【0033】

図1に示す回路は、前述のようにトランジスタQ3とトランジスタQ4とは互いに同一サイズの素子である。また、トランジスタQ3のソースに抵抗素子RSを備えているため、トランジスタQ3とトランジスタQ4とは相互にソース電位が異なる。したがって、トランジスタQ3のドレイン-ソース間と、トランジスタQ4のドレイン-ソース間と、にそれぞれ異なる電流を流すことによって、所望の電流値で過電流検出の判定を行うことができる。そこで、トランジスタ10のゲート端子に印加される電圧(第2の制御信号)に基づいて電流(第2の基準電流)Iref2を制御する。また、トランジスタ9のゲート端子に印加される電圧(第1の制御信号)に基づいて電流(第1の基準電流)Iref1を制御する。それにより、例えば、電流Iref1と電流Iref2とが、 $Iref2 > Iref1$ を示すように調整することができる。

10

【0034】

なお、トランジスタ9とトランジスタ27とはカレントミラー接続されている。そのため、トランジスタ9には、トランジスタ27のドレイン-ソース間に流れる電流に比例した電流Iref1が流れる。また、トランジスタ10とトランジスタ28とはカレントミラー接続されている。そのため、トランジスタ10には、トランジスタ28のドレイン-ソース間に流れる電流に比例した電流Iref2が流れる。

20

【0035】

さらに、接続点34の電位は、トランジスタ27のオン抵抗と、トランジスタ25のオン抵抗に基づいて決定される。この接続点34の電位がトランジスタ9、27のゲート端子に印加される。また、接続点35の電位は、トランジスタ28のオン抵抗と、トランジスタ26のオン抵抗に基づいて決定される。この接続点35の電位がトランジスタ10、28のゲート端子に印加される。

【0036】

ここで、バイアス生成回路19において、トランジスタ26のゲート端子には、トランジスタ25よりも参照電圧VRだけ高い電位が供給される。つまり、トランジスタ26のオン抵抗はトランジスタ25のオン抵抗よりも小さくなる。したがって、接続点35の電位は接続点34の電位よりも小さくなる。これにより、 $Iref2 > Iref1$ を満足することができる。つまり、参照電圧VRに基づいて電流Iref1と電流Iref2とを調整することができる。

30

【0037】

まず、電圧制御回路5からのOFF制御により出力MOSトランジスタQ1のドレイン-ソース間に電流が流れていない場合について考える。この場合、検出用MOSトランジスタQ2のドレイン-ソース間にも電流が流れない。したがって、接続点7の電位Vsは上昇しない。また、接続点11の電位V1も上昇しない。そのため、トランジスタQ4のドレイン-ソース間には電流が流れない。よって、接続点12からハイレベルの過電流検出信号が出力される。これにより、出力MOSトランジスタQ1を流れる電流は過電流状態ではないと判定することができる。

40

【0038】

次に、電圧制御回路5からのON制御により出力MOSトランジスタQ1のドレイン-ソース間に電流が流れている場合で、かつ、ショートなどが発生していない正常状態の場合について考える。この場合、出力MOSトランジスタQ1のドレイン-ソース間には6Aの正常電流が流れるものと仮定する。また、出力MOSトランジスタQ1のドレイン-ソース間に10Aを越える電流が流れた場合には、過電流が流れる異常状態であると判定するものと仮定する。

【0039】

まず、出力MOSトランジスタQ1のドレイン-ソース間に正常電流(例えば、6A)

50

が流れる。この場合には、検出用MOSトランジスタQ2のドレイン-ソース間には、相似比に応じて例えば6mAの電流が流れる。そのため、接続点7の電位Vsおよび接続点11の電位V1は上昇する。したがって、トランジスタQ4のドレイン-ソース間には電流が流れる。しかし、この電流はトランジスタ10のドレイン-ソース間に流れる電流Iref2（例えば、50uA）には達しない。したがって、接続点12からハイレベルの過電流検出信号が出力される。これにより、出力MOSトランジスタQ1を流れる電流は過電流状態ではないと判定することができる。

【0040】

これらに対し、例えば、ショートなどの異常が発生し、出力MOSトランジスタQ1のドレイン-ソース間に10Aを越える過電流（例えば11A）が流れる場合について考える。この場合には、検出用MOSトランジスタQ2のドレイン-ソース間には、相似比に応じて、11mAの電流が流れる。また、接続点7の電位Vsおよび接続点11の電位V1は上昇する。それにより、トランジスタQ4のドレイン-ソース間には電流（例えば、55uA）が流れる。このとき、この電流はトランジスタ10のドレイン-ソース間に流れる電流Iref2（例えば、50uA）を超える。よって、過電流検出信号がハイレベルからロウレベルに反転する。これにより、出力MOSトランジスタQ1を流れる電流は過電流状態と判定することができる。

【0041】

ここで、過電流検出値Ioc（接続点12から出力される過電流検出信号の電流値）は、以下の（式1）で表すことができる。

$$I_{oc} = \frac{A}{R_s} \cdot \left(\sqrt{B \cdot \frac{\left(\frac{W_3}{L_3}\right)}{\left(\frac{W_4}{L_4}\right)} - 1} \right) \cdot (V_{gs1} - V_t) = \frac{A}{R_s} \cdot (\sqrt{B} - 1) \cdot (V_{gs1} - V_t) \dots (1)$$

（式1）において、Aは（出力MOSトランジスタQ1のチャンネル幅）/（検出用MOSトランジスタQ2のチャンネル幅）を示す。RSは抵抗素子RSの抵抗値を示す。Bは（Iref2/Iref1）を示す。L3はトランジスタQ3のチャンネル長を示す。W3はトランジスタQ3のチャンネル幅を示す。L4はトランジスタQ4のチャンネル長を示す。W4はトランジスタQ4のチャンネル幅を示す。Vgs1はトランジスタQ3のゲート-ソース間電圧を示す。VtはトランジスタQ3及びトランジスタQ4の物性Vt（MOSしきい値）を示す。

【0042】

また、Vgs1に関しては、以下の（式2）が成立する。

$$V_{gs1} \propto \sqrt{(I_{ref1})} \dots (2)$$

【0043】

つまり、（式1）および（式2）から、以下の（式3）が成立する。

$$I_{oc} \propto V_{gs1} \propto \sqrt{(I_{ref1})} \dots (3)$$

すなわち、過電流検出値Iocは、Iref1の製造上の公差を1/2乗に抑制することができる。

【0044】

ここで、トランジスタQ3とトランジスタQ4とは相互に同一サイズの素子により構成される。また、トランジスタ9とトランジスタ10とは相互に同一サイズの素子により構成される。したがって、製造過程における特性のばらつきや、周囲の温度条件による特性ばらつきの影響を互いに抑制（相殺）することが可能である。したがって、従来技術に比べてより精度の高い過電流検出が可能である。

【0045】

なお、（式1）は参照電圧VRを使って、次式で簡単に表すことができる。

10

20

30

40

50

$$I_{oc} = A \cdot \frac{V_R}{R_S} \dots (4)$$

【 0 0 4 6 】

(式4)が成り立つことは、次のように考えることによって導き出すことができる。なお、簡単のため、トランジスタ25、26、Q3、Q4およびトランジスタ27、28、9、10において、同じチャネル形式のトランジスタ(例えば、Nチャネル型MOSトランジスタ、あるいはPチャネル型MOSトランジスタ)は、それぞれ実質的に同一サイズの素子により形成されているものと仮定する。

【 0 0 4 7 】

トランジスタ27とトランジスタ9とはカレントミラー接続されている。したがって、トランジスタ25のドレイン-ソース間と、トランジスタQ3のドレイン-ソース間とは、実質的に同じ値の電流が流れる。また、トランジスタ28とトランジスタ10とはカレントミラー接続されている。したがって、抵抗素子RSの電圧降下が参照電圧VRと等しくなった場合に、トランジスタ26のドレイン-ソース間と、トランジスタQ4のドレイン-ソース間とは、実質的に同じ値の電流が流れる。

【 0 0 4 8 】

このとき、トランジスタ9、10、Q3、Q4、抵抗素子RSによって構成される電流検出コンパレータが平衡状態を示す。つまり、接続点12から出力される過電流検出信号OCは、この平衡状態における休止点を示す。なお、休止点とは過電流検出のしきい値電流値を示す。例えば、高電位側接続端子3の電位をVDD、接地電圧端子6の電位を接地電位とした場合、休止点は例えば1/2×VDDを示す。

【 0 0 4 9 】

つまり、バイアス生成回路19における参照電圧VRに基づいて、トランジスタ9、10、Q3、Q4、抵抗素子RSから構成される電流検出コンパレータを平衡状態に調整することが可能である。すなわち、参照電圧VRに基づいて過電流検出におけるしきい値電流を調整することが可能である。

【 0 0 5 0 】

このように、本発明の実施の形態に示す過電流保護回路は、トランジスタQ3とトランジスタQ4とが相互に同一サイズの素子により構成される。また、トランジスタ9とトランジスタ10とが相互に同一サイズの素子により構成される。したがって、過電流検出値Iocは、トランジスタ9とトランジスタ10との製造上の公差及び温度に対して感じない。同様に、過電流検出値Iocは、トランジスタQ3とトランジスタQ4との製造上の公差及び温度に対して感じない。つまり、製造過程における特性のばらつきや、周囲の温度条件による特性ばらつきの影響を互いに抑制(相殺)することが可能である。

【 0 0 5 1 】

また、トランジスタ9のゲート端子に印加されるバイアス信号1と、及びトランジスタ10のゲート端子に印加されるバイアス信号2には、それぞれ異なる電位を設定することができる。したがって、トランジスタ9とトランジスタ10とが相互に同一サイズの素子により形成された場合でも、それぞれに流れる電流を異なる電流値に制御することが可能である。つまり、過電流かどうかを判定する基準となる基準電流と、出力MOSトランジスタQ1を流れる電流と、に基づいて過電流を検出するために、各トランジスタのサイズを調整する必要がない。したがって、過電流検出値Iocは、トランジスタ9とトランジスタ10との製造上の公差及び温度に対して感じない。つまり、トランジスタ9とトランジスタ10との製造過程における特性のばらつきや、周囲の温度条件による特性ばらつきの影響を互いに抑制(相殺)することが可能である。それにより、高精度の過電流検出が可能である。

【 0 0 5 2 】

次に、参照電圧生成回路18の動作について説明する。この参照電圧生成回路18は、過電流検出のしきい値を調整するための参照電圧VRを容易に設定することができる。まず、高電位側接続端子3と接続点29の間には、ツェナーダイオード36の降伏電圧Vz

によって定電圧が与えられる。トランジスタ 22 とトランジスタ 23 とはカレントミラー回路を構成する。したがって、抵抗素子 20 に流れる電流に応じた電流が抵抗 21 に流れる。これにより、抵抗素子 21 の両端には参照電圧 V_R が発生する。この参照電圧 V_R は、(式 5) のように表すことができる。

$$V_R = \frac{m \cdot R_{21}}{R_{20}} \cdot (V_z - V_{gs\ 22}) \dots (5)$$

【 0 0 5 3 】

ここで、 R_{21} は抵抗素子 21 の抵抗値を示す。 R_{20} は抵抗素子 20 の抵抗値を示す。 m は $(W_{23} / L_{23}) / (W_{22} / L_{22})$ を示す。 W_{23} はトランジスタ 23 のチャネル幅を示す。 L_{23} はトランジスタ 23 のチャネル長を示す。 W_{22} はトランジスタ 22 のチャネル幅を示す。 L_{22} はトランジスタ 22 のチャネル長を示す。 V_z はツェナーダイオード 37 の降伏電圧を示す。 $V_{gs\ 22}$ はトランジスタ 22 のゲート・ソース間電圧を示す。

10

【 0 0 5 4 】

つまり、参照電圧 V_R は、抵抗素子 20 と抵抗素子 21 との比によって与えられる。ここで、抵抗素子 20 と抵抗素子 21 とは単位長あたりの特性が実質的に同一の素子により構成される。したがって、参照電圧 V_R は、これらの抵抗素子の製造上の公差や温度に対して感じない。つまり、製造過程における特性のばらつきや、周囲の温度条件等による特性のばらつきの影響を互いに抑制(相殺)することが可能である。それにより、高精度の参照電圧 V_R を生成することができる。

20

【 0 0 5 5 】

さらに、降伏電圧が 6 V 程度のツェナーダイオード 36 の場合、ツェナー降伏とアバランシェ降伏が共存した状態を示す。この場合、ツェナーダイオードは、降伏電圧の温度特性および製造上の公差に感じにくい特性を有することが知られている。このような特性を用いることにより、参照電圧 V_R は電源電圧の影響を感じなくなる。すなわち、参照電圧 V_R が電源電圧の影響を感じなくなる。それにより、参照電圧生成回路 18 は高精度な参照電圧 V_R を生成することができる。このことは過電流検出回路において高精度な過電流検出が行われることを意味する。

【 0 0 5 6 】

発明の実施の形態 2

30

本発明の実施の形態 2 について図面を参照して説明する。図 2 に示すように、本発明の実施の形態 2 における過電流保護回路は、負荷 2 に供給される過電流を保護するための回路である。

【 0 0 5 7 】

図 2 に示す回路は、図 1 に示す参照電圧生成回路 18 において、高電位側接続端子 3 とツェナーダイオード 37 の陰極端子との間にトランジスタ(電圧調整用トランジスタ) 38 をさらに有する。なお、本発明の実施の形態では、トランジスタ 38 が P チャネル型 MOS トランジスタである場合を例に説明する。

【 0 0 5 8 】

まず、図 2 に示す回路の構成について説明する。トランジスタ 38 のソース端子は、高電位側接続端子 3 に共通接続される。トランジスタ 38 のドレイン端子は、接続点 39 を介してトランジスタ 38 のゲート端子と、ツェナーダイオード 37 の陰極端子と、に接続される。その他の回路構成及び動作については図 1 に示す回路と同様であるため説明を省略する。

40

【 0 0 5 9 】

ここで、トランジスタ 38 とトランジスタ 22 とは、異なるサイズでも良いが、好ましくは、実質的に同一サイズにより構成されている。このような回路構成により、参照電圧生成回路 18 において参照電圧 V_R を生成する際、トランジスタ 22 のゲート・ソース間電圧を相殺することができる。さらに、トランジスタ 38、22 とは製造過程における特性のばらつきや、周囲の温度条件等による特性のばらつきの影響を互いに抑制(相殺)す

50

る。つまり、ツェナーダイオード37によって生じた電位差を直接抵抗素子20の両端子間に印加することができる。このとき参照電圧VRは、以下の(式6)のように表すことができる。

$$VR = \frac{m \cdot R21}{R20} \cdot Vz \dots (6)$$

【0060】

これにより、参照電圧生成回路18から生成される参照電圧VRがトランジスタ22、23の製造上の公差に対しても感じない。すなわち、過電流検出値が製造上の公差に対して感じない。それにより、高精度の参照電圧VRを生成することができる。

【0061】

発明の実施の形態3

本発明の実施の形態3について図面を参照して説明する。図3に示すように、本発明の実施の形態3における過電流保護回路は、負荷2に供給される過電流を保護するための回路である。

【0062】

図3に示す回路は、図2に示す参照電圧生成回路18において、ツェナーダイオード37の陽極端子と、定電流源36の一方の端子との接続点30と、接続点29との間に縦積みされたn(nは自然数)個のダイオードD1~Dnをさらに有する。

【0063】

まず、図3に示す回路の構成について説明する。n個のダイオードD1~Dnは、全て同一方向に直列接続されている。具体的には、ダイオードD1の陰極端子が接続点30に接続される。ダイオードD1の陽極端子は次段のダイオードD2の陰極端子に接続される。このように接続された後、Dnの陽極端子が端子29に接続される。このときの参照電圧VRは、(式7)のように表すことができる。

$$VR = \frac{m \cdot R21}{R20} \cdot (Vz - n \cdot VF) \dots (7)$$

ここで、nはダイオードの段数、VFはダイオードの順方向電圧を示す。

【0064】

このようにダイオード段D1~Dnを有することにより、参照電圧VRに正の温度依存性を持たせることができる。ここで、検出抵抗RSは一般的に正の温度係数(AL抵抗で6600ppm/)を有する。したがって、例えば、ダイオードDを3~4段縦積みに接続することにより、検出抵抗RSの温度特性を相殺するように調整することができる。すなわち、過電流検出値は検出抵抗RSの温度変化に対して感じないように調整することが可能である。

【0065】

発明の実施の形態4

本発明の実施の形態4について図面を参照して説明する。図4に示すように、本発明の実施の形態4における過電流保護回路は、負荷2に供給される過電流を保護するための回路である。図4に示す回路は、図1に示す回路と比較して、トランジスタQ3、Q4の各ゲート端子が接続点11に接続されていたが、代わりに接続点12に接続される。また、過電流検出信号は接続点12から出力されていたが、代わりに接続点11から出力される。なお、参照電圧生成回路18については図示していない。その他の回路構成は、図1に示す回路の場合と同様であるため説明を省略する。

【0066】

次に、図4に示す回路の動作について説明する。例えば、出力MOSトランジスタQ1のドレイン-ソース間に正常電流(例えば、6A)が流れる。この場合、検出用MOSトランジスタQ2のドレイン-ソース間には、相似比に応じて例えば6mAの電流が流れる。そのため、接続点7の電位Vsが上昇する。

【0067】

一方、接続点12は、トランジスタQ4のドレイン-ソース間の電圧降下に基づいた電

10

20

30

40

50

位を有する。この電圧降下はゲートとドレインが共通接続されたトランジスタQ4と、トランジスタ10のドレイン - ソース間を流れる電流 I_{ref2} と、に基づいた電位となる。この接続点12の電位がトランジスタQ3のゲート端子に供給される。

【0068】

ここで、トランジスタQ3のゲート - ソース間電圧に基づいて、トランジスタQ3のドレイン - ソース間を流れる電流が制御される。例えば、接続点7の電位 V_s が上昇した場合、トランジスタQ3のゲート - ソース間電圧が小さくなる。したがって、トランジスタQ3のドレイン - ソース間を流れる電流は小さくなる。ここで、トランジスタQ3のドレイン - ソース間を流れる電流が、トランジスタ9のドレイン - ソース間を流れる電流 I_{ref1} よりも大きい場合には、接続点11からロウレベルの過電流検出信号が出力される。これにより、出力MOSトランジスタQ1を流れる電流は過電流状態ではないと判定することができる。

10

【0069】

一方、検出用MOSトランジスタQ2のドレイン - ソース間の電流値がさらに上昇した場合（過電流が流れた場合）を考える。この場合、接続点7の電位 V_s がさらに上昇する。そのため、トランジスタQ3のドレイン - ソース間を流れる電流がさらに小さくなる。ここで、トランジスタQ3のドレイン - ソース間を流れる電流が、電流 I_{ref1} よりも小さい場合には、接続点11からハイレベルの過電流検出信号が出力される。これにより、出力MOSトランジスタQ1を流れる電流は過電流状態であると判定することができる。つまり、図4に示す回路は、正常状態においてはロウレベル、過電流検出時にはハイレベルの過電流検出信号を出力する。その他の動作については、図1に示す回路の場合と同様であるため、説明を省略する。このような回路構成により、発明の実施の形態1の場合と同様の効果を得ることができる。

20

【0070】

発明の実施の形態5

次に本発明の実施の形態5について図面を参照して説明する。図5に示すように、本発明の実施の形態5における過電流保護回路は、負荷2に供給される過電流を保護するための回路である。図5に示す回路は、過電流を検出した場合に出力MOSトランジスタQ1を一定の電流値に抑制（電流制限）する過電流保護回路である。また、図5に示す回路は、図4に示す回路と比較して、トランジスタ（制御用トランジスタ）Q5と、ツェナーダイオード（第2のツェナーダイオード）16と、をさらに備える。なお、本発明の実施の形態においては、トランジスタQ5がNチャンネル型MOSトランジスタである場合を例に説明する。なお、参照電圧生成回路18については図示していない。

30

【0071】

トランジスタQ5のソースは、ツェナーダイオード16の陽極端子と共に低電位側接続端子4に接続されている。トランジスタQ5のドレインは、出力MOSトランジスタQ1のゲートと電圧制御回路5の出力端子との接続点に接続されている。トランジスタQ5のゲートはツェナーダイオード16の陰極端子と共に接続点11に接続されている。ツェナーダイオード16は、トランジスタQ3、Q4を過電圧から保護するために備えられる。したがって、トランジスタQ3、Q4は低耐圧構造の素子を用いることができる。それにより、素子面積の削減及び過電流検出精度を向上させることができる。なお、トランジスタQ3、Q4を形成する素子として低耐圧構造の素子を用いない場合には、ツェナーダイオード16は不要である。その他の回路構成は図4の場合と同様であるため説明を省略する。

40

【0072】

次に、図5に示す回路の動作について説明する。なお、接続点11から過電流検出信号が出力されるまでの動作は、図4に示す回路の場合と同様であるため説明を省略する。つまり、出力MOSトランジスタQ1のソース - ドレイン間に正常電流が流れる場合には、接続点11からロウレベルの過電流検出信号が出力される（接続点11の電位が小さくなる）。出力MOSトランジスタQ1のソース - ドレイン間に過電流が流れる場合には、接

50

続点 1 1 からハイレベルの過電流検出信号が出力される（接続点 1 1 の電位が大きくなる）。

【 0 0 7 3 】

図 5 に示す回路は、トランジスタ Q 5 を備えることによりフィードバック系を構成している。したがって、出力 MOS トランジスタ Q 1 に過電流が流れないように安定的に制御することができる。その動作について具体的に説明する。出力 MOS トランジスタ Q 1 のドレイン - ソース間に過電流が流れる場合、接続点 1 1 の電位が上昇する。したがって、MOS トランジスタ Q 5 がより強く導通状態を示す。それにより、出力 MOS トランジスタ Q 1 のゲートに印加される電位が小さくなる。つまり、出力 MOS トランジスタ Q 1 のソース - ドレイン間に流れる電流が小さくなるように制御される。

10

【 0 0 7 4 】

一方、出力 MOS トランジスタ Q 1 のドレイン - ソース間に正常電流が流れる場合、接続点 1 1 の電位が下降する。したがって、MOS トランジスタ Q 5 がより強く非導通状態を示す。それにより、出力 MOS トランジスタ Q 1 のゲートに印加される電位が大きくなる。つまり、出力 MOS トランジスタ Q 1 のドレイン - ソース間が導通状態を示す。このようなフィードバック系の回路構成を採用することにより、出力 MOS トランジスタ Q 1 のドレイン - ソース間に流れる電流を安定的に抑制することができる。

【 0 0 7 5 】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、図 5 に示す回路は、接続点 1 1 から過電流検出信号を出力する回路構成について説明したが、これに限られない。例えば、接続点 1 2 から過電流検出信号を出力するような回路構成の場合でも適用可能である。なお、この場合、トランジスタ Q 3 のゲート及びトランジスタ Q 4 のゲートは、接続点 1 2 には接続されず、代わりに接続点 1 1 に接続される。また、接続点 1 2 と、トランジスタ Q 5 のゲートとツェナーダイオード 1 6 の陰極端子との接続点と、の間に、接続点 1 2 から出力される過電流検出信号を反転する回路を備える必要がある。

20

【 0 0 7 6 】

発明の実施の形態 6

本発明の実施の形態 6 について図面を参照して説明する。図 6 に示すように、本発明の実施の形態 6 における過電流保護回路は、負荷 2 に供給される過電流を保護するための回路である。図 1 に示す回路では、負荷 2 が低電位側接続端子 4 と接地電圧端子 6 との間に設けられていた。しかし、図 6 に示す回路は、代わりに負荷 2 が電源電圧端子 1 と高電位側接続端子 3 との間に設けられている。そして、低電位側接続端子 4 は接地電圧端子 6 に直接接続される。

30

【 0 0 7 7 】

また、図 1 に示す回路では、トランジスタ 9 のソースと、トランジスタ 1 0 のソースと、トランジスタ 2 7 のソースと、トランジスタ 2 8 のソースと、が高電位側接続端子 3 に接続されていた。しかし、図 6 に示す回路は、代わりに高電位側接続端子 1 4 に接続される。そして、高電位側接続端子 1 4 は、電源電圧端子 1 3 に接続される。また、電圧制御回路 5 の代わりにロウサイド用に適した制御電圧を出力する電圧制御回路 1 5 を備える。なお、参照電圧生成回路 1 8 については図示していない。その他の回路構成は、図 1 に示す回路の場合と同様であるため説明を省略する。また、動作についても図 1 に示す回路の場合と同様であるため説明を省略する。このような回路構成により、発明の実施の形態 1 の場合と同様の効果を得ることができる。

40

【 0 0 7 8 】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、図 6 に示す回路は、接続点 1 1 から過電流検出信号を出力する回路構成について説明したが、これに限られない。例えば、接続点 1 2 から過電流検出信号を出力するような回路構成の場合でも適用可能である。なお、この場合、トランジスタ Q 3 のゲート及びトランジスタ Q 4 のゲートは、接続点 1 2 には接続されず、

50

代わりに接続点 11 に接続される。

【0079】

以上のように、本発明の実施の形態に示す過電流保護回路は、トランジスタ Q3 とトランジスタ Q4 とが相互に同一サイズの素子により構成される。また、トランジスタ 9 とトランジスタ 10 とが相互に同一サイズの素子により構成される。したがって、過電流検出値 I_{oc} は、トランジスタ 9 とトランジスタ 10 との製造上の公差及び温度に対して感じない。同様に、過電流検出値 I_{oc} は、トランジスタ Q3 とトランジスタ Q4 との製造上の公差及び温度に対して感じない。つまり、各トランジスタの製造過程における特性のばらつきや、周囲の温度条件による特性ばらつきの影響を互いに抑制（相殺）することが可能である。それにより、高精度の過電流検出が可能である。

10

【0080】

また、参照電圧生成回路 18 において、抵抗素子 20 と抵抗素子 21 とは単位長あたりの特性が実質的に同一の素子により構成される。したがって、参照電圧 V_R は、これらの抵抗素子の製造上の公差や温度に対して感じない。つまり、製造過程における特性のばらつきや、周囲の温度条件等による特性のばらつきの影響を互いに抑制（相殺）することが可能である。それにより、高精度の参照電圧 V_R を生成することができる。

【0081】

さらに、降伏電圧が 6 V 程度のツェナーダイオード 36 の場合、ツェナー降伏とアバランシェ降伏が共存した状態を示す。この場合、ツェナーダイオードは、降伏電圧の温度特性および製造上の公差に感じにくい特性を有することが知られている。このような特性を用いることにより、参照電圧 V_R は電源電圧の影響を感じなくなる。すなわち、参照電圧 V_R が電源電圧の影響を感じなくなる。それにより、参照電圧生成回路 18 は高精度な参照電圧 V_R を生成することができる。

20

【0082】

また、参照電圧生成回路 18 において、ダイオード段 D1 ~ Dn を有することにより、参照電圧 V_R に正の温度依存性を持たせることができる。ここで、検出抵抗 R_S は一般的に正の温度係数（AL 抵抗で 6600 ppm/°C）を有する。したがって、例えば、ダイオード D を 3 ~ 4 段縦積みに接続することにより、検出抵抗 R_S の温度特性を相殺するように調整することができる。すなわち、過電流検出値は検出抵抗 R_S の温度変化に対して感じないように調整することが可能である。

30

【0083】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上記の実施の形態では、トランジスタ Q3、Q4 が N チャネル型 MOS トランジスタの場合を例に説明したがこれに限られない。例えば、トランジスタ Q3、Q4 が NPN 型バイポーラトランジスタの場合でも適用可能である。MOS 構造のトランジスタを使用した場合、その相対精度はチャネル幅とチャネル長の積の平方根に逆比例することが知られている。つまり、MOS トランジスタにおいて相対精度を向上させる場合、面積が増大する可能性がある。一方、バイポーラトランジスタを使用した場合、小さな面積でもより精度の高い相対精度を得ることができる。

【0084】

また、本発明の実施の形態では、バイアス生成回路 19 を備えた場合の例について説明したがこれに限られない。例えば、バイアス生成回路 19 が備えられていない回路構成も適用可能である。その場合、接続点 32 がトランジスタ 10 のゲート端子に直接接続され、接続点 33 がトランジスタ 9 のゲート端子に直接接続される。

40

【0085】

また、本発明の実施の形態では、トランジスタ Q3、Q4 が互いに同一サイズであって、トランジスタ 9、10 が互いに同一サイズである場合の例について説明したがこれに限られない。例えば、抵抗素子 R_S の温度特性のばらつきのみを抑制したい場合には、参照電圧生成回路 18 を備え、トランジスタ Q3、Q4 及びトランジスタ 9、10 がそれぞれ同一サイズでない場合の回路構成も適用可能である。

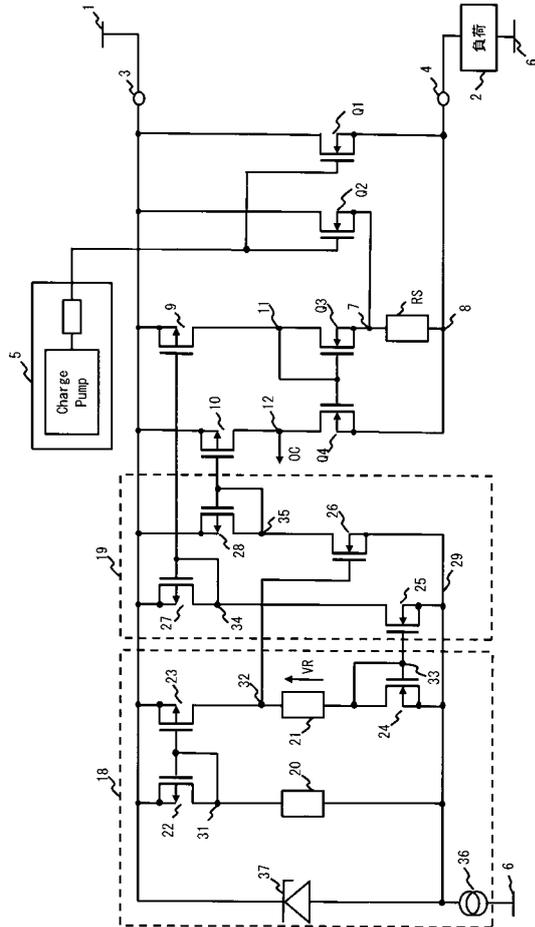
50

【符号の説明】

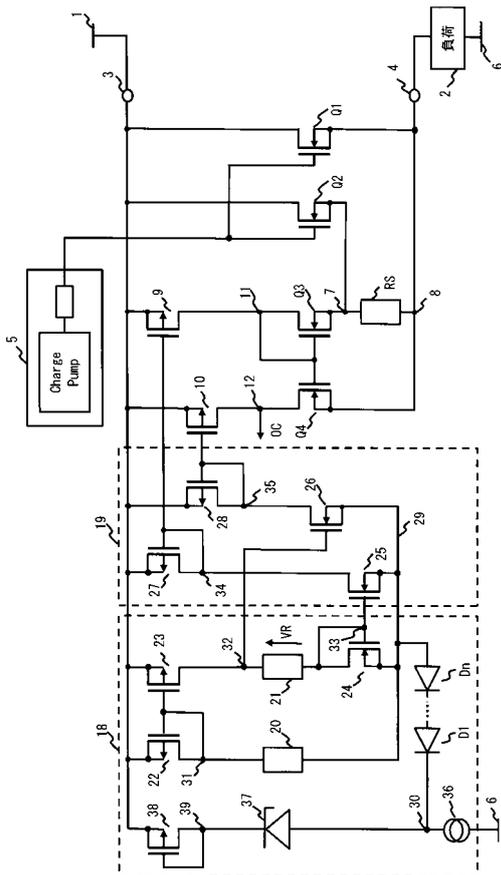
【0086】

1	電源電圧端子	
2	負荷	
3	高電位側接続端子	
4	低電位側接続端子	
5	電圧制御回路	
6	接地電圧端子	
7	接続点	
8	接続点	10
9	トランジスタ	
10	トランジスタ	
11	接続点	
12	接続点	
13	電源電圧端子	
14	高電位側接続端子	
15	電圧制御回路	
16	ツェナーダイオード	
18	参照電圧生成回路	
19	バイアス生成回路	20
20	抵抗素子	
21	抵抗素子	
22	トランジスタ	
23	トランジスタ	
24	トランジスタ	
25	トランジスタ	
26	トランジスタ	
27	トランジスタ	
28	トランジスタ	
29	接続点	30
30	接続点	
31	接続点	
32	接続点	
33	接続点	
34	接続点	
35	接続点	
36	定電流源	
37	ツェナーダイオード	
38	トランジスタ	
39	接続点	40
D	ダイオード	
Q1	出力MOSトランジスタ	
Q2	検出用MOSトランジスタ	
Q3	トランジスタ	
Q4	トランジスタ	
Q5	トランジスタ	
RS	抵抗素子	

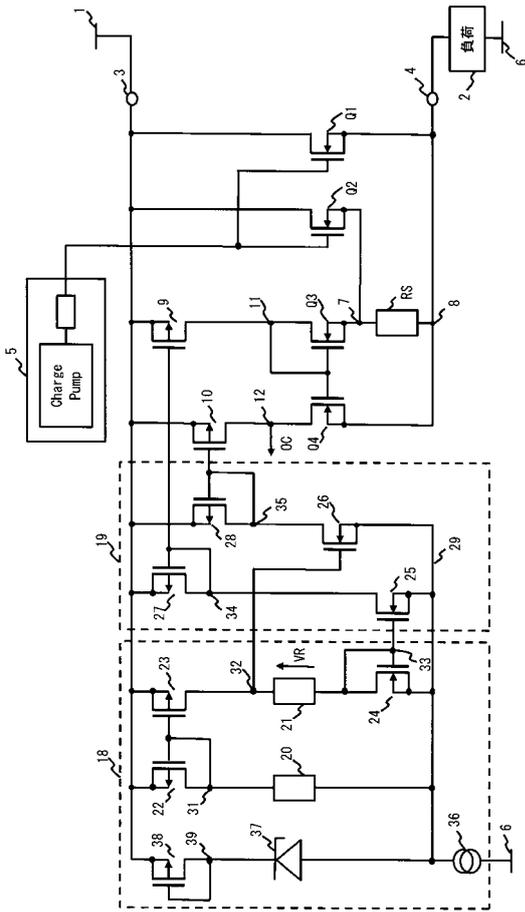
【図1】



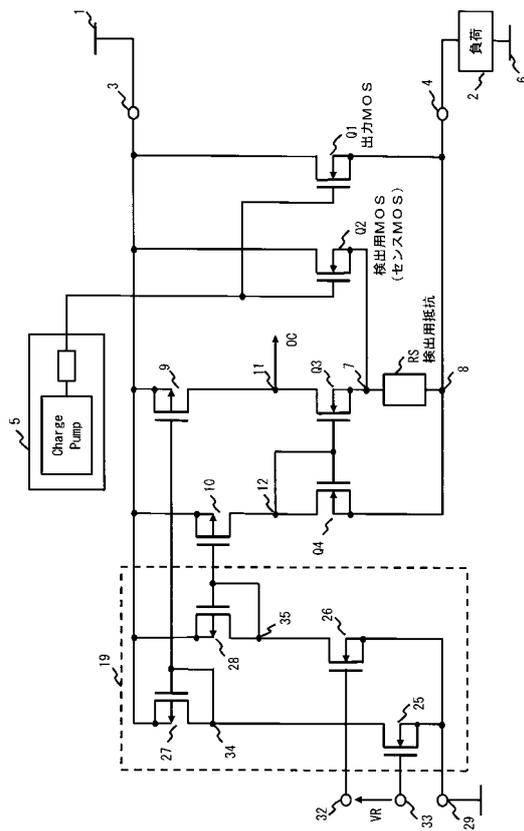
【図3】



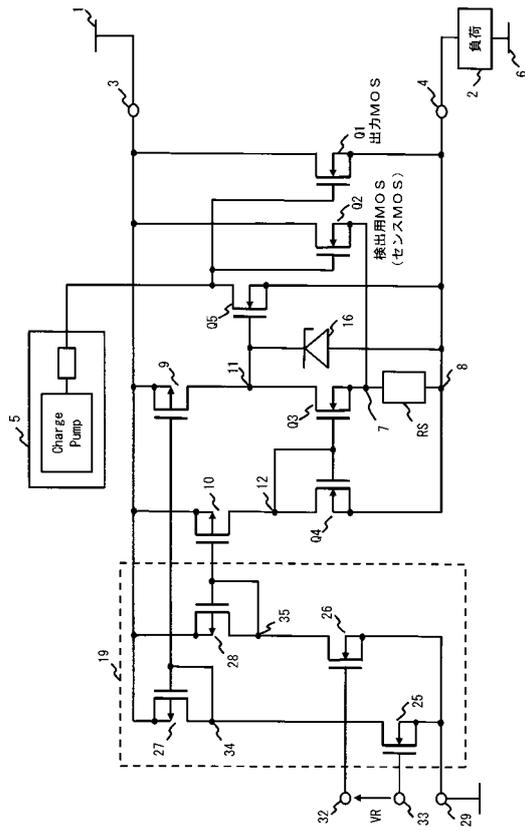
【図2】



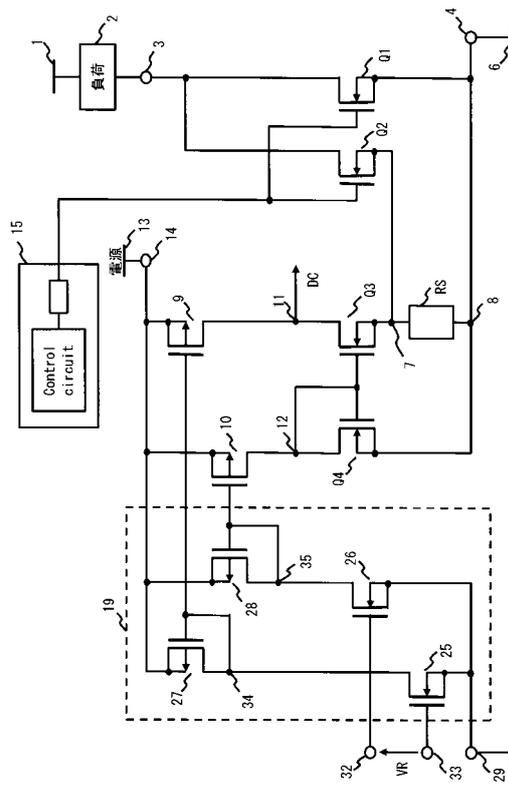
【図4】



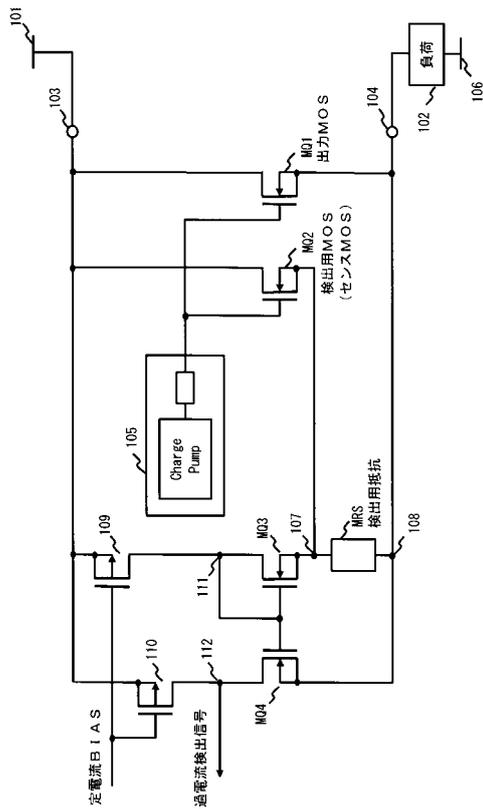
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開2005-039573(JP,A)
特開平08-102649(JP,A)
特開平10-322185(JP,A)
特開平10-107602(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
H02M 1/00