

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4997961号  
(P4997961)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int. Cl.	F 1		
HO3H 9/70 (2006.01)	HO3H 9/70		
HO3H 9/54 (2006.01)	HO3H 9/54	Z	
HO3H 9/17 (2006.01)	HO3H 9/17	F	
HO1L 41/08 (2006.01)	HO1L 41/08	D	
HO1L 41/09 (2006.01)	HO1L 41/08	C	

請求項の数 5 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2006-349291 (P2006-349291)	(73) 特許権者	000000206
(22) 出願日	平成18年12月26日(2006.12.26)		宇部興産株式会社
(65) 公開番号	特開2008-160654 (P2008-160654A)		山口県宇部市大字小串1978番地の96
(43) 公開日	平成20年7月10日(2008.7.10)	(72) 発明者	岩下 和樹
審査請求日	平成21年9月24日(2009.9.24)		山口県宇部市大字小串1978番地の5
			宇部興産株式会社 宇部研究所内
		(72) 発明者	田中 謙介
			山口県宇部市大字小串1978番地の5
			宇部興産株式会社 宇部研究所内
		(72) 発明者	丸山 卓也
			山口県宇部市大字小串1978番地の5
			宇部興産株式会社 宇部研究所内
		審査官	▲高▼橋 徳浩

最終頁に続く

(54) 【発明の名称】 集積化分波器

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上面に絶縁層が形成された基板上に薄膜圧電共振器からなる薄膜圧電フィルタと、集積化フィルタとが形成された集積化分波器であり、

前記絶縁層の厚みは5 μm以上であり、

前記半導体基板を構成している材料は、電気抵抗率が1~10[Ω・cm]であり、

前記薄膜圧電共振器は、圧電層と該圧電層を挟んで対向するように形成された上部電極及び下部電極とを有する圧電共振スタックと、該圧電共振スタックの下に形成された空隙または音響反射層と、前記圧電共振スタックを支持する前記基板とから構成され、前記集積化フィルタは、前記絶縁層上に形成され、インダクタ及びキャパシタの電気要素から構成されている集積化分波器。

【請求項2】

前記絶縁層は熱酸化により得られる酸化シリコン層であることを特徴とする請求項1記載の集積化分波器。

【請求項3】

前記絶縁層中の固定電荷密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下であることを特徴とする請求項1記載の集積化分波器。

【請求項4】

前記インダクタおよびキャパシタの電気要素からなる集積化フィルタが、ダイプレクサを構成しており、前記集積化分波器がトリプレクサであることを特徴とする請求項1記載

の集積化分波器。

【請求項 5】

請求項 1 記載の集積化分波器と、集積化分波器が搭載されているパッケージとからなる高周波分波器であり、前記パッケージは積層基板からなり、該積層基板には、インダクタ、キャパシタ、分布定数線路の少なくとも 1 つからなる整合回路素子が形成されていることを特徴とする高周波分波器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、通信機器の技術分野に属するものであり、薄膜圧電共振器とそれを用いた薄膜圧電フィルタに関するものである。

10

【背景技術】

【0002】

セルラ電話機の RF 回路部には常に小型化が求められる。最近では、セルラ電話機に多様な機能を付与することが要望されており、その実現のためにはできるだけ多くのコンポーネントを組み込むことが好ましく、一方でセルラ電話機の大きさには制約があるので、結局、機器における専有面積（実装面積）及び高さの低減の要求が厳しく、従って RF 回路部を構成するコンポーネントについても専有面積が小さく、高さの低いものが求められている。

【0003】

20

このような事情から、RF 回路に使用される帯域通過フィルタとして、小型でかつ軽量化が可能である表面弾性波フィルタや薄膜圧電フィルタが利用されるようになってきている。特に、2 GHz 以上の高い周波数帯においては、電気特性が優れている薄膜圧電フィルタが多く利用されている。前記のような薄膜圧電フィルタは、基板上に上下の電極で挟まれるように窒化アルミニウム（AlN）や酸化亜鉛（ZnO）等の圧電薄膜を形成し、且つ弾性波エネルギーが半導体基板中に漏洩しないように、その直下に振動空間または音響反射層を設けた薄膜圧電共振器からなる RF フィルタである。

【0004】

一方で、近年のセルラ電話機は、様々な通信システムに適用できるよう、複数の RF 回路を搭載するようになってきている。したがって、複数の周波数帯の異なる信号成分を分離する必要があり、その手段として、半導体スイッチ等を使用して、信号を切り替える方式が一般的に行われていた。しかし、米国の E 9 1 1 システムへの対応から、AMPS（824 MHz - 894 MHz 帯）と、PCS（1850 - 1990 MHz 帯）、更には、GPS（1574 MHz - 1576 MHz 帯）の 3 周波数帯を分離する必要があり、また、機器の小型化から、半導体スイッチ等の能動素子を使用しないトリプレクサが、近年使用されるようになってきている。

30

【0005】

半導体スイッチ等を用いないトリプレクサの形態としては、特許文献 1、特許文献 2 に示すように、インダクタやキャパシタからなる LC フィルタで構成され、前記 LC フィルタはセラミックスや樹脂からなる積層体で構成されている分波器がある。また、特許文献 3、特許文献 4、非特許文献 1 に示すように、インダクタやキャパシタからなる LC フィルタと SAW フィルタの組み合わせで構成され、前記 LC フィルタをセラミックまたは樹脂からなる積層基板に形成し、SAW フィルタを積層基板上に搭載した分波器がある。

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献 1、特許文献 2 に示されているように、セラミック多層基板中に形成したフィルタ素子によりトリプレクサなどの分波器を形成する場合、セラミック多層基板の製造プロセスの制約から、その小型化には限界がある。さらに、多層基板内に多くの電気素子を形成するため、高さを低くすることが困難である。また、AMPS、GPS、と PC

50

Sのトリプレクサでは、GPS回路の帯域外減衰量を大きくとることが求められるため、LCフィルタで形成した場合には、十分な帯域外減衰量を確保することができないという問題があった。

【0007】

特許文献3、特許文献4、非特許文献1に示されているように、セラミックス多層基板中に形成したフィルタ素子とSAWフィルタとを組み合わせた形態の分波器では、セラミックス多層基板の形成プロセスの制約などから、その小型化に限界がある。図9は、特許文献3、特許文献4および非特許文献1に示されている分波器を示した模式的断面図である。多層基板からなるパッケージ130上にSAWフィルタ140とインダクタおよびキャパシタのチップ部品150が搭載されており、多層基板内にキャパシタ部131、インダクタ部132からなるLCフィルタが形成されている。図9から明白なように多層基板内に多くの電気素子を形成するため、高さを低くすることが困難であるとともに、SAWフィルタは1GHz以上の高周波帯では、品質係数が小さくなり、挿入損失が大きくなるという問題がある。

10

【0008】

前述したように、近年では、セルラ電話機に多様な機能を付加するため、RF部品には小型化が求められているとともに、複数の部品をひとつにしたモジュール化が急速に進んでいる。モジュールに組み込むための分波器としては、占有面積が小さいとともに、高さの制限が厳しく、低背化は非常に重要な課題である。特許文献1乃至4および非特許文献1に記載されているように、多層基板にフィルタ素子を形成した場合、多層基板の厚みを薄くすることは困難であり、低背化は困難である。したがって、小型化、低背化が可能であり、良好な特性を有する分波器が求められている。

20

【0009】

本発明は、上記事情に鑑みてなされたものであり、非常に小型で、低背化が可能であり、且つ、良好な特性を有する集積化分波器と、小型、高性能の高周波分波器を提供することを目的とするものである。

【0010】

【特許文献1】特開2003-8385号公報

【特許文献2】特開2003-115736号公報

【特許文献3】特開2004-194240号公報

【特許文献4】特開2006-108824号公報

【非特許文献1】「Design of High Integrated Triplexer Using LTCC Technology」Proceedings of IEEE MTT symposium 2006, pp. 378-381

30

【課題を解決するための手段】

【0011】

本発明は、半導体基板の上面に絶縁層が形成された基板上に薄膜圧電共振器からなる薄膜圧電フィルタと、集積化フィルタとが形成された集積化分波器であり、前記絶縁層の厚みは5 $\mu$ m以上であり、前記半導体基板を構成している材料は、電気抵抗率が1~10[ $\cdot$ cm]であり、前記薄膜圧電共振器は、圧電層と該圧電層を挟んで対向するように形成された上部電極及び下部電極とを有する圧電共振スタックと、該圧電共振スタックの下に形成された空隙または音響反射層と、前記圧電共振スタックを支持する前記基板とから構成され、前記集積化フィルタは、前記絶縁層上に形成され、インダクタ及びキャパシタの電気要素から構成されている集積化分波器に関する。

40

【0012】

また、本発明は、前記絶縁層は熱酸化により得られる酸化シリコン層であることを特徴とする集積化分波器に関する。

【0013】

また、本発明は、前記絶縁層中の固定電荷密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下であることを特徴とする集積化分波器に関する。

50

## 【 0 0 1 4 】

また、本発明は、前記インダクタおよびキャパシタの電気要素からなる集積化フィルタが、ダイプレクサであり、前記集積化分波器がトリプレクサであることを特徴とする集積化分波器に関する。

## 【 0 0 1 5 】

さらに、本発明は、前記集積化分波器が積層基板からなるパッケージに搭載されており、該積層基板には、インダクタ、キャパシタ、分布定数線路の少なくとも1つからなる整合回路素子が形成されていることを特徴とする高周波分波器に関する。

## 【 発明の効果 】

## 【 0 0 1 6 】

本発明の集積化分波器によれば、半導体基板の上面に絶縁層が形成された基板上に薄膜圧電共振器からなる薄膜圧電フィルタと、集積化フィルタとが形成された集積化分波器であり、前記薄膜圧電共振器は、圧電層と該圧電層を挟んで対向するように形成された上部電極及び下部電極とを有する圧電共振スタックと、該圧電共振スタックの下に形成された空隙または音響反射層と、前記圧電共振スタックを支持する前記基板とから構成され、前記集積化フィルタは、前記絶縁層上に形成され、インダクタ及びキャパシタの電気要素から構成されている集積化分波器とすることにより、非常に小型、低背化が可能で、且つ、高性能な集積化分波器を提供することができる。

## 【 0 0 1 7 】

本発明の集積化分波器によれば、前記絶縁層の厚みを  $5 \mu\text{m}$  以上とすることにより、通過帯域における挿入損失が小さく、帯域外減衰量の大きな優れた性能を有する集積化分波器を提供することができ、さらに、低抵抗ウエハを用いることができ、製造コストを低減することができる。

## 【 0 0 1 8 】

本発明の集積化分波器によれば、前記絶縁層中の固定電荷密度が  $1 \times 10^{11} \text{cm}^{-2}$  以下とすることにより、通過帯域における挿入損失が小さく、帯域外減衰量の大きな優れた性能を有する集積化分波器を提供することができる。

## 【 0 0 1 9 】

本発明によれば、前記集積化分波器が積層基板からなるパッケージに搭載されており、該積層基板には、インダクタ、キャパシタ、分布定数線路の少なくとも1つからなる整合回路を形成することにより、小型、低背化可能で、且つ通過帯域における挿入損失が小さく、帯域外減衰量の大きな高性能の高周波分波器を提供することができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 0 】

以下、本発明の実施例を図面を参照しながら詳細に説明する。

## 【 0 0 2 1 】

本発明は、非常に小型で薄く、且つ、高性能の集積化分波器と、小型、高性能の高周波分波器とを提供することを目的とするものである。

## 【 0 0 2 2 】

図1は本発明の集積化分波器の一実施形態の模式的断面図を示している。集積化分波器は、半導体基板6に絶縁層8が形成された基板上に薄膜圧電共振器からなる薄膜圧電フィルタ101とインダクタおよびキャパシタの電気要素から成る集積化フィルタ110とが形成されている。集積化フィルタとしては、ローパスフィルタ、ハイパスフィルタ、バンドパスフィルタが挙げられる。さらに、ローパスフィルタ、ハイパスフィルタを組み合わせたダイプレクサと呼ばれる分波器を形成することもできる。前記半導体基板6上に形成されている前記絶縁層の厚みは  $5 \mu\text{m}$  以上が好ましい。絶縁層の厚みを  $5 \mu\text{m}$  以上とすることにより、薄膜圧電共振器の共振特性、特に、反共振周波数におけるインピーダンスの低下を抑制することができるとともに、集積化フィルタを構成している受動素子、特に、インダクタの高周波における損失を低減できる。より好ましくは、絶縁層の厚みとしては  $5 \mu\text{m}$  以上  $30 \mu\text{m}$  以下が好ましい。薄膜圧電共振器の反共振周波数におけるインピーダ

10

20

30

40

50

ンスの低下を抑制するためには $5\ \mu\text{m}$ 以上の絶縁層厚みが必要であるが、 $30\ \mu\text{m}$ 以上の絶縁層を形成することは、製造コストの増加を招くことになるため好ましくない。

#### 【0023】

前記薄膜圧電共振器は、圧電層と該圧電層を挟んで対向するように形成された上部電極12及び下部電極10とを有する圧電共振スタックと、該圧電共振スタックの下に形成された空隙または音響反射層と、前記圧電共振スタックを支持する前記基板とから構成されている。下部電極10、圧電層2、上部電極12は前記絶縁層に形成された振動空間の上に、順に積層されて構成されている。薄膜圧電共振器は、接続導体14を介して電氣的に複数接続されることにより、薄膜圧電フィルタを構成している。薄膜圧電共振器の構成および材料としては、半導体基板6はシリコン基板、ガリウム砒素基板、ガラス基板などからなるもので良いが、安価で且つ大口径化が可能なシリコン基板が適している。さらに、前記絶縁層の厚みを $5\ \mu\text{m}$ 以上とした場合には、前記半導体基板の抵抗率が $1000\ [\ \cdot\ \text{cm}]$ 未満の低抵抗率の半導体基板を用いることができる。抵抗率が $1000\ [\ \cdot\ \text{cm}]$ 未満の低抵抗シリコン基板は、高抵抗シリコン基板に比べより安価であるため、製造コストを低減することができるため好ましい。具体的には、通常の半導体プロセスで多く用いられている $1\ [\ \cdot\ \text{cm}]$ から $10\ [\ \cdot\ \text{cm}]$ 程度の低抵抗ウェハを用いることができる。従って、本発明において使用される半導体基板の抵抗率は $1\ [\ \cdot\ \text{cm}]$ 以上 $1000\ [\ \cdot\ \text{cm}]$ 未満とすることができる。

10

#### 【0024】

図7(a)および(b)は本発明の集積化分波器を構成している薄膜圧電フィルタの一実施形態を示す回路図である。図7(a)および(b)に示すように、梯子型および格子型に共振子を接続することにより、薄膜圧電フィルタを構成することができる。図7(a)に示す梯子型フィルタでは、直列共振子102a、102b、102cと並列共振子103a、103b、103cが梯子型に接続された回路構成となっている。並列共振子103a、103b、103cは、直列共振子102a、102b、102cに比べ、共振周波数が低く設定される。図1の模式的断面図に示すように、周波数調整層16を付加することにより、共振周波数を低くすることができる。図7(b)に示す格子型フィルタにおいても、並列共振子103a、103bは、直列共振子102a、102bに比べ、共振周波数が低く設定されている。

20

#### 【0025】

本発明の集積化分波器を構成している薄膜圧電共振器は、例えば次のようにして作製することができる。シリコンウェハなどの半導体基板6上に、スパッタリング法、CVD法等の成膜技術により絶縁層8を形成する。絶縁層8が酸化シリコン( $\text{SiO}_2$ )の場合は、前述の成膜技術以外に熱酸化により $\text{SiO}_2$ 層を形成することもできる。絶縁層8は $5\ \mu\text{m}$ 以上の厚みとなるように成膜または、熱酸化により形成する。その後、スパッタリング法、蒸着法などの成膜法により、エッチング液にて容易に溶解する犠牲層を形成し、湿式エッチング、RIE、リフトオフ法などのパターンニング技術を用いてパターンニングする。犠牲層としては、ゲルマニウム(Ge)、アルミニウム(Al)、チタン(Ti)、マグネシウム(Mg)などの金属またはそれらの金属酸化物が適当である。その後、スパッタリング法、蒸着法などの成膜方法で下部電極10、圧電層2、上部電極12を成膜するとともに、湿式エッチング、RIE、リフトオフ法などのパターンニング技術を用いて各層をパターンニングする。更に、前記パターンニング技術を用いて、基板上面から犠牲層まで達する貫通孔18を形成した後、エッチング液にて犠牲層を除去する。さらに、絶縁層8のエッチングが可能なエッチング液を選択し、絶縁層をエッチングすることにより、犠牲層と同一パターンで絶縁層をエッチングすることができる。これにより、犠牲層と絶縁層に振動空間4を形成することができる。また、エッチング液を用いて犠牲層および絶縁層をエッチングする工程は、後述する集積化フィルタを形成したのち行うこともできる。振動空間の形成工程を最終工程とすることにより、製造工程での薄膜圧電共振器の損傷を抑えることができるので好ましい。

30

40

#### 【0026】

50

また、本発明の集積化分波器を構成している前記集積化フィルタは、絶縁層上に形成されたキャパシタと、インダクタの電気要素からなる。キャパシタ部を構成する材料としては、通常半導体プロセスで用いられるSiNなどの誘電体薄膜で構成することができる。また、インダクタ部を構成する材料としては、電気抵抗率の小さなAu、Cuを用いることが好ましく、高周波における損失を抑制するために、薄膜導体の厚みを5 $\mu$ m以上とすることで、より高周波における損失を小さくすることができるため好ましい。さらに、配線間および層間の層間絶縁層としては、通常半導体プロセスで用いられているBCB(Benzo Cycro Butene)やポリイミドなどの絶縁体を用いることができる。

#### 【0027】

図1に記載している本発明の一実施例である前記集積化フィルタは、次のようにして作製することができる。薄膜圧電共振器を構成している下部電極と接続導体14を介して接続されている電極52上にキャパシタを構成する誘電体薄膜54を、前述の成膜方法にて形成するとともに、前述のパターニング技術を用いて所定形状にパターニングする。さらに、キャパシタ構造を構成する上部電極となる電極層56を成膜、所定形状にパターニングする。その後、第1の層間絶縁層58を形成する。第1の層間絶縁層上に、インダクタを形成する電極層62を前記成膜方法にて形成するとともに、所定形状にパターニングする。高周波における損失を小さくするために、5 $\mu$ m以上の電極層を形成する場合には、メッキ法などの厚膜形成技術を用いることが望ましい。さらに、絶縁層58中に導体ビア64を形成し、電極層52と接続する。次に、第2の層間絶縁層60を形成するとともに、第2の層間絶縁層中に導体ビア64を形成し、デバイス表層に入出力部を形成する。

#### 【0028】

本発明の集積化分波器の作製方法として、絶縁層形成工程以降に、非酸化性ガス雰囲気下(N<sub>2</sub>、Ar、N<sub>2</sub>/H<sub>2</sub>混合ガス、Ar/H<sub>2</sub>混合ガスなど)にて300以上の温度で熱処理するか、100mW/cm<sup>2</sup>以上の照射強度での紫外線照射、またはその併用により、絶縁層8の固定電荷密度を大幅に低減させることが可能となる。固定電荷密度を1 $\times$ 10<sup>11</sup>cm<sup>-2</sup>以下とすることにより、薄膜圧電共振器の共振特性、特に、反共振周波数におけるインピーダンスの低下を抑制することができるとともに、集積化フィルタを構成している受動素子、特に、インダクタの高周波における損失を低減できる。固定電荷密度はより小さいほど好ましいが、従来技術により形成された絶縁層中の固定電荷密度を1 $\times$ 10<sup>9</sup>cm<sup>-2</sup>未満とすることは困難であるため、固定電荷密度としては1 $\times$ 10<sup>9</sup>cm<sup>-2</sup>以上1 $\times$ 10<sup>11</sup>cm<sup>-2</sup>以下であれば、薄膜圧電共振器の反共振周波数におけるインピーダンスの低下を抑制できる。

#### 【0029】

図3は、本発明の実施例に係わる高周波分波器の構成の1つを示すものである。分波器100は、LCの電気素子からなるローパスフィルタ(Low Pass Filter: LPF)111、ハイパスフィルタ(High Pass Filter: HPF)112、と薄膜圧電フィルタ101からなるバンドパスフィルタとからなる。これらの構成要素は、パッケージ130内に封止されている。パッケージには、共通端子、および、第1乃至3端子を備えている。共通端子はアンテナ端子であり、第1および第3端子は、第1および第3の周波数帯の信号を入出力する端子であり、第2端子は、第2の周波数帯の信号の受信端子になる。前記ローパスフィルタは、共通端子と第1端子との間に設けられており、前記ハイパスフィルタは、共通端子と第3端子との間に設けられており、図1に示した集積化フィルタ110に形成されている。また、前記薄膜圧電フィルタからなるバンドパスフィルタは、共通端子と第2端子との間に設けられており、図1に示した薄膜圧電フィルタ部101に相当する。前述したように、前記ローパスフィルタ、前記ハイパスフィルタ、前記薄膜圧電フィルタは、同一基板上に形成されている。これにより、小型で、厚みが薄く、且つ良好な特性を有する分波器を実現している。

#### 【0030】

図4はパッケージ内に搭載された本発明の集積化分波器の一実施形態を示した模式的断

10

20

30

40

50

面図である。本発明の集積化分波器 100 は、薄膜圧電共振器から構成される薄膜圧電フィルタ部と、インダクタやキャパシタなどの受動素子からなる集積化フィルタとが、同一基板上に形成されている。集積化分波器 100 がパッケージ 130 内に搭載されており、集積化分波器とパッケージ 130 の共通端子、第 1 乃至第 3 の端子とは導体により接続されている。図 4 では、集積化分波器がフリップチップで実装されている。フリップ実装することにより、より低背化できることから好ましい。

#### 【0031】

図 2 は、図 1 とは異なる本発明の集積化分波器の一実施形態の模式的断面図を示している。図 2 に示す集積化分波器は、下部電極 10、圧電層 2、上部電極 12 からなる薄膜圧電共振器が音響反射層 20 上に形成されている点が、図 1 の実施形態と異なっている。図 2 の実施形態においても、非常に小型で薄く、且つ、高性能の集積化分波器を実現することができる。

10

#### 【0032】

図 2 の集積化分波器を構成する材料は、図 1 に示した集積化分波器と同様の材料を用いて作製することができる。また、図 2 の集積化分波器を構成している薄膜圧電フィルタ 101 は、次のようにして作製することができる。シリコン基板などの半導体基板 6 上にスパッタリング法、蒸着法、CVD 法などの成膜技術、または熱酸化法により絶縁層 8 を形成した後、湿式エッチング等の技術により絶縁層 8 にピット部を形成した後、前述の成膜技術により音響反射層 20 を形成する。その後、CMP 法などの平坦化技術により基板表面を平坦化し、ピット内部にのみ音響反射層 20 が堆積された基板とする。音響反射層 20 としては、低インピーダンス層として  $\text{SiO}_2$  や  $\text{AlN}$  などの音響インピーダンスの小さな材料が、高インピーダンス層としては、 $\text{Mo}$ 、 $\text{W}$ 、 $\text{Ta}_2\text{O}_5$  などの音響インピーダンスの大きな材料が好ましく、低インピーダンス層と高インピーダンス層の厚みを、弾性波の 4 分の 1 波長に相当するように設定することにより、音響反射層として作用する。スパッタリング法、蒸着法などの成膜方法で下部電極 10、圧電層 2、上部電極 12、周波数調整層 16 を成膜するとともに、湿式エッチング、RIE、リフトオフ法などのパターンニング技術を用いて各層をパターンニングすることにより、図 2 に記載の薄膜圧電フィルタ 101 を作製できる。さらに、図 2 の集積化分波器を構成している集積化フィルタ 110 は、図 1 と同様の方法にて作製することができる。

20

#### 【0033】

図 2 に示した集積化分波器は、図 1 に示した集積化分波器と同様に、図 3 に示すような構成で、分波器を構成することができる。つまり、図 3 に示した分波器は、図 2 に示す集積化分波器の一実施形態でもある。

30

#### 【0034】

図 5 は、本発明の実施例に係わる高周波分波器の構成の 1 つを示すものである。分波器 100 は、インダクタ及びキャパシタの電気素子からなるローパスフィルタ (Low Pass Filter: LPF) 111、ハイパスフィルタ (High Pass Filter: HPF) 112 と、薄膜圧電フィルタ 101 からなるバンドパスフィルタと、インダクタ、キャパシタ、分布定数線路の少なくとも 1 つからなる整合回路 120 と、からなる。これらの構成要素は、パッケージ 130 内に封止されている。パッケージには、共通端子、および、第 1 乃至 3 端子を備えている。共通端子はアンテナ端子であり、第 1 および第 3 端子は、第 1 および第 3 の周波数帯の信号を入出力する端子であり、第 2 端子は、第 2 の周波数帯の信号の受信端子になる。前記ローパスフィルタ 111 は、共通端子と第 1 端子との間に設けられており、前記ハイパスフィルタ 112 は、共通端子と第 3 端子との間に設けられている。また、前記薄膜圧電フィルタからなるバンドパスフィルタは、共通端子と第 2 端子との間に設けられており、前記整合回路 120 は共通端子と前記バンドパスフィルタとの間に配置されている。前記ローパスフィルタ、前記ハイパスフィルタ、前記薄膜圧電フィルタは、同一基板上に形成されており、前記整合回路は、パッケージ 130 内に形成されている。

40

#### 【0035】

50

前記整合回路は、バンドパスフィルタ101を通過する信号と、ローパスフィルタ111とハイパスフィルタ112を通過する信号とが干渉しないようにするものである。具体的には、共通端子側からの反射特性において、バンドパスフィルタ101を通過する第1および第3の信号の周波数帯のインピーダンスが無限大となるように、整合回路120を構成する。図8は、インダクタおよびキャパシタの電気素子にて、整合回路を構成する場合の電気回路の例を示したものである。図8(A)、(B)、(c)、および(d)に示すように、インダクタおよびキャパシタを型またはT型に構成した整合回路がある。また、特性インピーダンスが50である分布定数線路を用いて構成することもできる。

#### 【0036】

前記整合回路を設けることにより、ローパスフィルタ111、ハイパスフィルタ112、及び、バンドパスフィルタ101を通過する各信号の挿入損失が小さくなり、より高性能の高周波分波器を実現することができる。

#### 【0037】

図6は本発明の実施例に係わる高周波分波器の一実施形態を示した模式的断面図である。本発明の集積化分波器100は、薄膜圧電共振器から構成される薄膜圧電フィルタ部101と、インダクタやキャパシタなどの受動素子からなる集積化フィルタとが、同一基板上に形成されている。集積化分波器100がパッケージ130内に搭載されており、集積化分波器とパッケージ130の共通端子、第1乃至第3の端子とは電気的に接続されている。整合回路120はパッケージ130内に形成されており、チップインダクタやチップキャパシタなどのチップ部品を用いる必要がなく、小型の高周波分波器を実現することができる。図6では、集積化分波器がフリップチップで実装されている。フリップ実装することにより、より低背化できることから好ましい。

#### 【図面の簡単な説明】

#### 【0038】

【図1】本発明の集積化分波器の一実施形態を示す模式的断面図である。

【図2】本発明の集積化分波器の一実施形態を示す模式的断面図である。

【図3】本発明の集積化分波器を用いた高周波分波器の一実施形態を示す構成図である。

【図4】本発明の集積化分波器を用いた高周波分波器の一実施形態を示す模式的断面図である。

【図5】本発明の集積化分波器を用いた高周波分波器の一実施形態を示す構成図である。

【図6】本発明の集積化分波器を用いた高周波分波器の一実施形態を示す模式的断面図である。

【図7】本発明の集積化分波器を構成している薄膜圧電フィルタの回路構成の一実施形態を示す、(a)梯子型フィルタ、(b)格子型フィルタ、の回路図である。

【図8】本発明の集積化分波器を用いた高周波分波器を構成している整合回路の一実施形態を示す、(a)型回路、(b)T型回路、の回路図である。

【図9】従来の分波器の一実施形態を示す模式的断面図である。

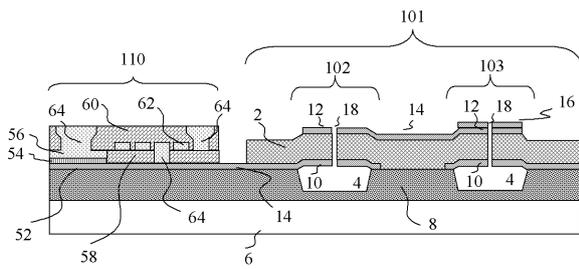
#### 【符号の説明】

#### 【0039】

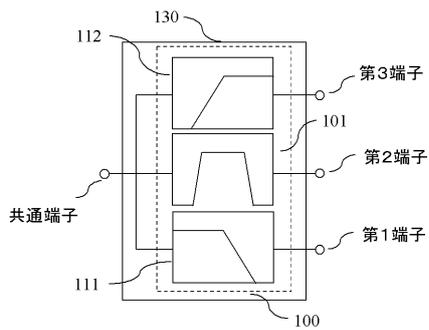
2	圧電層	40
4	振動空間	
6	半導体基板	
8	絶縁層	
10	下部電極	
12	上部電極	
14	接続導体	
16	周波数調整層	
18	犠牲層エッチング用貫通孔	
20	音響反射層	
52	キャパシタ構成用下部電極	50

- 5 4 誘電体薄膜
- 5 6 キャパシタ構成用上部電極
- 5 8 第1絶縁体層
- 6 0 第2絶縁体層
- 6 2 インダクタ形成電極
- 6 4 導体ビア
- 1 0 0 集積化分波器
- 1 0 1 薄膜圧電フィルタ
- 1 0 2、1 0 2 a ~ d 直列薄膜圧電共振子
- 1 0 3、1 0 3 a ~ d 並列薄膜圧電共振子
- 1 1 0 集積化LCフィルタまたは集積化LC分波器
- 1 1 1 ローパスフィルタ
- 1 1 2 ハイパスフィルタ
- 1 2 0 整合回路
- 1 3 0 パッケージ
- 1 3 1 多層基板内に形成されたキャパシタ部
- 1 3 2 多層基板内に形成されたインダクタ部
- 1 4 0 SAWチップ
- 1 5 0 チップ部品

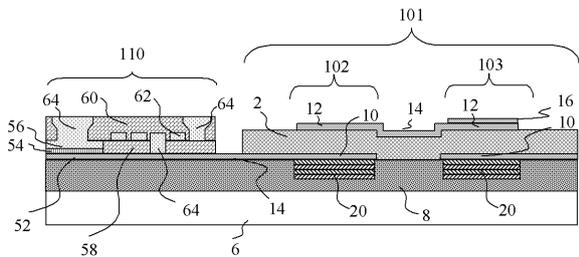
【図1】



【図3】



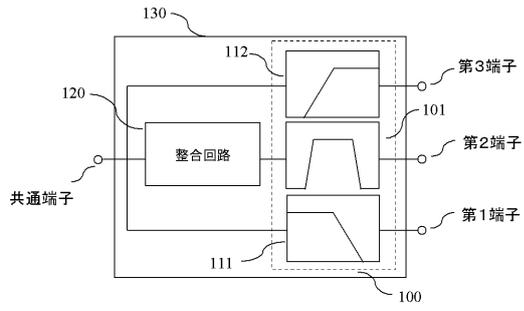
【図2】



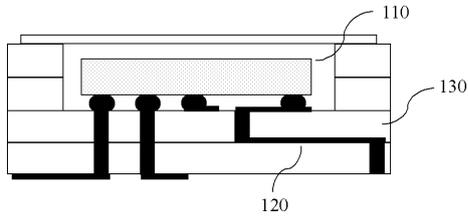
【図4】



【图 5】

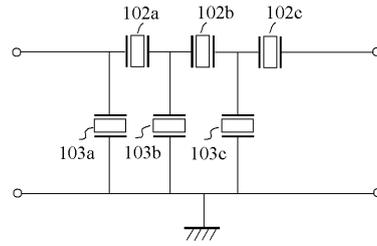


【图 6】

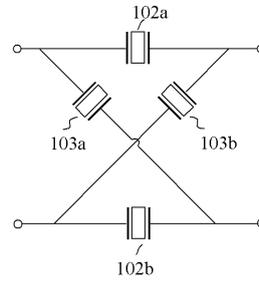


【图 7】

(a)

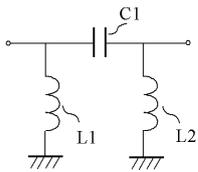


(b)

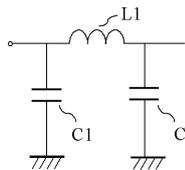


【图 8】

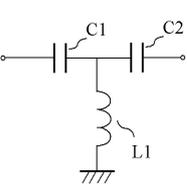
(a)



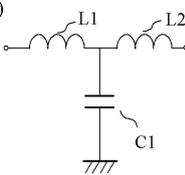
(b)



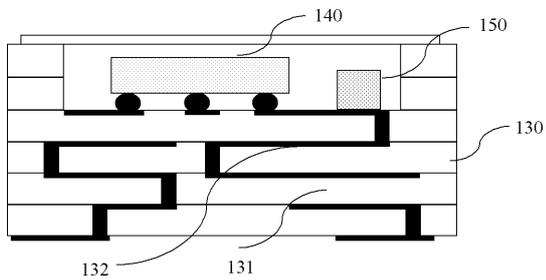
(c)



(d)



【图 9】



## フロントページの続き

(51) Int.Cl.			F I		
	H 0 1 L	41/22	(2006.01)	H 0 1 L	41/22 Z
	H 0 1 L	41/18	(2006.01)	H 0 1 L	41/08 L
				H 0 1 L	41/18 1 0 1 Z

(56) 参考文献 特開 2 0 0 4 - 2 5 4 3 2 5 ( J P , A )  
 特開 2 0 0 5 - 1 8 4 8 5 1 ( J P , A )  
 特開 2 0 0 6 - 1 4 8 9 4 1 ( J P , A )  
 特開 2 0 0 3 - 0 3 2 0 6 0 ( J P , A )  
 特開 2 0 0 3 - 3 1 8 6 9 6 ( J P , A )  
 特開 2 0 0 1 - 1 7 7 1 0 1 ( J P , A )  
 特開 2 0 0 2 - 0 7 6 8 2 4 ( J P , A )  
 特開 2 0 0 5 - 3 3 3 6 1 9 ( J P , A )  
 特開 2 0 0 4 - 1 9 4 2 4 0 ( J P , A )  
 特開 2 0 0 6 - 1 0 8 8 2 4 ( J P , A )  
 特開 2 0 0 0 - 0 6 8 7 8 5 ( J P , A )  
 国際公開第 2 0 0 6 / 0 6 7 9 4 9 ( W O , A 1 )  
 特開昭 6 4 - 0 7 3 0 7 9 ( J P , A )  
 特開 2 0 0 1 - 0 9 4 0 6 2 ( J P , A )  
 特開 2 0 0 4 - 3 2 8 7 3 9 ( J P , A )  
 特開 2 0 0 5 - 0 5 6 9 4 0 ( J P , A )

(58) 調査した分野(Int.Cl. , DB名)

H 0 3 H 3 / 0 0 7 - H 0 3 H 3 / 1 0  
 H 0 3 H 9 / 0 0 - H 0 3 H 9 / 7 6  
 H 0 1 L 4 1 / 0 8  
 H 0 1 L 4 1 / 0 9  
 H 0 1 L 4 1 / 1 8  
 H 0 1 L 4 1 / 2 2