

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-233898  
(P2008-233898A)

(43) 公開日 平成20年10月2日(2008.10.2)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G02B 26/02 (2006.01)</b>	G02B 26/02 E	2H141
<b>G02B 26/08 (2006.01)</b>	G02B 26/08 E	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 612D	
<b>G09G 3/34 (2006.01)</b>	G09G 3/34 D	
	G09G 3/20 631M	
審査請求 未請求 請求項の数 20 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2008-46170 (P2008-46170)  
 (22) 出願日 平成20年2月27日 (2008. 2. 27)  
 (31) 優先権主張番号 11/689, 464  
 (32) 優先日 平成19年3月21日 (2007. 3. 21)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 506141557  
 スペイシャル フォトニックス, インコーポレイテッド  
 アメリカ合衆国 カリフォルニア 94086, サニーベール, ウェスト カリフォルニア アベニュー 618  
 (74) 代理人 100078282  
 弁理士 山本 秀策  
 (74) 代理人 100062409  
 弁理士 安村 高明  
 (74) 代理人 100113413  
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 効率的空間変調器システム

(57) 【要約】

【課題】従来のSLMシステムよりも高いデータ書き込み速度を提供すること。

【解決手段】画素のセルのアレイであって、各画素が、デジタルデータを格納し最小の必要時間で書き込みイベントを行うように構成された2つのSRAMデバイスと、書き込みイベントに従ってオンの方向またはオフの方向に光を出力するように構成された空間光変調器と、表示シーケンスで構成されたコントローラであって、該コントローラは2つのSRAMデバイスからの書き込みイベントを制御し、第1の表示スライスと第2の表示スライスとが表示シーケンスにおいて順番に並べられ、その結果、コントローラは空間光変調器に光を出力させ、かつ、第2の表示スライスの間に2つのSRAMデバイスそれぞれに書き込みイベントを行わせるように構成されている、コントローラとを備えている、画素のセルのアレイを備えている、空間光変調器システム。

【選択図】なし

**【特許請求の範囲】****【請求項 1】**

空間光変調器システムであって、

画素のセルのアレイであって、各該画素のセルは、

デジタルデータを格納し、最小の必要時間で書き込みイベントを行うようにそれぞれ構成された 2 つの静的ランダムアクセスメモリ ( S R A M ) デバイスと、

該書き込みイベントに従って、オンの方向またはオフの方向に光を出力するように構成された空間光変調器と、

表示シーケンスで構成されたコントローラであって、該表示シーケンスは、第 1 の表示スライスと第 2 の表示スライスとを含み、該第 1 の表示スライスは、該最小の必要時間の 2 倍を下回る表示期間を有し、該第 2 の表示スライスは、該最小の必要時間の 2 倍を上回る表示期間を有しており、該コントローラは、該 2 つの S R A M デバイスからの書き込みイベントを制御し、該第 1 の表示スライスと該第 2 の表示スライスとは、該表示シーケンスにおいて順番に並べられ、その結果、該コントローラは、該空間光変調器に光を出力させ、かつ、該第 2 の表示スライスの間に、該 2 つの S R A M デバイスそれぞれに書き込みイベントを行わせるように構成されている、コントローラと

を備えている、画素のセルのアレイ

を備えている、空間光変調器システム。

**【請求項 2】**

前記書き込みイベントは、約 1 . 3 ボルト ~ 2 . 3 ボルトの範囲内で第 1 の電圧の信号を生成する、請求項 1 に記載の空間光変調器システム。

**【請求項 3】**

前記 S R A M デバイスから前記書き込みイベントを受信するように構成されたレベルシフタをさらに備えている、請求項 1 に記載の空間光変調器システム。

**【請求項 4】**

前記レベルシフタは、約 4 ボルト ~ 6 ボルトの範囲内で第 2 の電圧の信号を出力する、請求項 3 に記載の空間光変調器システム。

**【請求項 5】**

前記空間光変調器は、基板によって支持された傾斜可能なマイクロミラープレートと、該マイクロミラープレートの下に 1 つ以上の電極とを含む、請求項 3 に記載の空間光変調器システム。

**【請求項 6】**

前記 1 つ以上の電極は、前記レベルシフタから前記第 2 の電圧の信号を受信するように構成されており、該マイクロミラープレートは、第 3 の電圧の信号と該第 2 の電圧の信号とにตอบสนองして傾くように構成されている、請求項 5 に記載の空間光変調器システム。

**【請求項 7】**

前記第 3 の電圧の信号は、約 1 5 ボルト ~ 5 0 ボルトの範囲内にある、請求項 6 に記載の空間光変調器システム。

**【請求項 8】**

前記第 3 の電圧の信号は、約 2 0 ボルト ~ 4 0 ボルトの範囲内にある、請求項 7 に記載の空間光変調器システム。

**【請求項 9】**

外部の信号にตอบสนองして前記 2 つの S R A M デバイスのうちの 1 つを選択するように構成されたマルチプレクサをさらに備えており、該 2 つの S R A M デバイスのうちの選択された S R A M は、前記レベルシフタにデータを書き込むように構成されている、請求項 3 に記載の空間光変調器システム。

**【請求項 1 0】**

前記レベルシフタは、グローバルリセット信号を受信し、該グローバルリセット信号にตอบสนองして所定の位置に前記空間光変調器をリセットするように構成されており、

該空間光変調器は、基板によって支持された傾斜可能なマイクロミラープレートを含み

10

20

30

40

50

、該マイクロミラーは、該グローバルリセット信号に応答して、オンの方向に光を導くオンの位置またはオフの方向に光を導くオフの位置に傾くように構成されている、請求項 3 に記載の空間光変調器システム。

【請求項 1 1】

前記レベルシフタは、複数の MOSFET デバイスを備えている、請求項 3 に記載の空間光変調器システム。

【請求項 1 2】

前記レベルシフタ内の前記複数の MOSFET デバイスのうちの 2 つが、交差結合されたラッチを形成する、請求項 1 1 に記載の空間光変調器システム。

【請求項 1 3】

前記少なくとも 2 つの SRAM デバイスのそれぞれが、複数の MOSFET デバイスを備えている、請求項 1 に記載の空間光変調器システム。

【請求項 1 4】

デジタル画像に応答して空間光変調器 (SLM) のアレイを制御する方法であって、第 1 のビットプレーンと第 2 のビットプレーンと第 3 のビットプレーンとを含む複数のビットプレーンに該デジタル画像のカラーフィールドを分割することと、

所定の位置まで該アレイにおける SLM を制御することによって該第 1 のビットプレーンを表示することと、

該第 1 のビットプレーンの表示の間に、第 1 の静的ランダムアクセスメモリ (SRAM) デバイスに該第 2 のビットプレーンに関連するデータを書き込み、かつ第 2 の SRAM デバイスに該第 3 のビットプレーンに関連するデータを書き込むことと、

該第 1 のビットプレーンの表示の後に、該第 1 の SRAM デバイスに書き込まれたデータに従って、該所定の位置まで該アレイにおける該 SLM を制御することによって、該第 2 のビットプレーンを表示することと、

該第 2 のビットプレーンの表示の後に、該第 2 の SRAM デバイスに書き込まれたデータに従って、該所定の位置まで該アレイにおける該 SLM を制御することによって、該第 3 のビットプレーンを表示することと

を包含する、方法。

【請求項 1 5】

前記第 1 のビットプレーンは、前記 SLM が前記所定の位置において制御される第 1 の期間を規定し、前記第 2 のビットプレーンは、該 SLM が該所定の位置において制御される第 2 の期間を規定しており、該第 1 の期間は、該第 2 の期間の 2 倍以上の長さである、請求項 1 4 に記載の方法。

【請求項 1 6】

前記第 1 のビットプレーンは、前記 SLM が前記所定の位置において制御される第 1 の期間を規定し、前記第 2 のビットプレーンは、該 SLM が該所定の位置において制御される第 2 の期間を規定しており、該第 1 の期間は、該第 2 の期間の 4 倍以上の長さである、請求項 1 4 に記載の方法。

【請求項 1 7】

前記第 1 のビットプレーンは、前記 SLM が前記所定の位置において制御される第 1 の期間を規定し、前記第 2 のビットプレーンは、該 SLM が該所定の位置において制御される第 2 の期間を規定する、請求項 1 4 に記載の方法であって、該方法は、

該第 2 のビットプレーンに関連する前記データに応答して、前記 2 つの SRAM デバイスのうちの 1 つからレベルシフタに第 1 の電圧の信号を送信することと、

該所定の位置まで該 SLM を制御する該第 1 の電圧の信号に応答して、該レベルシフタから該 SLM に第 2 の電圧の信号を送信することと

をさらに包含する、方法。

【請求項 1 8】

前記第 1 の電圧の信号は、約 1 . 3 ボルト ~ 2 . 3 ボルトの範囲内にある、請求項 1 7 に記載の方法。

10

20

30

40

50

## 【請求項 19】

前記第2の電圧の信号は、約4ボルト～6ボルトの範囲内にある、請求項17に記載の方法。

## 【請求項 20】

前記マイクロミラーに第3の電圧の信号を送信することをさらに包含し、該第3の電圧の信号は、約15ボルト～50ボルトの範囲内にある、請求項17に記載の方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本開示は空間光変調器に関する。

10

## 【背景技術】

## 【0002】

マイクロミラーのアレイは、画素のセルのアレイを含む空間光変調器(SLM)デバイス的一种であり、画素のセルのそれぞれが、軸で傾き得るミラープレートを含み、さらに、マイクロミラープレートを傾け得る静電氣的力を生成するための回路網を含む。例えば、デジタルモードの動作において、ミラープレートが傾けられ、2つの位置において停止され得る。「オン」の位置において、マイクロミラーは入射光を表示面に向けて反射し、画像ディスプレイにおける画像画素を形成する。「オフ」の位置において、マイクロミラーは入射光を画像ディスプレイから離れるように導く。マイクロミラーのアレイに対する駆動回路は、一般的にはSLMデバイスのバックプレーンと呼ばれるシリコン基板に製造され得る。SLMデバイスは少なくとも2つの基本的な機能を行うことが必要である：表示されるべき次の画像に関するデジタルデータをシリコンのバックプレーンに伝達すること(すなわち「書き込み」)、およびデータを電気信号に転換して入射光を変調するマイクロミラーの位置を制御すること(すなわち「表示」)である。

20

## 【発明の開示】

## 【課題を解決するための手段】

## 【0003】

一般的な局面において、空間光変調器システムが記述されており、該空間光変調器システムは画素のセルのアレイを含んでおり、各該画素は、それぞれがデジタルデータを格納し、最小の必要時間で書き込みイベントを行い得る2つの静的ランダムアクセスメモリ(SRAM)デバイスと、書き込みイベントに従って、オンの方向またはオフの方向に光を出力するように構成された空間光変調器と、表示シーケンスで構成されたコントローラであって、該表示シーケンスは、第1の表示スライスと第2の表示スライスとを含み、該第1の表示スライスは、最小の必要時間の2倍を下回る表示期間を有し、該第2の表示スライスは、最小の必要時間の2倍を上回る表示時間を有しており、コントローラは、2つのSRAMデバイスからの書き込みイベントを制御し、第1の表示スライスと第2の表示スライスとは、表示シーケンスにおいて順番に並べられ、その結果、コントローラは、空間光変調器に光を出力させ、かつ、第2の表示スライスの間に、2つのSRAMデバイスそれぞれに書き込みイベントを行わせるように構成されている、コントローラとをそれぞれ含む。

30

40

## 【0004】

別の一般的な局面において、空間光変調器システムが記述されており、該空間光変調器システムは画素のセルのアレイを含んでおり、それぞれがデジタルデータを格納し、デジタルデータに应答して第1の電圧の信号を出力し得る2つの静的ランダムアクセスメモリ(SRAM)デバイスと、2つのSRAMデバイスのうちの少なくとも1つから第1の電圧の信号を受信し、第2の電圧の信号を出力し得るレベルシフタと、基板によって支持された傾斜可能なマイクロミラープレートと、マイクロミラープレートの下の1つ以上の電極とを含み、該1つ以上の電極は、レバースィフタから第2の電圧の信号を受信し得、マイクロミラープレートは、第2の電圧の信号に应答して所定の位置まで傾き得る。

## 【0005】

50

さらに別の一般的な局面において、デジタル画像にตอบสนองしてSLMのアレイを制御する方法が開示される。方法は、第1のビットプレーンと第2のビットプレーンと第3のビットプレーンとを含む複数のビットプレーンにデジタル画像のカラーフィールドを分割することと、所定の位置までアレイにおけるSLMを制御することによって第1のビットプレーンを表示することと、第1のビットプレーンの表示の間に、第1の静的ランダムアクセスメモリ(SRAM)デバイスに第2のビットプレーンに関連するデータを書き込み、かつ第2のSRAMデバイスに第3のビットプレーンに関連するデータを書き込むことと、第1のビットプレーンの表示の後に、第1のSRAMデバイスに書き込まれたデータに従って、所定の位置までアレイにおけるSLMを制御することによって、第2のビットプレーンを表示することと、第2のビットプレーンの表示の後に、第2のSRAMデバイスに書き込まれたデータに従って、所定の位置までアレイにおけるSLMを制御することによって、第3のビットプレーンを表示することを含む。

10

20

30

40

50

**【0006】**

システムの実装は以下のうちの1つ以上を含み得る。第1の電圧の信号は、約1.3ボルト~2.3ボルトの範囲内であり得る。第2の電圧の信号は、約4ボルト~6ボルトの範囲内であり得る。空間光変調器は、基板によって支持された傾斜可能なマイクロミラープレートと、マイクロミラープレートの下に1つ以上の電極とを含み得る。マイクロミラープレートは、第3の電圧信号を受信し得る。1つ以上の電極は、レベルシフトから第2の電圧の信号を受信し得る。マイクロミラープレートは、第3の電圧の信号と第2の電圧の信号とにตอบสนองして傾き得る。第3の電圧の信号は、約20ボルトと40ボルトとの間のような約15ボルト~50ボルトの範囲内にあり得る。空間光変調器は、外部の信号にตอบสนองして2つのSRAMデバイスのうちの1つを選択し得るマルチプレクサをさらに含み得、2つのSRAMデバイスのうちの選択されたSRAMは、レベルシフトにデータを書き込み得る。レベルシフトは、グローバルリセット信号を受信し、グローバルリセット信号にตอบสนองして所定の位置まで空間光変調器をリセットし得る。空間光変調器は、基板によって支持された傾斜可能なマイクロミラープレートを含み得、マイクロミラープレートは、グローバルリセット信号にตอบสนองして、オンの方向に光を導くオンの位置またはオフの方向に光を導くオフの位置に傾き得る。レベルシフトは、複数のMOSFETデバイスを含み得る。レベルシフト内の複数のMOSFETデバイスのうちの2つが、交差結合されたラッチを形成し得る。少なくとも2つのSRAMデバイスのそれぞれが、複数のMOSFETデバイスを含み得る。

**【0007】**

開示されたSLMシステムは以下の利点のうちの1つ以上を含み得る。開示されたSLMシステムは、従来のSLMシステムよりも高いデータ書き込み速度を提供し得る。画像データは、各画素のセルに対する2つ以上のSRAMによって格納される。画像がSLMによって表示される間に、2つ以上のSRAMに格納された画像データは、画素のセル内のSLMに書き込まれ得る。従って、現在の表示イベントが完了すると、画像データが次の表示イベントに対して準備を完了し得る。非表示時間は、従来のSLMと比較すると減少または排除され得る。

**【0008】**

開示されたシステムおよび方法は、高解像度かつ高いビット深度の表示の用途に対して特に有益である。画像フレームにおける非表示時間の大部分を生成する傾向にある、大きい画素のアレイに関連する長いデータ書き込み時間および/または下位のビット表示における短い表示時間により、これらの用途では長い非表示時間を有する傾向にある。開示されたシステムおよび方法は、これらの用途における非表示時間を効果的に減少させ得る。

**【0009】**

開示されたシステムの別の潜在的な利点は、開示されたシステムが、低電圧の信号を使用して画素のセルにデータを書き込むことによって、従来のSLMシステムよりも低い電力を消費し得るということである。低電圧の信号はレベルシフトによって中間電圧の信号に転換され、中間電圧の信号がSLMを駆動するために使用される。さらに、開示された

S L Mシステムにおける回路は、画素のセルのサイズを増加することなく実装され得る。

【 0 0 1 0 】

本発明は複数の実施形態を参照して特に示されかつ記述されてきたが、形式および詳細に関する様々な変更が、本発明の精神および範囲を逸脱することなく行なわれ得るということが当業者には理解される。

【 0 0 1 1 】

本発明はさらに以下の手段を提供する。

【 0 0 1 2 】

( 項目 1 )

空間光変調器システムであって、

画素のセルのアレイであって、各該画素は、

デジタルデータを格納し、最小の必要時間で書き込みイベントを行うようにそれぞれ構成された2つの静的ランダムアクセスメモリ ( S R A M ) デバイスと、

該書き込みイベントに従って、オンの方向またはオフの方向に光を出力するように構成された空間光変調器と、

表示シーケンスで構成されたコントローラであって、該表示シーケンスは、第1の表示スライスと第2の表示スライスとを含み、該第1の表示スライスは、該最小の必要時間の2倍を下回る表示期間を有し、該第2の表示スライスは、該最小の必要時間の2倍を上回る表示期間を有しており、該コントローラは、該2つのS R A M デバイスからの書き込みイベントを制御し、該第1の表示スライスと該第2の表示スライスとは、該表示シーケンスにおいて順番に並べられ、その結果、該コントローラは、該空間光変調器に光を出力させ、かつ、該第2の表示スライスの間に、該2つのS R A M デバイスそれぞれに書き込みイベントを行わせるように構成されている、コントローラと

を備えている、画素のセルのアレイ

を備えている、空間光変調器システム。

【 0 0 1 3 】

( 項目 2 )

上記書き込みイベントは、約1.3ボルト~2.3ボルトの範囲内で第1の電圧の信号を生成する、項目1に記載の空間光変調器システム。

【 0 0 1 4 】

( 項目 3 )

上記S R A M デバイスから上記書き込みイベントを受信するように構成されたレベルシフタをさらに備えている、項目1に記載の空間光変調器システム。

【 0 0 1 5 】

( 項目 4 )

上記レベルシフタは、約4ボルト~6ボルトの範囲内で第2の電圧の信号を出力する、項目3に記載の空間光変調器システム。

【 0 0 1 6 】

( 項目 5 )

上記空間光変調器は、基板によって支持された傾斜可能なマイクロミラープレートと、該マイクロミラープレートの下の1つ以上の電極とを含む、項目3に記載の空間光変調器システム。

【 0 0 1 7 】

( 項目 6 )

上記1つ以上の電極は、上記レベルシフタから上記第2の電圧の信号を受信するように構成されており、該マイクロミラープレートは、第3の電圧の信号と該第2の電圧の信号とに応答して傾くように構成されている、項目5に記載の空間光変調器システム。

【 0 0 1 8 】

( 項目 7 )

上記第3の電圧の信号は、約15ボルト~50ボルトの範囲内にある、項目6に記載の

10

20

30

40

50

空間光変調器システム。

【0019】

(項目8)

上記第3の電圧の信号は、約20ボルト～40ボルトの範囲内にある、項目7に記載の空間光変調器システム。

【0020】

(項目9)

外部の信号に応答して上記2つのSRAMデバイスのうちの1つを選択するように構成されたマルチプレクサをさらに備えており、該2つのSRAMデバイスのうちの選択されたSRAMは、上記レベルシフトにデータを書き込むように構成されている、項目3に記載の空間光変調器システム。

10

【0021】

(項目10)

上記レベルシフトは、グローバルリセット信号を受信し、該グローバルリセット信号に応答して所定の位置に上記空間光変調器をリセットするように構成されており、

該空間光変調器は、基板によって支持された傾斜可能なマイクロミラープレートを含み、該マイクロミラーは、該グローバルリセット信号に応答して、オンの方向に光を導くオンの位置またはオフの方向に光を導くオフの位置に傾くように構成されている、項目3に記載の空間光変調器システム。

20

【0022】

(項目11)

上記レベルシフトは、複数のMOSFETデバイスを備えている、項目3に記載の空間光変調器システム。

【0023】

(項目12)

上記レベルシフト内の上記複数のMOSFETデバイスのうちの2つが、交差結合されたラッチを形成する、項目11に記載の空間光変調器システム。

【0024】

(項目13)

上記少なくとも2つのSRAMデバイスのそれぞれが、複数のMOSFETデバイスを備えている、項目1に記載の空間光変調器システム。

30

【0025】

(項目14)

デジタル画像に応答して空間光変調器(SLM)のアレイを制御する方法であって、第1のビットプレーンと第2のビットプレーンと第3のビットプレーンとを含む複数のビットプレーンに該デジタル画像のカラーフィールドを分割することと、

所定の位置まで該アレイにおけるSLMを制御することによって該第1のビットプレーンを表示することと、

該第1のビットプレーンの表示の間に、第1の静的ランダムアクセスメモリ(SRAM)デバイスに該第2のビットプレーンに関連するデータを書き込み、かつ第2のSRAMデバイスに該第3のビットプレーンに関連するデータを書き込むことと、

40

該第1のビットプレーンの表示の後に、該第1のSRAMデバイスに書き込まれたデータに従って、該所定の位置まで該アレイにおける該SLMを制御することによって、該第2のビットプレーンを表示することと、

該第2のビットプレーンの表示の後に、該第2のSRAMデバイスに書き込まれたデータに従って、該所定の位置まで該アレイにおける該SLMを制御することによって、該第3のビットプレーンを表示することと

を包含する、方法。

【0026】

(項目15)

50

上記第1のビットプレーンは、上記SLMが上記所定の位置において制御される第1の期間を規定し、上記第2のビットプレーンは、該SLMが該所定の位置において制御される第2の期間を規定しており、該第1の期間は、該第2の期間の2倍以上の長さである、項目14に記載の方法。

【0027】

(項目16)

上記第1のビットプレーンは、上記SLMが上記所定の位置において制御される第1の期間を規定し、上記第2のビットプレーンは、該SLMが該所定の位置において制御される第2の期間を規定しており、該第1の期間は、該第2の期間の4倍以上の長さである、項目14に記載の方法。

10

【0028】

(項目17)

上記第1のビットプレーンは、上記SLMが上記所定の位置において制御される第1の期間を規定し、上記第2のビットプレーンは、該SLMが該所定の位置において制御される第2の期間を規定する、項目14に記載の方法であって、該方法は、

該第2のビットプレーンに関連する上記データに应答して、上記2つのSRAMデバイスのうちの1つからレベルシフタに第1の電圧の信号を送信することと、

該所定の位置まで該SLMを制御する該第1の電圧の信号に应答して、該レベルシフタから該SLMに第2の電圧の信号を送信することと

をさらに包含する、方法。

20

【0029】

(項目18)

上記第1の電圧の信号は、約1.3ボルト～2.3ボルトの範囲内にある、項目17に記載の方法。

【0030】

(項目19)

上記第2の電圧の信号は、約4ボルト～6ボルトの範囲内にある、項目17に記載の方法。

【0031】

(項目20)

上記マイクロミラーに第3の電圧の信号を送信することをさらに包含し、該第3の電圧の信号は、約15ボルト～50ボルトの範囲内にある、項目17に記載の方法。

30

【0032】

(摘要)

空間光変調器システムは、画素のセルのアレイであって、各画素のセルは、デジタルデータを格納し、デジタルデータに应答して第1の電圧信号を出力するように構成された2つの静的ランダムアクセスメモリ(SRAM)デバイスと、2つのSRAMデバイスのうちの少なくとも1つから第1の電圧信号を受信して第2の電圧信号を出力するように構成されたレベルシフタとを含む、画素のセルのアレイと、第2の電圧信号に应答して、オン方向またはオフ方向に光を出力するように構成された空間光変調器とを含む。

40

【発明を実施するための最良の形態】

【0033】

以下の図面は、本明細書の一部において援用されかつ本明細書の一部を形成しており、本発明の実施形態を例示しており、記述と共に、本明細書において記述されている原理、デバイスおよび方法を述べることに役立つ。

【0034】

図1を参照すると、SLMシステム100は画素のアレイ110を含み得、該画素のアレイ110は画素のセル200を含む。SLMシステム100はまた、デジタル画像データと制御信号とを受信するための入力出力(I/O)回路120および125と、テストの目的でアレイからデータを読み取るための読み取り回路130と、画素のセル200にデ

50

ータを書き込むための書き込み回路135とを含む。SLMシステム100はまた、画素のセル200の異なる列に書き込むデータを制御するための列シフトレジスタ140、145と、読み取りおよび書き取り動作のためのデータフローの方向を制御するための読み取り/書き込み(RW)論理制御150および155とを含む。

#### 【0035】

図2Aを参照すると、画素のセル200は、マイクロミラー210を含み、マイクロミラー210の下に電極221、222を含む。マイクロミラー210と電極221、222とは基板上に製造され得る。一部の実施形態において、上に記述された様々な駆動回路とマイクロミラー210と電極221、222とを含むSLMシステム100は、結合される別個の基板上に製造される代わりに、単一の半導体基板上に製造され得る。レベルシフタ230は、電極221、222の電位を制御する電圧信号を提供し得る。レベルシフタ230によって提供される電圧信号の振幅は、例えば、約4ボルトから6ボルトの範囲または5Vにあり得る。約4ボルトから6ボルトの電圧範囲は、本明細書においては、中間電圧の範囲と呼ばれ得る。それに対して、本明細書における「高電圧」信号は、約15ボルトと50ボルトとの間または約20ボルトと40ボルトとの間のような約10ボルトを超える電圧信号を呼ぶ。本明細書における「低電圧」信号は、約2ボルトと3ボルトとの間のような4ボルトを下回る電圧信号をいう。

10

#### 【0036】

動作の間、高電圧のミラーレスト信号(MRST)が、マイクロミラー210における導電性の部分へのMRST線に印加され得、マイクロミラーを傾ける。MRST線は約15ボルト~50ボルトの範囲内の電圧の振幅を用いてバイアスをかけられ、約-20ボルト~-40ボルトの範囲内でパルス化されてミラーを傾ける。例えば、MRSTは、約30Vの高いDC電圧でバイアスをかけられ、5マイクロ秒を下回るような短い期間、約-30Vの高い負の電圧に切り換えられ得、ミラーを傾ける。

20

#### 【0037】

画素のセル200はまた、書き込み回路135からの入力データを受信し得る2つの静的ランダムアクセスメモリ(SRAM)240、245を含む。SRAM240および245に格納されたデータは、表示イネーブル信号「DE0」および「DE1」の制御の下、レベルシフタ230に対して多重化され得る。2つのグローバルリセット「RST0」および「RST1」は、SLMシステム100における全ての画素のセル200におけるレベルシフタ230をリセットして、全アレイにおけるマイクロミラー210を「オン」の位置または「オフ」の位置に同時に設定する。SRAM240および245からのデータ信号は、約1.3ボルト~2.3ボルトの範囲内または1.8ボルトの振幅を有し得る低電圧の信号である。

30

#### 【0038】

レベルシフタ230は、SRAM240および245からの低電圧の信号を中間電圧の信号(例えば、5V)に転換し、該中間電圧の信号は、次に電極221および222に送信される。電極221および222に加えられる中間電圧の信号と、高電圧のミラーリセット信号「MRST」信号とは、ミラーをリセットするために、マイクロミラー210と電極221、222との間に適切な電位差を生成し得る。つまり、結果としての静電気力が、マイクロミラー210を「オン」の位置または「オフ」の位置に傾け得、その結果、入射光が画像ディスプレイに向かって導かれ得るか、または画像ディスプレイから離れるように導かれ得る。

40

#### 【0039】

図2Bは、画素のセル200の例示的な詳細回路を示す。レベルシフタ230は、高電圧のMOSFETデバイスP1~P4、N1およびN2を含む。P3およびP4は、交差結合されたラッチを形成する。P1、P2、N1、およびN2は、デバイスの信頼性を高めるために含まれる。画素のセル200はまた、SRAM240、245を含み、それぞれが6つのMOSFETトランジスタを含む。画素のセル200の中間における低電圧のnチャンネル、2ウェイ多重化回路250は、表示イネーブル信号「DE0」および「D

50

「E1」の制御の下、SRAM240、245のうちのどちらをレベルシフト230に接続するかを選択し得る。表示イネーブル信号「DE0」および「DE1」は、コントローラによって制御され、該コントローラは以下でさらに記述される。画素のセル200は、ミラーのアレイにおける全てのマイクロミラー210をリセットおよびプリセットするために、2つのグローバルリセット「RST0」および「RST1」を含む。画素のセル200は、改良型の0.18 $\mu$ mのCMOS技術を使用することによって、10 $\mu$ m $\times$ 10 $\mu$ m以下の画素に実装され得る。例えば、レベルシフト230は、画素のセル内の領域の約40%を占め得る。SRAM240、245と多重化回路250とを含む低電圧のデバイスは、画素のセル内の領域の約60%を占め得る。

#### 【0040】

SLMシステム100と画素のセル200とは以下のように動作する。SRAM240および245に対するデータの更新は、「書き込み」イベントと呼ばれ得る。例えば、各SRAM240または245に対する書き込み時間が100 $\mu$ sであるということ仮定する。ミラーのリセット時間は、マイクロミラー210をオンにする(MRST\_on)またはオフにする(MRST\_off)ためには10 $\mu$ sであり得る。様々な強度において画像の画素を表示するために、様々な画素のセル200におけるマイクロミラー210は、様々な画素における入力画像データに従って、様々な継続時間、ディスプレイに向けて光を導き得る。8ビットの強度の解像度に対して、画像画素に対する各マイクロミラー210の表示の継続時間は、8つの2進数のビットの組み合わせによって達成され得る。ビットのそれぞれは、画像のビットプレーンA0、A1、A2、 $\dots$ 、A7と関連し、各ビットプレーンは、図3に示されているように、関連する全表示時間D0、D1、D2、 $\dots$ 、D7を有する。A0のビットプレーンに対する表示時間D0は、10 $\mu$ sであり得る。表示時間D1、D2、 $\dots$ 、D7は、2の因数によって連続的に増やされ得る：D1(20 $\mu$ s)、D2(40 $\mu$ s)、D3(80 $\mu$ s)、D4(160 $\mu$ s)、D5(320 $\mu$ s)、D6(640 $\mu$ s)、およびD7(1280 $\mu$ s)。A0は、最下位ビット(LSB)と呼ばれ、A7は、最上位ビット(MSB)と呼ばれ得る。マイクロミラーがA0のビットプレーンにおいて「オン」(画像データにおける2進数00000001)である場合には、マイクロミラーは10 $\mu$ sの間オンになる。マイクロミラーがA1とA0との両方のビットプレーンにおいて「オン」(画像データにおける2進数00000011)である場合には、マイクロミラーは30 $\mu$ sの間オンになる。開示されたシステムおよび方法は、画像のカラーフィールドを表示するための他のビットプレーンのスキームと互換性があるということに留意されたい。例えば、カラーフィールドに対するビットプレーンは、2進数のシステムに基づく必要はない。ビットプレーンの継続時間は、2進数のシステムにおけるような2とは異なる因数によって互いに関連付けられ得る。さらに、連続するビットプレーンは、一定の因数によって長さを決められる必要はない。

#### 【0041】

表示画像は、1つ(例えば、モノトーンの画像)または複数(赤色、緑色、および青色を含む画像)の(「カラープレーン」とも呼ばれる)カラーフィールドを含み得る。デジタル画像のカラーフィールドは、(10~40のような)複数の表示スライスに分割され得る。一部のビットプレーンは複数の表示スライスを必要とし得るが、各表示スライスは特定のビットプレーンの表示期間を表す。書き込み時間よりも長い表示時間を有するビットプレーンのうちの1つが、基礎表示時間を規定するために選択され得る。選択されたビットプレーンとより下位のビットプレーン(すなわち、基礎表示時間以下の表示時間を有するビットプレーン)とは、それぞれ1つの表示スライスを使用し得るが、より上位にある(基礎表示時間よりも長い表示時間を有する)ビットプレーンは、複数の表示スライスを使用し得る。特に、より上位のビットプレーンは、より上位のビットプレーンに対する表示時間を基礎表示時間に対する表示時間によって割られたものと等しい数の表示スライスを占め得る。例えば、A5のビットスライスに対する表示時間D5が、基礎表示時間として選択され得る。より長い表示時間、例えば、A6とA7とのビットスライスに対する表示時間D6とD7とは、それぞれが基礎表示時間に等しい継続時間を有するスライスに

10

20

30

40

50

分割され得る。

【0042】

従来のシステムにおいては、各表示スライスと同じ継続時間を有しており、表示スライスに対する期間は、スライス表示時間と呼ばれ得る。例えば、基礎表示時間は、A5の表示時間D5となるように選ばれ得る。その結果、スライス表示時間は、A5のビットプレーンに対する期間D5（例えば、 $320\mu s$ ）となる。（画素のセルにおける単一のメモリデバイスを含む）従来の表示デバイスに対するスライス表示時間に対する1つの基準は、スライス表示時間が表示デバイスに対する書き込み時間よりも長いことが必要であるということである。例えば、SRAMを有するデバイスにおいて、SRAMの書き込み時間は、 $320\mu s$ の単位表示時間よりも短い $100\mu s$ であり得る。「A7」または「A6」のようなより長いビットプレーンは、複数のスライス表示時間から導き出され得る。A7のビットプレーンは、4つの表示スライスに分けられ得、それぞれが $320\mu s$ 継続する。A6のビットプレーンは、2つの表示スライスに分けられ得、それぞれが $320\mu s$ 継続する。A5のビットプレーンに基づいたスライス表示のスキームは、各カラーフィールドに対して全12個の表示スライスを必要とする：6つの表示スライスはA0～A5のビットプレーンに対してであり、2つのスライスはA6のビットプレーンに対してであり、4つのスライスがA7のスライスに対してである。

10

【0043】

表示シーケンスは、ビットプレーンに対する表示スライスの提示の順序である。かなり上位のビットプレーン（例えば、本例におけるA7およびA6のビットプレーン）の表示スライスは、より良い表示の均一性と、色の離散およびフリッカーのような表示のアーティファクトを減少させることのために、表示シーケンス全体に均等に分配され得る。より下位のビットプレーン（例えば、本例におけるA0、A1・・・、A5のビットプレーン）の表示スライスは、より上位のビットプレーンの表示スライスの間のギャップを満たすように割り当てられ得る。例えば、12個の表示スライスに分割された8ビットのカラーフィールドに対する表示シーケンスは、「A7A4A6A0A7A5A1A2A7A6A3A7」であり得、すなわち、A7のビットプレーンの表示に、A4のビットプレーンの表示が続き、A6のビットプレーンの表示が続くなどであり得る。

20

【0044】

従来の表示デバイスは、各画素のセルに1つの格納デバイスを含み得る。例えば、従来の表示システムに対する表示シーケンス「A7A4A6A0A7A5A1A2A7A6A3A7」が、図4に示されている。拡大された「書き込み」と「表示」のシーケンス401は、すぐ後にA6のビットプレーンの表示が続くA7のビットプレーンに基づいた表示を含む。A5のビットプレーンに対する表示スライスに対する $320\mu s$ の表示時間は、 $100\mu s$ の書き込み時間よりも長いので、A7のビットプレーンに対する表示スライスの表示が完了したときには、表示は既に書き込まれている。A6のビットプレーンは、A7のビットプレーンの表示の直後に、すぐに表示され得る。しかしながら、表示効率は、より短い表示時間を有するビットプレーンに対してはより低くなる。

30

【0045】

従来のSLMシステムにおける「書き込み」と「表示」のスキームの欠点は、より下位のビットに対する表示スライスの中の無駄な非表示時間である。図4における拡大された「書き込み」と「表示」のシーケンス402は、A7のビットプレーンの表示が続くA0のビットプレーンの表示を示す。A0のビットプレーンに対する表示時間D0は $10\mu s$ だけ継続するが、A7のビットプレーンに対するデータ書き込み時間は $100\mu s$ かかるので、マイクロミラー210が表示画像に光を導く「オン」の位置に傾けられ得る前に、マイクロミラー210はデータの更新の完了を待たなければならない。このように、A0のビットプレーンの表示後、A7のビットプレーンのデータの書き込みを待つ間に、長い非表示時間が存在する。長い非表示時間は従来のSLMシステムにおける無駄と非効率性を表す。同様に、 $100\mu s$ のデータ書き込み時間はまた、他のより下位のビットプレーン、例えば、ビットプレーンA1～A3に対する表示時間よりも長い。同様に、A1～

40

50

A 3のビットプレーンは全て100 $\mu$ sの書き込み時間より短いので、様々な量の非表示時間がまた、A 1～A 3のビットプレーンに関連して存在する。言い換えると、データの書き込みが、下位のビットの表示時間に対するSLMのネックになっている。データの書き込みに関するネックが、様々な画像の解像度、ビットの表示時間、および書き込み時間を有する従来のSLMシステムに存在し得る。より大きい画素のアレイまたはより高い画素のビット深度に対して、問題は特に深刻になる。アレイのサイズの増大は、データの書き込み時間を増加し得る。画素のビット深度の増大は、下位のビットに対する表示時間を短くし得る。両方の効果が、データの書き込み時間と下位のビットの表示時間との間のギャップを増加させ得、その結果、SLMシステムの効率性をさらに低下させる。

#### 【0046】

一部の従来のSLMシステムに実装される「書き込み」と「表示」のシーケンスが図5Aに示されている。「書き込み」と「表示」のシーケンスは、ビットプレーンのシーケンスA 7、A 4、A 6、A 0、A 7を含む。固定の表示単位が、例えば、A 5のビットプレーンになるように選択される。画素のセルは、1タイプの「書き込み」行為だけを含み得る。基礎表示時間（例えば、320 $\mu$ s）が書き込み時間（例えば、100 $\mu$ s）よりも長くなるように、（A 5のビットプレーンに基づいた）表示スライスが選択される。現在のビットプレーンが表示されている間、次のビットに対する「書き込み」行為が行われる。（A 5のビットプレーンに対する）基礎表示時間は、ビットプレーンのうちの一部（例えば、A 0～A 4のビットプレーン）よりも長いので、「表示」シーケンスは、表示シーケンスにおいてギャップを含み、該ギャップは、表示サイクル時間における無駄を表す。

#### 【0047】

従来の表示システムとは対照的に、本開示のシステムおよび方法は、画素のセルにおいて2つの「書き込み」イベントを使用することによって、従来の表示システムにおける表示スライス間の非表示時間を減少または排除し得る。さらに、本開示のシステムは、より下位のビットプレーンを固定の表示単位に制限しない。SLMシステム100は、各画素のセル200内に2つのSRAM240および245を含み得、該SRAM240および245は両方とも、表示のためのデータを画素のセル200に書き込み得る。SLMシステム100と画素のセル200とは、表示スライス間にバックグラウンドにおける2つのデータの書き込みを可能にすることによって、SLMの表示の効率性を改善し得る。2つのバックグラウンドでの書き込みは、画素のセル200における2つのSRAM240および245によって達成され得る。2つのSRAM240および245は、表示の効率性を改善、例えば最大化するようなシーケンスで書き込まれる。

#### 【0048】

図5Bに示されるように、「書き込み」と「表示」のシーケンス（例えば、A 7 A 4 A 6 A 0 A 7 A 5）は、SRAM240による「書き込み1」とSRAM245による「書き込み2」とを含み得る。「書き込み1」および「書き込み2」のイベントにおいて、SRAM240および245に格納されたデータがそれぞれ、表示イネーブル信号「DE0」および「DE1」の制御の下、レベルシフト230に書き込まれ得る。DE0およびDE1を制御するコントローラは、書き込みと表示のシーケンスを用いて構成されており、シーケンスに従って表示イネーブル信号を制御する。特に、適切なとき、つまり2つのSRAMの書き込み時間よりも長い表示スライスの間に、各SRAM内のデータがレベルシフトに送信されること、従ってミラーに送信されることを、コントローラは表示イネーブル信号に可能にさせる。

#### 【0049】

本開示のシステムにおいて、表示スライスの継続時間は異なり得、より下位のビットに対する表示スライスはより短い時間をとる。ビットプレーンのうちの1つが、表示スライスの最大継続時間を規定するために選択され得る。従って、表示スライスの最大継続時間に対応するビットプレーンよりも下位にあるビットプレーンに対する表示スライスは、異なる継続時間を有し得る（特に、継続時間はそのビットプレーンに対する表示時間に比例し得るかまたは等しくなり得る）。しかしながら、選択されたビットプレーンとより上位

10

20

30

40

50

のビットプレーンとに対する表示スライスは、同じ継続時間（すなわち、表示スライスの最大継続時間に対応するビットプレーンの継続時間）を有し得る。例えば、A 5のビットプレーンが表示スライスを規定するために選択されるということを仮定すると、A 5、A 6およびA 7のビットプレーンに対する表示スライスの継続時間は、 $320\ \mu\text{s}$ であり得る。選択されたビットプレーンよりも上位にあるビットプレーンは、より上位のビットプレーンに対する表示時間を選択されたビットプレーンに対する表示時間によって割られたものに等しい数の表示スライスを占め得る。

#### 【0050】

選択されたビットプレーンとより上位のビットプレーンとに対する表示スライスの数は、より下位のビットプレーンに対する表示スライスの数以上になり得る。例えば、A 5のビットプレーンが表示スライスの最大継続時間を規定するために選択されるということを仮定すると、より下位のビットプレーンは、5つの表示スライス（A 0、A 1、A 2、A 3およびA 4に対してそれぞれ1つ）を使用するが、選択されたビットとより上位のビットとは、7つの表示スライス（A 5に対して1つ、A 6に対して2つ、およびA 7に対して4つ）を使用する。さらに、選択されたビットプレーンとより上位のビットプレーンとに対する表示単位は、書き込み時間の2倍以上の継続時間を有し得る。

10

#### 【0051】

1つまたは2つの「書き込み」イベントが、表示スライスの間に行われ得る。例えば、2つの「書き込み」イベントに対する合計時間 $200\ \mu\text{s}$ は、 $320\ \mu\text{s}$ の表示スライスの継続時間よりも短いので、「書き込み2」と「書き込み1」とが、A 7のビットプレーンに対する表示スライスの間に生じ得る（バックグラウンド書き込みまたはパイプライン式書き込みと表示の動作と呼ばれる）。A 7のビットプレーンに対する表示スライスの間の「書き込み2」のイベントと「書き込み1」のイベントとは、次の表示スライスに対するデータをA 4およびA 6のビットプレーンに提供する。同様に、2つの書き込みイベント「書き込み2」と「書き込み1」とはまた、A 6のビットプレーンに対する表示スライスの間に生じるように配置され得、A 0およびA 7のビットプレーンの表示スライスの準備をする。次の2つの書き込みイベント「書き込み2」と「書き込み1」とが、次のA 7のビットプレーンの表示スライスの間に生じ得、次のビットプレーンA 5の表示スライスの準備をするなどである。次のビットプレーンの表示に先立って、データがSRAM 240および245によって準備され得るので、図5Bに示されている表示シーケンスは、従来のSLMシステムにおける表示シーケンスにおけるビットプレーンの表示の間に多くの時間の経過を含まない。

20

30

#### 【0052】

表示シーケンス、つまり、フレームの間の表示スライスのシーケンスは、SRAMから書き込むために十分に長い表示スライスが、2つの書き込みイベントよりも短い表示スライスに先行するような順番に並べられ得る。一部の実施形態において、表示シーケンスは、対の表示スライスを含み、短い表示スライスが、2つのSRAMに対する書き込みイベントと少なくとも同じ長さである表示スライスと対にされる。例えば、図5Bに示されているように、A 4がA 6と対にされ、A 0がA 7と対にされる。このような対にすることが、図5Aにおける無駄な表示時間を排除し得る。第1の表示スライスは、SLMによる表示時間の第1の期間を有し得、第2の表示スライスは、SLMによる表示時間の第2の期間を有し得る。第1の期間は第2の期間よりも長くなり得る。2つの連続する書き込みイベントは、次の1つ以上の表示スライスに対する表示データを準備するために、短い表示スライスの表示の後であり、かつ第1の期間の間に生じ得る。第1の期間は、2、4、またはそれを上回る因数だけ第2の期間と異なり得る。例えば、A 0のビットプレーンはA 5、A 6またはA 7のビットプレーンと対にされ得る。A 1のビットプレーンはA 5、A 6、またはA 7のビットプレーンと対にされ得る。長い表示スライスと短い表示スライスを対にすることは、2つの書き込みイベントが、次の2つの表示スライスに対するデータを書き込むための長い表示スライスに詰め込まれることを可能にする。つまり、対にされた表示スライスは、短い表示スライスを先に表示するように配置され得、その結果、

40

50

対応するSRAMは、続くより長い表示スライスの表示の間、更新のために使える状態にされ得る。SRAMデータがレベルシフトに伝達され、SLMミラーがひっくり返されると、SRAMの内容は最早必要とされず、次の対の表示スライスに対する新たなデータで書き換えられ得る。

#### 【0053】

画素のセル200は他の制御シーケンスの下で動作し得るということが理解される。例えば、2つのビットプレーンに対するデータが、表示スライスの表示の間に、画素のセル内の2つのSRAMに書き込まれ得る。ミラーリセット信号は、一定の出力状態にレベルシフト230を設定してレベルシフト230が浮動することを防止するために、SRAM240および245を迂回し、「0」または「1」のいずれかのデータをレベルシフト230に直接的に書き込み得る。浮動しているままであると、レベルシフト230からの比較的高い電圧の出力が、画素のセル200およびSLMシステム100における低い電圧の回路を損傷し得る。SRAM240および245は、バックグラウンドの「書き込み」のために使える状態にされ得る。ミラーリセットパルスがミラー210に適用される前に、1つまたは2つのSRAM240および245が準備を完了すると、SRAM240および245は、適切な出力レベルにレベルシフト230を維持するように、レベルシフト230にデータを出力し、グローバルリセット信号を置き換え得る。現在のビットプレーンが2つの書き込み時間の合計よりも長い限り、制御シーケンスは、2つのビットプレーンに対するデータが2つのSRAMに書き込まれることを可能にする。

10

#### 【0054】

開示されたSLMシステムの利点は、開示されたSLMシステムが従来のSLMシステムよりも高いデータ書き込み速度を提供するという点である。画像データは各画素のセルに対する2つ以上のSRAMによって格納される。SLMデバイスが前のビットプレーンに対応する光を導いている間に、2つ以上のSRAMに格納された画像データは画素のセル内のSLMに書き込まれ得る。従って、現在の表示イベントが完了されると、画像データはSLMにおける次の表示イベントの準備を完了し得る。非表示時間は従来のSLMシステムと比較すると減少または排除され得る。開示されたシステムおよび方法は、高解像度かつ高いビット深度の表示の用途に対して特に有益である。大きい画素のアレイに関連する長いデータ書き込み時間および/または下位のビット表示における短い表示時間により、これらの用途では長い非表示時間を有する傾向にある。開示されたシステムはまた、低電圧の信号を使用して画素のセルにデータを書き込むことによって、従来のSLMシステムよりも低い電力を消費し得る。低電圧の信号はレベルシフトによって中間電圧の信号に転換され、中間電圧の信号がSLMを駆動するために使用される。

20

30

#### 【0055】

開示されたSLMシステムの利点は、画素のアレイ110におけるマイクロミラーのアレイ全体が、単一のミラーリセットパルス(RST0またはRST1)によって同時に更新され得、該単一のミラーリセットパルス(RST0またはRST1)は、一部の従来のSLMシステムにおける画素のセルから画素のセルへのミラープレートの逐次的な更新と比較して、ミラーの更新時間を最小化し得る。ミラーのリセットは、表示スライスの最初と最後に生じ得る。従って、開示されたSLMシステムにおいては、表示効率が改善されている。

40

#### 【0056】

開示されたシステムおよび方法は、SLMデバイスの他の構成および製造技術と互換性があるということが理解される。例えば、開示されたSLMシステムは、接触型マイクロミラーまたは非接触マイクロミラーと互換性がある。開示されたシステムおよび方法は、上に開示された特定の回路設計に限定されない。上で使用されたパラメータは、開示されたSLMシステムの動作を例示するための例であることが意味される。開示された画素のセル、および「書き込み」と「表示」とのシーケンスは、様々な画像解像度、ビット表示時間、書き込み時間、およびカラー表示画像の様々なカラープレーンに適用され得る。さらに、上で使用された特定のビットプレーンおよび表示単位のスキームは、開示されたシ

50

システムおよび方法の動作を例示していることを意味されるのみである。開示されたシステムは、多数の可能なビットプレーンおよび表示単位の装置と互換性がある。ミラーリセット時間、グローバルリセット時間、およびビットプレーンに対する継続時間は全て、上に記述された例と異なり得る。さらに、開示されたシステムおよび方法は、様々なSRAM構成と様々なレベルシフト設計とに互換性がある。例えば、画素のセルは、表示のためにレベルシフトにデータを交互に書き込み得る3つ以上のSRAMを含み得る。

【図面の簡単な説明】

【0057】

【図1】図1は、SLMシステムにおける空間光変調器のアレイを駆動する回路の構成図である。

10

【図2A】図2Aは、図1の空間光変調器における画素のセルの概略図である。

【図2B】図2Bは、図2Aの画素のセルに対する例示的な回路図を示す。

【図3】図3は、SLMシステムにおけるカラープレーンにおける2進数の表示ビットA0、A1、A2・・・およびA7に対する表示時間の概略的な例示である。

【図4】図4は、従来のSLMシステムにおけるカラープレーンにおける画素のセルにおける表示シーケンスの概略的な例示である。

【図5A】図5Aは、A5に基づいた固定の表示スライスを有する、従来のSLMシステムにおける画素のセルにおける表示シーケンス(A7A4A6A0A7)の概略的な例示である。

【図5B】図5Bは、可変の表示単位を有する、SLMシステムにおける画素のセルにおける表示シーケンス(A7A4A6A0A7A5・・・)の概略的な例示である。

20

【符号の説明】

【0058】

- 200 画素のセル
- 210 マイクロミラー
- 211、222 電極
- 230 レベルシフト
- 240、245 SRAM

【図 1】

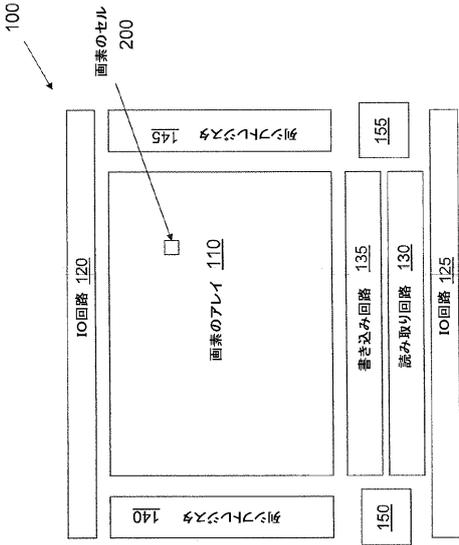


Figure 1

【図 2 A】

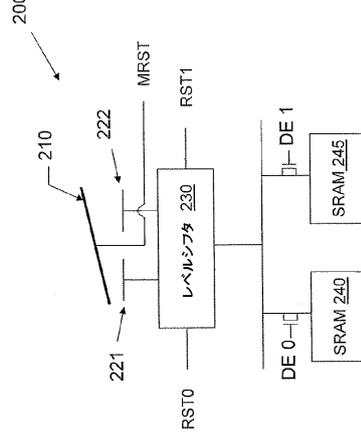
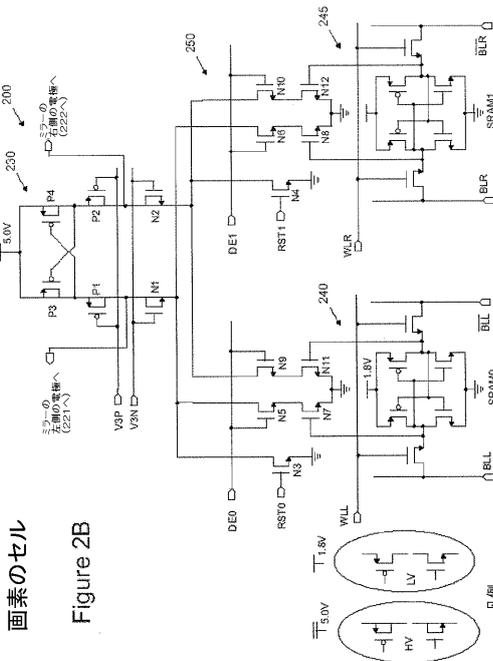


Figure 2A

【図 2 B】



画素のセル

Figure 2B

【図 3】

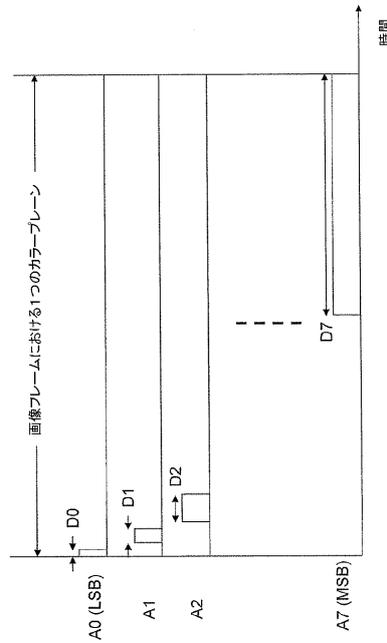


Figure 3

【図 4】

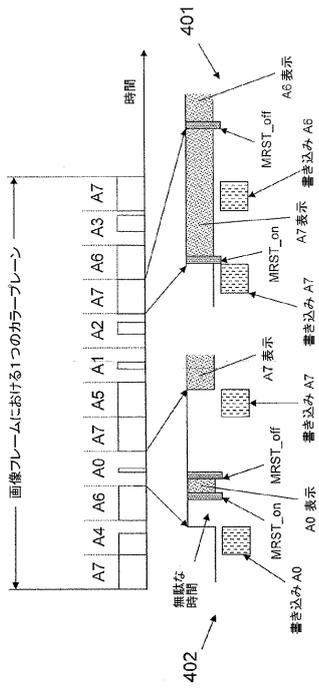


Figure 4 (従来技術)

【図 5 A】

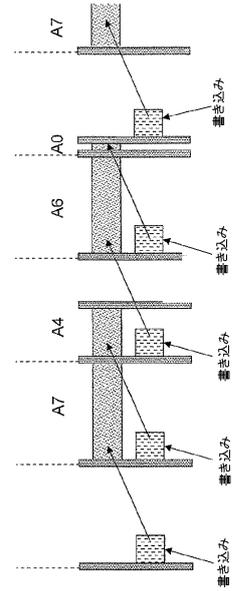


Figure 5A (従来技術)

【図 5 B】

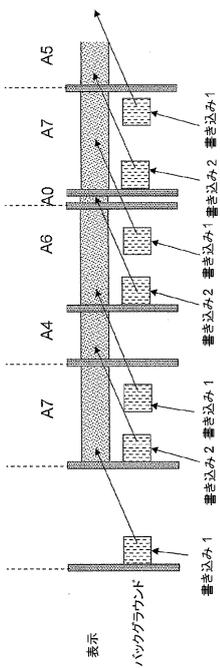


Figure 5B

---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 9 G 3/20 6 4 1 E

(72)発明者 チー - リアン チェン  
アメリカ合衆国 カリフォルニア 9 5 0 7 0 , サラトガ , ジブシー ヒル ロード 1 5 0  
2 0

(72)発明者 アレックス フン - ピン サン  
アメリカ合衆国 カリフォルニア 9 5 0 1 4 , クパチーノ , ミルキー ウェイ 1 1 2 4

Fターム(参考) 2H141 MA04 MA05 MA13 MB24 MB63 MC06 MD12 MD20 MD23 MF01  
MF22 MG04 MZ15  
5C080 AA18 BB05 CC03 DD30 EE30 FF03 GG12 JJ02 JJ03 JJ04  
JJ06