



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I742485 B

(45)公告日：中華民國 110 (2021) 年 10 月 11 日

(21)申請案號：108145858

(22)申請日：中華民國 108 (2019) 年 12 月 13 日

(51)Int. Cl. : **G05B19/02 (2006.01)****H01L21/67 (2006.01)****H01L23/48 (2006.01)**

(30)優先權：2019/09/17 美國

16/572,628

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72)發明人：吳志偉 WU, CHIH-WEI (TW)；施應慶 SHIH, YING-CHING (TW)；鄒賢儒 TSOU,
HSIEN-JU (TW)

(74)代理人：卓俊傑

(56)參考文獻：

TW 200413980A

TW 201729373A

CN 101266937A

US 2011/0131007A1

審查人員：施孝欣

申請專利範圍項數：10 項 圖式數：14 共 57 頁

(54)名稱

半導體裝置製造中的移位控制方法

(57)摘要

一種在半導體裝置製造中的移位控制方法包括至少以下步驟。確定半導體晶粒的第一目標與所述半導體晶粒的第二目標的疊對偏移，其中所述第二目標設置在所述第一目標上。將所述半導體晶粒放置在載體之上，其中放置所述半導體晶粒包括回饋所述疊對偏移以得到對所述半導體晶粒的位置控制。對所述半導體晶粒進行後處理以形成半導體裝置。另提供其他在半導體裝置製造中的移位控制方法。

A shift control method in manufacture of semiconductor device includes at least the following step. An overlay offset of a first target of a semiconductor die and a second target of the semiconductor die is determined, where the second target is disposed on the first target. The semiconductor die is placed over a carrier, where placing the semiconductor die includes feeding back the overlay offset to result in a positional control of the semiconductor die. The semiconductor die is post processed to form a semiconductor device. Other shift control methods in manufacture of semiconductor device are also provided.

指定代表圖：

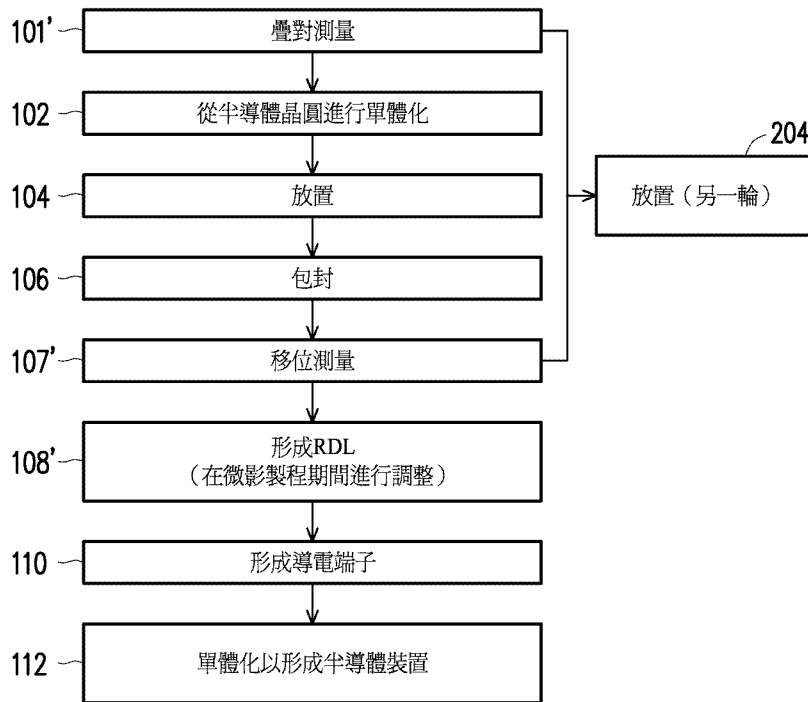
符號簡單說明：

200:方法

101'、102、104、

106、107'、108、

110、112、204:步驟



200

【圖5】



I742485

【發明摘要】

【中文發明名稱】半導體裝置製造中的移位控制方法

【英文發明名稱】SHIFT CONTROL METHOD IN MANUFACTURE
OF SEMICONDUCTOR DEVICE

【中文】一種在半導體裝置製造中的移位控制方法包括至少以下步驟。確定半導體晶粒的第一目標與所述半導體晶粒的第二目標的疊對偏移，其中所述第二目標設置在所述第一目標上。將所述半導體晶粒放置在載體之上，其中放置所述半導體晶粒包括回饋所述疊對偏移以得到對所述半導體晶粒的位置控制。對所述半導體晶粒進行後處理以形成半導體裝置。另提供其他在半導體裝置製造中的移位控制方法。

【英文】A shift control method in manufacture of semiconductor device includes at least the following step. An overlay offset of a first target of a semiconductor die and a second target of the semiconductor die is determined, where the second target is disposed on the first target. The semiconductor die is placed over a carrier, where placing the semiconductor die includes feeding back the overlay offset to result in a positional control of the semiconductor die. The semiconductor die is post processed to form a

semiconductor device. Other shift control methods in manufacture of semiconductor device are also provided.

【指定代表圖】圖5。

【代表圖之符號簡單說明】

200：方法

101'、102、104、106、107'、108、110、112、204：步驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置製造中的移位控制方法

【英文發明名稱】SHIFT CONTROL METHOD IN MANUFACTURE
OF SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明的實施例是有關於一種半導體裝置的製造方法，特別是有關於一種半導體裝置製造中的移位控制方法。

【先前技術】

【0002】 半導體裝置用於例如個人電腦、行動電話、數位相機及其他電子裝置等的各種電子應用中。隨著對縮小電子裝置的需求的增長，出現了對更小且更具創造性的半導體晶粒封裝技術的需求。因此，已開始開發例如晶圓級封裝（wafer level packaging，WLP）等的封裝，例如將半導體晶粒包封在絕緣材料中且在絕緣材料上形成重佈線層（redistribution layer，RDL），以扇出半導體晶粒的接觸墊的佈線，以比半導體晶粒的接觸墊更大的間距進行電性接觸。

【0003】 然而，這些相對新的半導體封裝類型面臨製造挑戰，例如當將半導體晶粒定位在載體晶片上並形成絕緣材料以覆蓋半導體晶粒時，半導體晶粒可能發生非期望的移動，這可在隨後形成的 RDL 材料層對準時造成問題。因此，封裝形成中的此種晶粒移

動會導致良率降低。

【發明內容】

【0004】 根據一些實施例，一種在半導體裝置製造中的移位控制方法包括至少以下步驟。確定半導體晶粒的第一目標與所述半導體晶粒的第二目標的疊對偏移，其中第二目標設置在第一目標上。將半導體晶粒放置在載體之上，其中放置半導體晶粒包括回饋疊對偏移以得到對所述半導體晶粒的位置控制。對半導體晶粒進行後處理以形成半導體裝置。

【0005】 根據一些實施例，一種在半導體裝置製造中的移位控制方法包括至少以下步驟。在載體之上利用絕緣包封體包封多個半導體晶粒，其中多個半導體晶粒的至少部分在包封之後發生移位。至少在多個半導體晶粒上形成微影圖案，其中形成微影圖案包括補償多個半導體晶粒的部分的位置的移位。

【0006】 根據一些實施例，一種在半導體裝置製造中的移位控制方法包括至少以下步驟。響應於多個半導體晶粒中的各個半導體晶粒的疊對偏移而將多個半導體晶粒放置在載體之上的第一位置處。在載體上形成絕緣包封體以包封多個半導體晶粒，其中多個半導體晶粒的一部分從第一位置移位到第二位置。對多個半導體晶粒進行後處理以形成半導體裝置。

【圖式簡單說明】

【0007】 結合附圖閱讀以下詳細說明，會最佳地理解本發明的各個態樣。應注意，根據行業中的標準慣例，各種特徵並非按比例繪製。事實上，為論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1 是示出根據一些實施例的半導體裝置的製造方法的流程圖。

圖 2 是示出根據一些實施例半導體晶片在單體化之前的示意性俯視圖。

圖 3 是示出根據一些實施例放置在載體上的多個半導體晶粒的示意性俯視圖。

圖 4A 至圖 4F 是根據一些實施例製造半導體裝置的各個階段的示意性剖視圖。

圖 5 是示出根據一些實施例的半導體裝置的製造方法的流程圖。

圖 6A 及圖 7A 是示出根據一些實施例的半導體晶粒的疊對偏移（overlay offset）的示意性剖視圖。

圖 6B 及圖 7B 是示出根據一些實施例圖 6A 及圖 7A 中分別所示的半導體晶粒的疊對偏移的示意性俯視圖。

圖 8 是示出根據一些實施例的半導體晶粒的疊對偏移的示意性散佈圖。

圖 9 是示出根據一些實施例在調整之後放置在載體上的多個半導體晶粒的示意性俯視圖。

圖 10 是示出根據一些實施例在包封之後半導體晶粒的分佈的示意性俯視圖。

圖 11A 是示出根據一些實施例在包封之後半導體晶粒的分佈的示意性俯視圖。

圖 11B 是示出根據一些實施例沿著圖 11A 中的線 C-C' 截取的局部半導體晶粒的示意性剖視圖。

圖 12 是示出根據一些實施例用於形成重佈線層的微影系統的示意性立體圖。

圖 13 及圖 14 是示出根據一些實施例的半導體裝置的製造方法的流程圖。

【實施方式】

【0008】 以下揭露內容提供用於實作本發明的不同特徵的諸多不同的實施例或實例。以下闡述組件及排列的具體實例以簡化本揭露內容。當然，該些僅為實例且不旨在進行限制。舉例而言，以下說明中將第一特徵形成於第二特徵「之上」或第二特徵「上」可包括其中第一特徵及第二特徵被形成為直接接觸的實施例，且亦可包括其中第一特徵與第二特徵之間可形成有附加特徵、進而使得所述第一特徵與所述第二特徵可能不直接接觸的實施例。另外，本發明可能在各種實例中重複使用參考編號及/或字母。此種重複使用是出於簡潔及清晰的目的，但自身並不表示所論述的各種實施例及/或配置之間的關係。

【0009】 另外，為了易於描述圖中所示的一個元件或特徵與另一元件或特徵的關係，本文中可使用例如「在...下」、「在...下方」、「下部」、「上覆」、及「上部」等空間相對用語。除了圖中所繪示的取向之外，所述空間相對用語亦旨在涵蓋裝置在使用或操作時的不同取向。設備可被另外取向（旋轉 90 度或在其他取向），而本文所用的空間相對描述語可同樣相應地作出解釋。

【0010】 還可包括其他特徵及製程。舉例來說，可包括測試結構以說明對三維（three-dimensional，3D）封裝或三維積體電路（three-dimensional integrated circuit，3DIC）裝置進行驗證測試。所述測試結構可包括例如在重佈線層中或基板上形成的測試墊（test pad），以便能夠對 3D 封裝或 3DIC 進行測試、使用探針及/或探針卡（probe card）等。可對中間結構以及最終結構實行驗證測試。另外，本文中所公開的結構及方法可與包含對已知良好晶粒（known good die）進行中間驗證的測試方法結合使用以提高良率並降低成本。

【0011】 圖 1 是示出半導體裝置的製造方法的流程圖、圖 2 是示出在單體化之前半導體晶片的示意性俯視圖、圖 3 是示出放置在載體上的多個半導體晶粒的示意性俯視圖、圖 4A 至圖 4F 是製造半導體裝置的各個階段的示意性剖視圖，其中圖 4A 至圖 4F 可為沿著圖 3 中的線 A-A 截取的示意性剖視圖。參照圖 1 至圖 4F 所闡述半導體裝置及其製造方法。

【0012】 參照圖 1 及圖 2，方法 100 始於步驟 102，將半導體晶片

SW 單體化以形成多個半導體晶粒 SD。在一些實施例中，半導體晶片 SW 被處理至完成包括前段製程（front-end-of-line，FEOL）層及後段製程（back-end-of-line，BEOL）層在內的所有層。舉例來說，多個晶粒區域 DL 以列和行的形式佈置在整個半導體晶片 SW 上。每一晶粒區域 DL 是同一半導體晶片 SW 的一部分且可包括已製造的各種積體電路元件。所述積體電路元件可包括電晶體、電容器、電阻器、這些的組合或者可用於產生半導體晶粒 SD 的設計的結構及功能要求的其他適合的元件。在一些實施例中，各個半導體晶粒 SD 是單一尺寸的，但每一晶粒區域 DL 可包括不同的設計或產品。應注意，半導體晶粒 SD 的尺寸、形狀及設計可彼此不同，半導體晶粒 SD 可不必成列及成行地排列。

【0013】 在一些實施例中，將半導體晶片 SW 附裝到帶框（圖中未示出），以在單體化製程期間將半導體晶片 SW 固持就位。隨後，可對半導體晶片 SW 實行切割或單體化製程。舉例來說，使用機械鋸、雷射鋸或其他適合的工具沿著切割道（例如一系列水平線及垂直線）對整個半導體晶片 SW 進行切割，使得若干半導體晶粒 SD 彼此分離或單體化。

【0014】 參照圖 1、圖 3 及圖 4A，方法 100 繼續進行到步驟 104，將半導體晶粒 SD 放置在臨時載體 TC 上。臨時載體 TC 可包括在半導體處理期間能夠提供結構支撐的任何適合的材料。舉例來說，臨時載體 TC 包含金屬（例如鋼）、玻璃、陶瓷、矽（例如塊狀矽）、其組合、其多層體等。視需要在臨時載體 TC 上形成離型層（圖中

未示出)，以用於將臨時載體 TC 與隨後形成在其上的結構結合及剝離。舉例來說，離型層包括一層光熱轉換（light-to-heat-conversion, LTHC）離型塗層及一層相關的黏合劑（例如紫外線（ultra-violet, UV）可固化黏合劑層或熱可固化黏合劑層）等。

【0015】舉例來說，藉由拾放製程將半導體晶粒 SD 分別設置在臨時載體 TC 上。在一些實施例中，藉由晶粒貼合膜 DAF 將半導體晶粒 SD 的後表面 312b 貼合到臨時載體 TC。可在拾放製程之前為半導體晶粒 SD 提供與半導體晶粒 SD 的後表面 312b 貼合的晶粒貼合膜 DAF。作為另一選擇，省略晶粒貼合膜 DAF。在一些實施例中，各個半導體晶粒 SD 在空間上彼此分開且在相鄰的半導體晶粒 SD 之間形成間隙 G。在一些實施例中，間隙 G 中不存在晶粒貼合膜 DAF。

【0016】舉例來說，半導體晶粒 SD 包括數位晶粒（digital die）、類比晶粒（analog die）或混合訊號晶粒（例如應用專用積體電路（application-specific integrated circuit, ASIC）晶粒、邏輯晶粒、感測器晶粒），但並非僅限於此。應注意，出於說明目的，圖 4A 至圖 4F 中僅呈現一個半導體晶粒 SD，然而，半導體晶粒 SD 的數目可為一個或多於一個，並非僅限於此。在某些實施例中，可提供從另一個半導體晶片單體化的附加的半導體晶粒並將其放置在臨時載體 TC 上，附加的半導體晶粒及半導體晶粒 SD 可為相同類型或不同類型。

【0017】 在一些實施例中，各個半導體晶粒 SD 包括半導體基板 312、設置在半導體基板 312 上的多個導電墊 314、設置在各個導電墊 314 上的多個導電連接件 316、以及局部覆蓋導電連接件 316 及導電墊 314 的保護層 318。在一個實施例中，半導體基板 312 是矽基板，包括形成在其中的主動元件（例如二極體、電晶體等）及被動元件（例如電阻器、電容器、電感器等）。在一個實施例中，導電墊 314 由鋁或其合金等製成。導電墊 314 可經由設置在半導體基板 312 與導電墊 314 之間的內連結構（圖中未示出）電性耦合到形成在半導體基板 312 中的主動/被動元件，導電連接件 316 可電性連接到導電墊 314，以提供通往形成在半導體基板 312 中的積體電路元件的外部連接。在一些實施例中，上面分佈有導電連接件 316 的表面被稱為半導體晶粒 SD 的主動表面。

【0018】 在一個實施例中，導電連接件 316 包括銅通孔、銅合金通孔或其他適合的金屬通孔。在一些實施例中，導電連接件 316 包含鉛系材料或者在頂部形成有/未形成有附加雜質的無鉛材料，但並非僅限於此。在一些實施例中，保護層 318 形成在半導體基板 312 上，用於防止導電連接件 316 上出現任何可能的損壞。在一些實施例中，保護層 318 包括鈍化子層，所述鈍化子層具有開口，用於以可觸及的方式暴露出導電連接件 316 的至少一部分。保護層 318 可由聚苯並噁唑（polybenzoxazole，PBO）層、聚醯亞胺（polyimide，PI）層或者適合的聚合物或無機材料製成。在實施例中，導電連接件 316 的頂表面與保護層 318 的頂表面實質上

齊平。導電墊 314 及導電連接件 316 的數目可基於需求來選擇，這在本發明實施例中不受限制。應注意，在所有圖中對半導體晶粒 SD 及其他元件的示例均為示意性的且未按比例繪製。

【0019】 參照圖 1 及圖 4B，方法 100 繼續進行到步驟 106，利用絕緣包封體 320 包封半導體晶粒 SD。作為實例，絕緣包封體 320 包括模制化合物、環氧樹脂、二氧化矽填料及/或抗蝕劑材料，但絕緣包封體 320 可使用其他材料。絕緣包封體 320 可填充到相鄰半導體晶粒 SD 之間間隙 G 中。舉例來說，絕緣包封體 320 的形成包括：藉由包覆模制（over-molding）來形成絕緣材料（圖中未示出）以包封半導體晶粒 SD，其中可實行固化製程以使絕緣材料凝固；以及將絕緣材料平面化至至少導電連接件 316 以可觸及的方式被暴露出以用於外部連接，其中平坦化可包括研磨、化學機械拋光（chemical-mechanical polishing, CMP）、蝕刻等。在一些實施例中，在平坦化之後，半導體晶粒 SD 之上可能不存在絕緣包封體 320。在結構的俯視圖中，半導體晶粒 SD 被絕緣包封體 320 橫向覆蓋及包圍。在一些實施例中，絕緣包封體 320 的頂表面與半導體晶粒 SD 的頂表面實質上齊平，如圖 4B 中所示。

【0020】 參照圖 1 及圖 4C，方法 100 繼續進行到步驟 108，在半導體晶粒 SD 及絕緣包封體 320 上形成重佈線層（redistribution layer, RDL）330。舉例來說，RDL 330 包括彼此上下交替堆疊的至少一個經圖案化介電層及至少一個經圖案化導電層。在示例性實施例中，RDL 330 的形成至少包括以下步驟。舉例來說，藉由

使用沉積、微影、蝕刻及/或其他適合的方法在半導體晶粒 SD 及絕緣包封體 320 上形成具有開口的經圖案化介電層 332。半導體晶粒 SD 的導電連接件 316 可由經圖案化介電層 332 的開口至少局部地暴露出。經圖案化介電層 332 的材料可包括聚醯亞胺 (PI)、聚苯並噁唑 (PBO)、苯環丁烷 (BCB) 或其他適合的電性絕緣材料。接下來，使用鍍覆、濺鍍、微影、蝕刻及/或其他適合的方法，在經圖案化介電層 332 上形成經圖案化導電層 334。經圖案化導電層 334 的材料可包括銅、鎢、鋁、銀、金等或其組合。舉例來說，經圖案化導電層 334 的通孔部分形成在經圖案化介電層 332 的開口中，以與下面的半導體晶粒 SD 的導電連接件 316 物理及電性接觸。經圖案化導電層 334 的在經圖案化介電層 332 的表面上延伸的一部分可重新路由半導體晶粒 SD 的電訊號，以擴展到比給定區域更寬的範圍。

【0021】 在一些實施例中，可多次實行上述步驟，以獲得電路設計所需的多層式重佈線結構。也就是說，經圖案化介電層 332 及經圖案化導電層 334 的數目可基於需求來加以選擇且在本發明實施例中不受限制。在其他實施例中，經圖案化導電層 334 是在形成經圖案化介電層 332 之前形成。應注意，經圖案化介電層 332 及經圖案化導電層 334 的形成順序取決於設計要求且不解釋成對本發明實施例的限制。在一些實施例中，經圖案化導電層 334 的最頂層包括用於與稍後形成的元件進行電性連接的多個圖案。舉例來說，所述圖案包括用於球安裝的凸塊下金屬 (under-ball

metallurgy, UBM) 圖案及/或用於安裝電子元件的連接墊。

【0022】 參照圖 1 及圖 4D, 方法 100 繼續進行到步驟 110, 在 RDL 330 上形成導電端子 340。在一些實施例中, 藉由植球製程、鍍覆製程或其他適合的製程在經圖案化導電層 334 的 UBM 圖案上設置導電端子 340。舉例來說, 導電端子 340 包括受控塌陷晶片連接 (controlled collapse chip connection, C4) 凸塊、微凸塊、焊料球、球柵陣列 (ball grid array, BGA) 球或用於提供通往半導體晶粒 SD 的外部連接的其他適合的端子。根據設計要求, 可利用其他可能形式及形狀的導電端子 340。在一些實施例中, 可視需要實行焊接製程及回焊製程, 以增強導電端子 340 與 RDL 330 之間的黏附性。

【0023】 參照圖 1 及圖 4E 至圖 4F, 方法 100 繼續進行到步驟 112, 將所得結構單體化以形成多個半導體裝置 SP。舉例來說, 在形成導電端子 340 之後, 將臨時載體 TC 從所得結構剝離或移除, 如圖 4E 中所示。在一些實施例中, 將例如 UV 雷射、可見光或熱量等的外部能量施加到離型層, 使其失去黏合性, 以便可將絕緣包封體 320 及半導體晶粒 SD 從臨時載體 TC 拆離。圖 4E 示出將所得結構固定在帶框 TF 上, 所述帶框 TF 在隨後將半導體裝置 SP 從相鄰的半導體裝置單體化期間提供機械及結構支撐。可在剝離臨時載體 TC 之前或之後翻轉所得結構以固定在帶框 TF 上。視需要在移除臨時載體 TC 期間或之後移除晶粒貼合膜 DAF。然後, 將經單體化的結構從帶框 TF 移除, 從而留下如圖 4F 中所示的半導

體裝置 SP。在一些實施例中，半導體裝置 SP 被稱為扇外型半導體封裝。

【0024】 應注意，半導體裝置可呈現各種形式。可在圖 4A 至圖 4F 中所述的製程之前、期間及之後提供附加製程，本文中僅簡要地闡述一些其他製程。在一些實施例中，可將半導體裝置 SP 電性安裝到印刷電路板（printed circuit board，PCB）、印刷佈線板、中介層、封裝基板、附加半導體封裝及/或能夠承載積體電路的其他載體上。可使用其他封裝技術，這在本發明實施例中不受限制。半導體裝置 SP 可為例如計算裝置、無線通訊裝置、電腦相關周邊設備、娛樂裝置等的電子系統的一部分。應注意，可存在其他應用。

【0025】 在半導體裝置 SP 的製作期間，在半導體晶粒 SD 的導電連接件 316 與 RDL 330 的經圖案化導電層 334 之間進行恰當對準是重要的。在製作期間可能會因各種原因而導致不恰當的對準。舉例來說，半導體晶粒 SD 從在放置期間在臨時載體 TC 上的預定位置移位。在一些實施例中，當使絕緣材料固化以形成絕緣包封體 320 時，絕緣材料變形而可能對個別半導體晶粒 SD 施加不均勻的應力，而使半導體晶粒 SD 從其在放置之後的原始位置產生移位。當半導體晶粒 SD 從一個製造製程移位到後續製造製程時，上層中的圖案變得與下層中的圖案不對準。此種不對準可因為用於形成 RDL 330 的後續微影製程相對於移位後的半導體晶粒的不對準而在半導體裝置 SP 中導致非期望的電氣短路。隨著因對具有更

高積體密度的半導體晶粒 SD 的需求增加而使對準容差降低，不恰當的對準可能變得越來越成問題。如下文將闡述，存在許多在管理不恰當的對準時可考慮在內的操作因素。

【0026】 圖 5 是示出半導體裝置的製造方法的流程圖、圖 6A 及圖 7A 是示出半導體晶粒的疊對偏移的示意性剖視圖，其中圖 6A 及圖 7A 可為沿著圖 1 中的線 B-B' 截取的示意性剖視圖、圖 6B 及圖 7B 是示出圖 6A 及圖 7A 中分別所示的半導體晶粒的疊對偏移的示意性俯視圖、圖 8 是示出半導體晶粒的疊對偏移的示意性散佈圖、圖 9 是示出在調整之後放置在載體上的多個半導體晶粒的示意性俯視圖、圖 10 及圖 11A 是示出在包封之後半導體晶粒的分佈的示意性俯視圖、圖 11B 是示出沿著圖 11A 中的線 C-C' 截取的局部半導體晶粒的示意性剖視圖、圖 12 是示出用於形成重佈線層的微影系統的示意性立體圖。

【0027】 參照圖 5 至圖 11B 闡述半導體裝置及其製造方法。應注意，圖 5 中與圖 1 中所述的步驟相同或相似的一些步驟由相同或相似的參考標號代表，為簡潔起見簡化了詳細說明。雖然方法 200 在下文被示出及闡述為一系列動作或事件，但應瞭解，這些動作或事件的次序不應被解釋成具有限制意義。舉例來說，一些動作可以不同的次序發生及/或與除本文示出及/或闡述的動作或事件之外的其他動作或事件同時發生。另外，可能不需要所有示出的動作來實施本文說明的一個或多個方面或實施例。此外，本文所繪示的一個或多個動作可在一個或多個單獨的動作及/或階段中施

行。

【0028】 參照圖 5 至圖 8，方法 200 始於步驟 101'，實行疊對測量（overlay measurement）。舉例來說，在對圖 2 中所示的半導體晶片 SW 進行單體化之前，利用疊對計量設備（overlay metrology apparatus，圖中未示出）來實行疊對測量製程，以確定半導體晶粒的導電連接件與對應導電墊之間的疊對偏移。舉例來說，疊對偏移是半導體晶片的一層上的目標與半導體晶片的下面的另一層上的另一目標的位置差異或不對準。舉例來說，藉由利用疊對計量設備進行的圖像掃描來產生疊對測量值。在一些實施例中，疊對計量設備包括掃描單元、光源及用於進行疊對測量的其他適合的元件。舉例來說，藉由利用光源輻射或掃描半導體晶片並確定圖像（例如基於輻射的反射）來獲得半導體晶片的圖像。在一些實施例中，疊對計量設備的掃描單元包括可操作以掃描並產生圖像的照相機。產生圖像的步驟可被實行一次或若干次，以捕獲半導體晶片不同部分的圖像。應注意，可以各種方式實行使用疊對計量設備對疊對偏移的測量，這在本發明實施例中不受限制。

【0029】 在一些實施例中，步驟 101' 適於在完成導電連接件的製作之後提供對疊對偏移的測量。舉例來說，可藉由將具有導電墊分佈的第一圖像與具有上面的導電連接件分佈的第二圖像進行比較，來實行對疊對偏移的測量，其中在半導體晶片的任何層上可設置有參考標記以提供第一圖像與第二圖像的對準。可採用其他計量方法來檢測導電墊與對應導電連接件的疊對偏移。在一些實

施例中，選擇半導體晶片 SW 的晶粒區域 DL 的某些區來測量代表相應晶粒區域 DL 的疊對偏移的值。舉例來說，每一晶粒區域 DL 包括多於一個上面設置有高密度分佈的導電連接件的區域且此種區域可被視為用於疊對測量的特定區域。應注意，可將其他特徵區域定義為用於疊對測量的特定區域。

【0030】 在實施例中，參照圖 2、圖 6A 及圖 6B，測量半導體晶片 SW 的晶粒區域 DL 的連續層之間的疊對偏移。舉例來說，半導體晶片 SW 的晶粒區域 DL 包括導電連接件 316A 及對應導電墊 314A，其中導電連接件 316A 在第一方向 D1 上相對於對應的導電墊 314A 偏移疊對偏移值+A。疊對偏移值+A 可為包括和導電連接件 316A 與對應導電墊 314A 精確對準的情況相距的近似距離的距離。在一些實施例中，疊對偏移值+A 是從導電連接件 316A 的某一點（例如中心、邊緣中點、末端、頂點等）到導電墊 314A 的對應點（例如中心、邊緣中點、末端、頂點等）而測量。偏移方向可基於導電墊 314A 上的某一點被設定為參考點。

【0031】 在另一實施例中，參照圖 2、圖 7A 及圖 7B，半導體晶片 SW 的晶粒區域 DL 包括導電連接件 316B 及對應的導電墊 314B，其中導電連接件 316B 在與第一方向 D1 相反的第二方向 D2 上相對於對應的導電墊 314B 偏移疊對偏移值-B。疊對偏移值-B 可為導電連接件 316B 和與對應的導電墊 314B 直接對準的情況相距的距離。舉例來說，導電連接件 316B 的中心在第二方向 D2 上相對於對應導電墊 314B 的中心橫向偏移。

【0032】 為易於闡述且在不旨在使本文所公開的結構限制於任何特定取向的情況下，為方便起見，在本文中將第一方向 D1 及第二方向 D2 分別稱為“右側”及“左側”。在圖 6A 及圖 6B 所示的實施例中，導電連接件 316A 往對應的導電墊 314A 的右側偏移。在圖 7A 及圖 7B 所示的實施例中，導電連接件 316B 往對應的導電墊 314B 的左側偏移。應注意，儘管示出疊對偏移的兩個實施例，但可存在眾多其他實施例，包括不同維度方向(例如第一方向 D1、第二方向 D2、第三方向 D3、第四方向 D4、其組合等)上的疊對偏移的變型。舉例來說，在俯視圖中，導電連接件可往對應的導電墊的例如左下側、右下側、左上側、右上側偏移，其中為便於說明本發明的實施例，向頂部及向右側的偏移為正值疊對偏移，而向底部及向左側的偏移為負值疊對偏移。

【0033】 在一些實施例中，為確保連續的層被正確地堆疊，在製作半導體晶片 SW 時可使用參考標記 AM。舉例來說，藉由計算導電連接件(例如 316A、316B)與對應導電墊(例如 314A、314B)之間相對於半導體晶片 SW 上的參考標記 AM 的相對位置差異來確定疊對偏移值(例如+A、-B)。在一些實施例中，參考標記 AM 與導電墊 314A 設置在相同的層，作為測量(或識別)導電墊 314A 的相對位置的參考點。在一些實施例中，參考標記 AM 與導電墊 314A 是在同一步驟期間形成且可由相同或相似的材料製成。在一些實施例中，參考標記 AM 也作為對導電連接件(例如 316A、316B)進行位置測量的參考點。在其他實施例中，附加參考標記(圖中

未示出)也可設置在與導電連接件相同的層處,作為測量(或識別)導電連接件的相對位置的參考點,可藉由這些參考標記來測量導電連接件與對應導電墊之間的疊對偏移。在一些實施例中,參考標記 AM 可為形成在半導體晶片的層上的光學可讀標記或圖案,並且疊對計量設備的掃描單元可被配置成掃描參考標記 AM 以識別導電墊及/或導電連接件的位置。可採用其他類型及形式的參考標記 AM。

【0034】 在一些實施例中,標繪關於疊對偏移值的眾多點,以產生疊對偏移分佈圖(overlay offset profile)。參照圖 6A、圖 7A 及圖 8,例如與晶粒區域 DL 中的每一者相關的疊對偏移值(例如+A、-B)在圖 8 中被示作標繪點,其中疊對偏移值(例如+A、-B)代表導電連接件(例如 316A、316B)與對應導電墊(例如 314A、314B)對準的程度。舉例來說,晶粒區域 DL 的導電墊 314A 及導電連接件 316A 在第一方向 D1 上具有 1 個單位的疊對偏移(即+A)(在圖 8 所示坐標系中標繪在“+1”處)。晶粒區域 DL 的導電墊 314B 及導電連接件 316B 可在第二方向 D2 上具有 1 個單位的疊對偏移(即-B)(在圖 8 所示坐標系中標繪在“-1”處)。標繪點(即疊對偏移值)可被認為是用於代表特定維度方向上的偏移程度的維度值(或向量)。可將這些疊對偏移值轉換成與對應半導體晶粒相關的疊對校正值以用於後續如稍後闡述的放置步驟。

【0035】 方法 200 繼續進行到步驟 102,將半導體晶片 SW 單體化以形成單獨的半導體晶粒 SD。在確定與每一晶粒區域 DL 對應的

疊對偏移值之後，可沿著切割道實行切割或單體化製程，以將晶粒區域 DL 彼此分離，以形成多個半導體晶粒 SD。單體化步驟與圖 1 中所述的步驟 102 相似，因此為簡潔起見不再予以詳述。

【0036】 參照圖 5 及圖 9，方法 200 繼續進行到步驟 104'，將半導體晶粒 SD 放置在臨時載體 TC 上。在一些實施例中，使用疊對偏移值（例如+A、-B）來決定待放置的半導體晶粒 SD 的位置應被調整的程度。例如將疊對偏移值（例如+A、-B）轉換成疊對校正值（例如-A、+B），然後基於疊對校正值（例如-A、+B），拾放工具及/或晶圓台（圖中未示出）可相應地調整待放置的半導體晶粒的位置。

【0037】 在一些實施例中，控制疊對計量設備（圖中未示出）的主機計算裝置（圖中未示出）輸出疊對校正值（例如從圖 8 中所示的疊對偏移分佈圖轉換而成的-A、+B），拾放設備及/或晶圓台依據從主機電腦輸出的這些疊對校正值來補償每一個半導體晶粒 SD 的預期疊對偏移。疊對校正值是用於將半導體晶粒定位在對應的維度方向上的經修改位置處的維度值。在一些實施例中，在放置位置處的校正期間，使晶圓台或拾放工具沿 X 軸及/或 Y 軸移動等於疊對校正值的距離，但在疊對偏移的相反方向上移動，以補償半導體晶粒的位置上的疊對偏移。

【0038】 在一些實施例中，從半導體晶片 SW 單體化的半導體晶粒 SDA 的導電連接件 316A 在第一方向 D1 上相對於導電墊 314A 偏移（圖 6A 中示出），然後可將半導體晶粒 SDA 放置在經修改位

置 PA' 處，經修改位置 PA' 在與第一方向 D1 相反的第二方向 D2 上相對於原始位置 PA 偏移。原始位置 PA 是理想位置，舉例來說，如果疊對校正值為零，則半導體晶粒 SDA 被放置在原始位置 PA 上。經修改位置 PA' 是用於對半導體晶粒 SDA 的疊對偏移進行補償的校正位置。舉例來說，半導體晶粒 SDA 的導電連接件 316A 相對於導電墊 314A 向右側偏移 1 個單位，然後在放置期間，藉由將半導體晶粒 SDA 向左側放置 1 個單位的疊對校正（即-A）來補償疊對偏移值+A。相似地，半導體晶粒 SDB 的導電連接件 316B 相對於導電墊 314B 向左側移位 1 個單位的疊對偏移（例如 -B），因此可將半導體晶粒 SDB 放置在相對於原始位置 PB 向相反方向（即向右側）偏移 1 個單位的疊對校正（即+B）的經修改位置 PB' 處。應理解，上述補償方法及圖 9 中所示的配置是示例性的，可在本發明實施例的範圍內施行其變型。

【0039】參照圖 5 及圖 10，方法 200 繼續進行到步驟 106，利用絕緣包封體 320 包封半導體晶粒（例如 SDA、SDB）。舉例來說，在將半導體晶粒（例如 SDA、SDB）放置在經修改位置（例如 PA'、PB'）之後，在臨時載體 TC 上形成絕緣包封體 320，以包封半導體晶粒（例如 SDA、SDB）。絕緣包封體 320 的形成製程可與圖 4B 中所述的製程相似，因此為簡潔起見不再予以詳述。如上所述，半導體晶粒（例如 SDA、SDB）在包封製程（例如固化、冷卻、研磨、CMP 及/或其他製程）期間在臨時載體 TC 上的放置可能會移位。舉例來說，半導體晶粒 SDA 從經修改位置 PA' 移動到移

位位置 PA” ，半導體晶粒 SDB 可從經修改位置 PB’ 移動到移位位置 PB” 。依據經驗發現，此種位置移位到在臨時載體 TC 上可能不均勻，這是在後續製程中可能不希望藉由線性方式來補償的條件。在一些實施例中，在包封之後，半導體晶粒的位移以非線性方式表現。因此，在後續製程中，可計算校正參數以將晶粒移位（die shifting）的非線性變化考慮在內。

【0040】 在一些實施例中，一個或多個半導體晶粒 SD 遠離經修改位置（例如 PA’ 、PB’ ）移位到移位位置（例如 PA” 、PB” ）。舉例來說，相鄰的半導體晶粒 SD 之間間隙 G（圖 3 中示出）在包封前後產生變化。在一些實施例中，在包封之後，相鄰的半導體晶粒 SD 之間間隙可大於在包封之前的間隙 G。在一些實施例中，間隙在包封之後與之前的差異在不同的兩個半導體晶粒 SD 之間是不同的，並且此種差異可以非線性方式呈現。在一些實施例中，半導體晶粒 SD 可在不同方向上移位。在一些實施例中，遠離臨時載體 TC 上的晶粒陣列中心的半導體晶粒 SD 可具有比放置在臨時載體 TC 上的晶粒陣列中心或中心附近的半導體晶粒 SD 更大的位移。舉例來說，半導體晶粒 SDA 及 SDB 設置在臨時載體 TC 上的晶粒陣列中的周邊上且彼此遠離，經修改位置 PA’ 與 PB’ 之間的最短距離 D_m 可能小於移位位置 PA” 與 PB” 之間的最短距離 D_s 。圖 10 示出在包封製程之後具有非線性位置移位的例子。應理解，圖 10 中所示的非線性位移是示例性的，可在本發明實施例的範圍內施行其變型。

【0041】 參照圖 5、圖 11A 及圖 11B，方法 200 繼續進行到步驟 107'，實行移位測量 (shift measurement)，其中圖 11B 可為沿著圖 11A 中的線 C-C' 截取的示意性剖視圖。舉例來說，在包封製程之後測量相應半導體晶粒 SD 的疊對偏移程度。在一些實施例中，移位計量設備 (shift metrology apparatus，圖中未示出) 被配置成藉由圖像掃描及/或檢測半導體晶粒 SD 的參考標記並確定所述參考標記之間的距離來實行移位測量。舉例來說，與疊對計量設備相似，移位計量設備包括掃描單元、光源、與掃描單元及光源通訊的處理器及/或用於實行移位測量的其他適合的元件。在一些實施例中，藉由利用光源輻射或掃描半導體晶粒 SD 的目標部分並確定圖像來獲得圖像。舉例來說，移位計量設備的掃描單元可包括照相機，所述照相機可操作以掃描照相機所聚焦的目標部分並產生所述目標部分的圖像。產生圖像的步驟可被實行一次或若干次，以捕獲臨時載體 TC 之上的半導體晶粒 SD 的不同部分的圖像。應注意，可以各種方式實行使用移位計量設備進行的移位測量，這在本發明實施例中不受限制。

【0042】 舉例來說，移位計量設備的處理器被配置成將各半導體晶粒 SD 劃分成若干部分 (例如用兩點鏈線描繪的 GP)，然後可將由移位計量設備產生的參考座標設定成對應於相應部分 (例如 GP)。參考座標的原點可與所選部分 GP 中的一個半導體晶粒 SD 的參考點對準，以確定所選部分 GP 中的各半導體晶粒 SD 之間的相對位移。可基於對所述一個半導體晶粒 SD 的對準來估計所選部

分 GP 中其他半導體晶粒 SD 的位移程度。在一些實施例中，參考座標可被構造為具有給定間距 P 的正方形網格，並且可被映射在所選部分（例如 GP）的半導體晶粒 SD 上。舉例來說，半導體晶粒 SD 中的每一者包括參考標記 RM，位於所選部分 GP 的中心的一個半導體晶粒 SD 的參考標記 RM 與正方形網格的中心點 CP 對準，以便可識別或測量所選部分 GP 中的其餘半導體晶粒 SD 相對於位於中心的半導體晶粒 SD 的移位值。所述移位值可為用於代表特定維度方向上的偏移程度的維度值（或向量）。應注意，圖 11A 中的例子僅為示例性的，參考座標的原點（或網格的中心）可與用於測量相對位移的所選部分中的任何一個目標半導體晶粒上的參考標記對準。

【0043】 參考標記可為或可包括導電墊 314、導電連接件 316 或者設置在與導電連接件 316 相同的水準高度上的對準標記（在圖 6A 中闡述）。作為另一選擇，參考標記可為設置在半導體晶粒上別處的其他參考標記（圖中未示出）或者可使用臨時載體 TC 來測量半導體晶粒的移位值。在一些實施例中，可藉由識別參考標記的位置來估計導電墊 314 及/或導電連接件 316 的位置，以便可藉由計算導電墊 314 的某些點（例如中心、邊緣中點、末端、頂點等）之間的距離 D_p 或計算導電連接件 316 的某些點之間的距離 D_c ，來進一步估計半導體晶粒 SD 之間的相對位移。在一些實施例中，藉由識別各個半導體晶粒 SD 的目標導電連接件 316 在所選部分 GP 中的位置來確定相對位移，並藉由將所選部分 GP 中的一個半

導體晶粒 SD 設定為參考點，可估計所選部分 GP 中其他半導體晶粒 SD 相對於參考點的移位值。在一些實施例中，臨時載體 TC 之上的各半導體晶粒 SD 之間的移位呈現非線性維度變化。作為另一選擇，跳過步驟 107'，並可在後續步驟期間識別相應半導體晶粒的移位。

【0044】參照圖 5 及圖 12，方法 200 繼續進行到步驟 108'，在半導體晶粒 SD 及絕緣包封體 320 上形成 RDL 330。RDL 330 可包括經圖案化介電層 332，經圖案化介電層 332 在其中及其頂表面上形成有經圖案化導電層 334。經圖案化導電層 334 可提供對半導體晶粒 SD 的導電連接件 316 的扇出（例如參見圖 4C）。在一些實施例中，使用微影及蝕刻製程為經圖案化介電層 332 形成開口，從而沉積並圖案化光阻，然後在蝕刻製程期間使用所述光阻作為遮罩，以移除介電材料的部分並暴露出下面的導電連接件 316 的部分。在一些實施例中，藉由在經圖案化介電層 332 上共形地沉積晶種層、在晶種層之上形成光阻材料層、烘烤光阻材料層、對光阻材料層實行微影以在光阻材料層上形成開口、在光阻材料層的開口中鍍覆導電材料、移除光阻材料層及多餘的晶種層來形成經圖案化導電層 334。因此，在 RDL 330 的形成期間，微影製程（即曝光及顯影製程）可被實行若干次。

【0045】在一些實施例中，形成 RDL 330 的步驟可被視為利用微影工具 400 至少在半導體晶粒 SD 上形成微影圖案（lithographic pattern）。在一些實施例中，在測量半導體晶粒位置的移位以產生

測量結果之後，可將測量結果回饋到用於形成 RDL 330 的微影工具。可使用各種方法藉由調整微影操作中所涉及的製程校正參數來補償移位值。

【0046】 在圖 12 中示出包括照射單元 410、光罩（也稱為遮罩（mask）或主光罩（reticle））420、投射單元 430 的示例性微影工具 400。應注意，圖 12 中的元件是以簡化的方式示出，微影工具 400 可包括其他技術及/或元件。舉例來說，照射單元 410 包括光源（例如 UV 光源、深 UV 光源、極 UV 光源及 X 射線源）、電子束（electron beam，E-Beam）光源、離子束光源等）、光學總成（例如透鏡、陰影遮罩（shadow mask）等）及/或其他適合的組件。臨時載體 TC 承載封裝在絕緣包封體 320 中的半導體晶粒 SD 皆設置在晶圓台 440 上，晶圓台 440 被配置成緊固及以平移及/或旋轉方式移動臨時載體 TC，以將半導體晶粒 SD 與光罩 420 對準。在一些實施例中，光罩 420 包括透明基板及經圖案化吸收層，其中所述經圖案化吸收層可具有光束可行進穿過的一個或多個開口。作為另一選擇，光罩 420 可為反射光罩。投射單元 430 可包括放大透鏡、折射光學器件或反射光學器件，以將經圖案化的光引導到目標半導體晶粒。在微影曝光製程期間，可將目標半導體晶粒 SD 曝光於光罩 420 上的圖案（圖中未示出），以將光罩 420 的圖案轉移到上面沉積有光阻材料的目標半導體晶粒 SD 上。

【0047】 可在曝光之前、期間或之後使用各種方法來補償半導體晶粒 SD 之間的移位值。在某些實施例中，晶圓台 440 在微影工具

400 中的各種操作（例如對準、聚焦、調平、曝光等）期間提供臨時載體 TC 在 X、Y 及/或 Z 方向上的經補償移動，使得光罩 420 的圖案被準確地轉移到目標半導體晶粒 SD 上。在其他實施例中，藉由步進機（stepping machine，未示出）使光罩 420 在由晶圓台 440 承載的半導體晶粒 SD 上步進，對於每次曝光，使光罩 420 步進一個步進距離。在一些實施例中，步進距離的值根據移位值及其他因素而變化。作為另一選擇，照射單元 410 及/或投射單元 430 可實行調整以校正或補償半導體晶粒 SD 之間的移位。可回應於疊對校正值及/或移位值而調整微影工具 400 的其他製程變數，以實現更好的準確度。

【0048】 在其中跳過步驟 107' 的某些實施例中，可在微影操作期間逐晶粒地識別因包封步驟對每一個半導體晶粒造成的位移，然後調整微影工具以補償相應半導體晶粒的位移。移位測量及補償移位值可減少對每一連續層的形成的不利影響且在曝光操作期間進行移位補償可減少耗時的重作（rework）。

【0049】 方法 200 繼續進行到步驟 110 接著步驟 112，在 RDL 330 上形成導電端子 340 並將所得結構單體化以形成多個半導體裝置 SP。圖 4D 至圖 4F 示出與步驟 110 及步驟 112 對應的一些實施例的剖視圖。形成導電端子 340 及單體化的製程可與上述的製程相似，因此為簡潔起見不再予以詳述。

【0050】 繼續參照圖 5，方法 200 繼續進行到步驟 204，在步驟 204 中，執行另一輪的晶粒放置。在一些實施例中，操作方法包括對

由相同製程（例如晶粒放置）處理的後續半導體晶粒進行回饋校正。舉例來說，主機計算裝置耦合到疊對計量設備及/或移位計量設備。可將在步驟 101'（即疊對測量）中收集的疊對偏移資料及/或在步驟 107'（即移位測量）中收集的移位資料傳送到主機計算裝置，並且主機計算裝置可被配置成處理疊對偏移資料及移位資料且可與處理工具通訊以調整製程變數。基於疊對偏移資料及/或移位資料，可為下一輪的半導體裝置製作調整製程配方（process recipe）及/或作出其他變化。

【0051】舉例來說，當在另一輪的半導體裝置製作中將半導體晶粒設置在臨時載體上（例如步驟 104 或 104'）時，回應於疊對測量（在本輪中實行）及移位測量（在前一輪中實行）而實行回饋校正，以確定各個半導體晶粒的位置的補償值。在一些實施例中，圖 5 中所示的方法 200 可作為試製樣本（pilot sample）實行多次，以收集樣本資料，使得主機計算裝置可基於樣本資料來確定各種半導體晶粒的位置的適當補償值。在一些實施例中，當獲得足夠量的樣本資料時，操作方法可自動實行調整以校正晶粒的移位問題，從而降低人力需求。

【0052】半導體裝置 SP 可藉由在製作期間將各個半導體晶粒的疊對偏移及各個經封裝半導體晶粒的移位考慮在內來實現更好的移位控制。舉例來說，如果不將疊對偏移值及移位值考慮在內，則移位控制值（均值加標準差）大於 10 μm 。在其中疊對偏移值及移位值在處理期間均得以補償的某些實施例中，移位控制值被控制

為小於 5 μm ，例如在約 3 μm 至約 5 μm 的範圍中。根據一些實施例，此種改善可滿足對具有更高積體密度的半導體裝置的日益增長的需求。應注意，疊對測量及/或移位測量可應用於其他類型的封裝技術，圖 4A 至圖 4F 中所示的製程階段僅為示例性實施例。

【0053】 圖 13 及圖 14 是示出根據一些實施例的半導體裝置的製造方法的流程圖。應注意，圖 13 及圖 14 中與圖 1 及圖 5 中所述的步驟相同或相似的一些步驟由相同或相似的參考標號代表，因此為簡潔起見不再詳述。雖然方法 500 及 600 在下文分別被示出及闡述為一系列動作或事件，但應瞭解，這些動作或事件的示出次序不應被解釋成具有限制意義。舉例來說，一些動作可以不同的次序發生及/或與除本文示出及/或闡述的動作或事件之外的其他動作或事件同時發生。另外，可不需要所有示出的動作來實施本文說明的一個或多個方面或實施例。此外，本文所繪示的一個或多個動作可在一個或多個單獨的動作及/或階段中施行。

【0054】 參照圖 13，在一些實施例中，方法 500 始於步驟 101'，實行疊對測量，其中此步驟的示例性實施例如上所述。接下來，方法 500 繼續進行到步驟 102，將半導體晶片單體化以形成單獨的半導體晶粒。接下來，方法 500 繼續進行到步驟 104'，在補償相應半導體晶粒的疊對偏移值的情況下將半導體晶粒放置在臨時載體上，然後繼續進行到步驟 106，利用絕緣包封體包封半導體晶粒。接下來，方法 500 繼續進行到步驟 108，在半導體晶粒及絕緣包封體上形成 RDL，其中儘管在包封之後半導體晶粒的位移以非線性

方式表現，但在形成 RDL 的微影製程期間藉由線性方式來補償半導體晶粒的位移。在一些實施例中，調整微影工具的製程變數以補償在疊對測量步驟期間確定的疊對偏移，例如調整光罩的位置、移動上面放置臨時載體的晶圓台等。隨後，方法 500 繼續進行到步驟 110 接著是步驟 112，在 RDL 上形成導電端子，然後將所得結構單體化以形成多個半導體裝置。使用方法 500 製作的半導體裝置可實現一定程度的移位控制。舉例來說，移位控制值被控制為小於 $10\ \mu\text{m}$ ，例如在約 $7\ \mu\text{m}$ 至約 $10\ \mu\text{m}$ 的範圍中。

【0055】 參照圖 14，方法 600 始於步驟 102，將半導體晶片單體化以形成單獨的半導體晶粒。接下來，方法 600 繼續進行到步驟 104 及步驟 106，將半導體晶粒放置在臨時載體上並利用絕緣包封體包封半導體晶粒。接下來，方法 600 繼續進行到步驟 108'，在半導體晶粒及絕緣包封體上形成 RDL。在此步驟處，可在形成 RDL 的微影製程期間針對各個半導體晶粒的移位值來補償半導體晶粒的位移，其中移位值可為藉由實行移位測量（如圖 5 的步驟 107' 所述）而獲得的實際移位值，或者可為藉由先前在試製樣本中收集的資料而確定的估計移位值。隨後，方法 600 繼續進行到步驟 110 接著是步驟 112，在 RDL 上形成導電端子，然後將所得結構單體化以形成多個半導體裝置。使用方法 600 製作的半導體裝置可實現一定程度的移位控制。舉例來說，移位控制值被控制為小於 $10\ \mu\text{m}$ ，例如在約 $5\ \mu\text{m}$ 至約 $7\ \mu\text{m}$ 的範圍中。

【0056】 根據一些實施例，一種在半導體裝置製造中的移位控制

方法包括至少以下步驟。確定半導體晶粒的第一目標與所述半導體晶粒的第二目標的疊對偏移，其中所述第二目標設置在所述第一目標上。將所述半導體晶粒放置在載體之上，其中放置所述半導體晶粒包括回饋所述疊對偏移以得到對所述半導體晶粒的位置控制。對所述半導體晶粒進行後處理以形成半導體裝置。

【0057】 在一些實施例中，確定所述第一目標與所述第二目標的所述疊對偏移是在將所述半導體晶粒從半導體晶片單體化之前進行。在一些實施例中，所述第一目標是所述半導體晶粒的導電墊，所述第二目標是所述半導體晶粒的電性連接到所述導電墊的導電連接件，及確定所述第一目標與所述第二目標的所述疊對偏移包括計算所述導電連接件與所述導電墊之間相對於所述半導體晶粒上的參考標記的相對位置差異。在一些實施例中，所述疊對偏移代表所述第一目標與所述第二目標之間在維度方向上的偏移程度，回饋所述疊對偏移包括將所述半導體晶粒放置在補償所述偏移程度的位置處。在一些實施例中，對所述半導體晶粒進行後處理包括在所述載體上形成絕緣包封體以包封所述半導體晶粒，其中在形成所述絕緣包封體之後，所述半導體晶粒在所述載體上的位置發生移位，以及在形成所述絕緣包封體之後測量所述半導體晶粒的位移。在一些實施例中，對所述半導體晶粒進行後處理進一步包括當在所述半導體晶粒上形成微影圖案時補償所述半導體晶粒的所述位移，所述形成所述微影圖案是在形成所述絕緣包封體之後進行。在一些實施例中，放置所述半導體晶粒進一步包括將多

個所述半導體晶粒放置在所述載體之上，其中在所述多個所述半導體晶粒中的相鄰兩者之間存在間隙，在形成所述絕緣包封體之後，由所述絕緣包封體填充的所述間隙發生變化。在一些實施例中，在形成所述絕緣包封體之後測量所述半導體晶粒的所述位移包括將所述多個所述半導體晶粒中的一者設定為參考點，以及確定所述多個所述半導體晶粒相對於所述參考點的相對位移。

【0058】 根據一些替代實施例，一種在半導體裝置製造中的移位控制方法包括至少以下步驟。在載體之上利用絕緣包封體包封多個半導體晶粒，其中所述多個半導體晶粒的至少部分在包封之後發生移位。至少在所述多個半導體晶粒上形成微影圖案，其中形成所述微影圖案包括補償所述多個半導體晶粒的所述部分的位置的移位。

【0059】 在一些實施例中，移位控制方法進一步包括在形成所述微影圖案之前，測量所述多個半導體晶粒的所述部分的所述位置的所述位移，以得到測量結果，以及將所述測量結果回饋到用於形成所述微影圖案的微影工具。在一些實施例中，測量所述多個半導體晶粒的所述部分的所述位置的所述位移包括設定參考座標以映射所述多個半導體晶粒的所述部分，其中所述參考座標的原點與所述多個半導體晶粒的所述部分中的一個對準。在一些實施例中，所述多個半導體晶粒中的一者的第一目標與所述多個半導體晶粒中的所述一者的第二目標之間存在疊對偏移，所述第一目標與所述第二目標彼此上下堆疊，所述方法進一步包括在用所述

絕緣包封體進行包封之前，當將所述多個半導體晶粒中的所述一者放置在所述載體之上時補償所述疊對偏移。在一些實施例中，移位控制方法進一步包括在將所述多個半導體晶粒中的所述一者從半導體晶片單體化之前，測量所述多個半導體晶粒中的所述一者的所述疊對偏移。在一些實施例中，所述第一目標是所述多個半導體晶粒中的所述一者的導電墊，所述第二目標是所述多個半導體晶粒中的所述一者的設置在所述導電墊上的導電連接件，以及測量所述疊對偏移包括計算所述導電連接件與所述導電墊之間相對於所述多個半導體晶粒中的所述一者上的參考標記的相對位置差異。

【0060】 根據一些替代實施例，一種在半導體裝置製造中的移位控制方法包括至少以下步驟。響應於多個半導體晶粒中的各個半導體晶粒的疊對偏移而將所述多個半導體晶粒放置在載體之上的第一位置處。在所述載體上形成絕緣包封體以包封所述多個半導體晶粒，其中所述多個半導體晶粒的一部分從所述第一位置移位到第二位置。對所述多個半導體晶粒進行後處理以形成半導體裝置。

【0061】 在一些實施例中，移位控制方法進一步包括在放置所述多個半導體晶粒中的一者之前，測量所述多個半導體晶粒中的所述一者的導電連接件相對於所述多個半導體晶粒中的所述一者的導電墊的偏移程度，其中所述導電連接件堆疊在所述導電墊上。在一些實施例中，放置所述多個半導體晶粒中的所述一者包括將

所述多個半導體晶粒中的所述一者定位在所述第一位置處，以補償所述導電連接件相對於所述導電墊的所述偏移程度。在一些實施例中，移位控制方法進一步包括在形成所述絕緣包封體之後測量所述多個半導體晶粒的所述一部分的位移。在一些實施例中，測量所述多個半導體晶粒的所述一部分的所述位移包括將所述多個半導體晶粒中的一者與參考座標的原點對準，其中所述參考座標被映射在所述多個半導體晶粒的所述一部分上，以及確定所述多個半導體晶粒的所述一部分中的其他半導體晶粒之間相對於所述多個半導體晶粒中的所述一者的相對位移。在一些實施例中，對所述多個半導體晶粒進行後處理包括回應於所述多個半導體晶粒的所述一部分的所述位移而在所述多個半導體晶粒的所述一部分上形成微影圖案。

【0062】 雖然本發明已以實施例揭露如上，然其並非用以界定本發明的實施例，任何所屬技術領域中具有通常知識者，在不脫離本發明實施例的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0063】

100、200、500、600：方法

101'、102、104、104'、106、107'、108、108'、110、112、

204：步驟

312：半導體基板

312b：後表面

314、314A、314B：導電墊

316、316A、316B：導電連接件

318：保護層

320：絕緣包封體

330：重佈線層（RDL）

332：經圖案化介電層

334：經圖案化導電層

340：導電端子

400：微影工具

410：照射單元

420：光罩

430：投射單元

440：晶圓台

+A、-B：疊對偏移值

-A、+B：疊對校正值

A-A、B-B'、C-C'：線

AM、RM：參考標記

CP：中心點

D1：第一方向

D2：第二方向

D3：第三方向

D4：第四方向

DAF：晶粒貼合膜

DL：晶粒區域

Dc、Dp：距離

G：間隙

GP：半導體晶粒的部分

P：間距

PA、PB：原始位置

PA'、PB'：經修改位置

PA''、PB''：移位位置

SD、SDA、SDB：半導體晶粒

SP：半導體裝置

SW：半導體晶片

TC：臨時載體

TF：帶框

【發明申請專利範圍】

【第1項】一種半導體裝置製造中的移位控制方法，包括：

確定半導體晶粒的第一目標與所述半導體晶粒的第二目標的疊對偏移，其中所述第二目標設置在所述第一目標上；

將所述半導體晶粒放置在載體之上，其中放置所述半導體晶粒包括回饋所述疊對偏移以得到對所述半導體晶粒的位置控制；以及

對所述半導體晶粒進行後處理以形成半導體裝置，包括：

在所述載體上形成絕緣包封體以包封所述半導體晶粒，其中在形成所述絕緣包封體之後，所述半導體晶粒在所述載體上的位置發生移位；以及

在形成所述絕緣包封體之後測量所述半導體晶粒的位置。

【第2項】如申請專利範圍第1項所述的在半導體裝置製造中的移位控制方法，其中確定所述第一目標與所述第二目標的所述疊對偏移是在將所述半導體晶粒從半導體晶片單體化之前進行。

【第3項】如申請專利範圍第1項所述的在半導體裝置製造中的移位控制方法，其中

所述第一目標是所述半導體晶粒的導電墊，所述第二目標是所述半導體晶粒的電性連接到所述導電墊的導電連接件，及

確定所述第一目標與所述第二目標的所述疊對偏移包括計算所述導電連接件與所述導電墊之間相對於所述半導體晶粒上的參

考標記的相對位置差異。

【第4項】如申請專利範圍第1項所述的在半導體裝置製造中的移位控制方法，其中放置所述半導體晶粒進一步包括將多個所述半導體晶粒放置在所述載體之上，其中在所述多個所述半導體晶粒中的相鄰兩者之間存在間隙，在形成所述絕緣包封體之後，由所述絕緣包封體填充的所述間隙發生變化。

【第5項】一種在半導體裝置製造中的移位控制方法，包括：

在載體之上用絕緣包封體包封多個半導體晶粒，其中所述多個半導體晶粒的至少部分在包封之後發生移位；以及

測量發生所述移位的所述半導體晶粒的位移；

至少在所述多個半導體晶粒上形成微影圖案，其中形成所述微影圖案包括補償所述多個半導體晶粒的所述部分的位置的所述位移。

【第6項】如申請專利範圍第5項所述的在半導體裝置製造中的移位控制方法，進一步包括：

在形成所述微影圖案之前，測量所述多個半導體晶粒的所述部分的所述位置的所述位移，以得到測量結果；以及

將所述測量結果回饋到用於形成所述微影圖案的微影工具。

【第7項】如申請專利範圍第5項所述的在半導體裝置製造中的移位控制方法，其中所述多個半導體晶粒中的一者的第一目標與所述多個半導體晶粒中的所述一者的第二目標之間存在疊對偏移，所述第一目標與所述第二目標彼此上下堆疊，所述方法進一步包

括：

在用所述絕緣包封體進行包封之前，當將所述多個半導體晶粒中的所述一者放置在所述載體之上時補償所述疊對偏移。

【第8項】一種在半導體裝置製造中的移位控制方法，包括：

測量多個半導體晶粒中的一者的導電連接件相對於所述多個半導體晶粒中的所述一者的導電墊的偏移程度，其中所述導電連接件堆疊在所述導電墊上；

響應於所述多個半導體晶粒中的各個所述半導體晶粒的疊對偏移而將所述多個半導體晶粒放置在載體之上的第一位置處；

在所述載體上形成絕緣包封體以包封所述多個半導體晶粒，其中所述多個半導體晶粒的一部分從所述第一位置移位到第二位置；以及

對所述多個半導體晶粒進行後處理以形成半導體裝置。

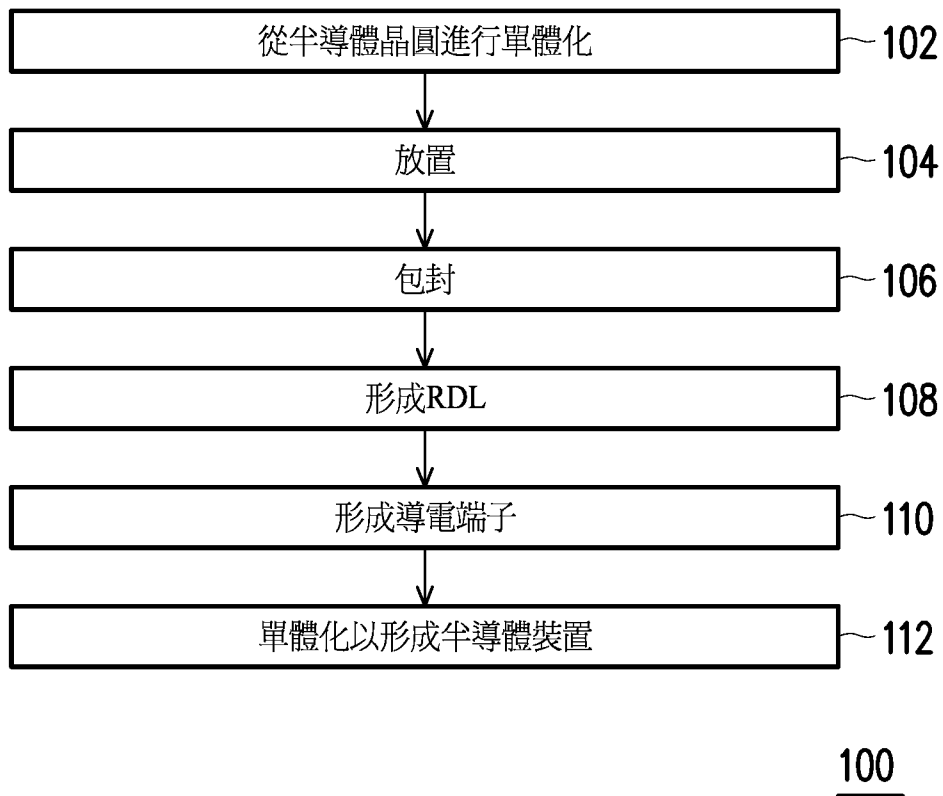
【第9項】如申請專利範圍第8項所述的在半導體裝置製造中的移位控制方法，進一步包括：

在形成所述絕緣包封體之後測量所述多個半導體晶粒的所述一部分的位移。

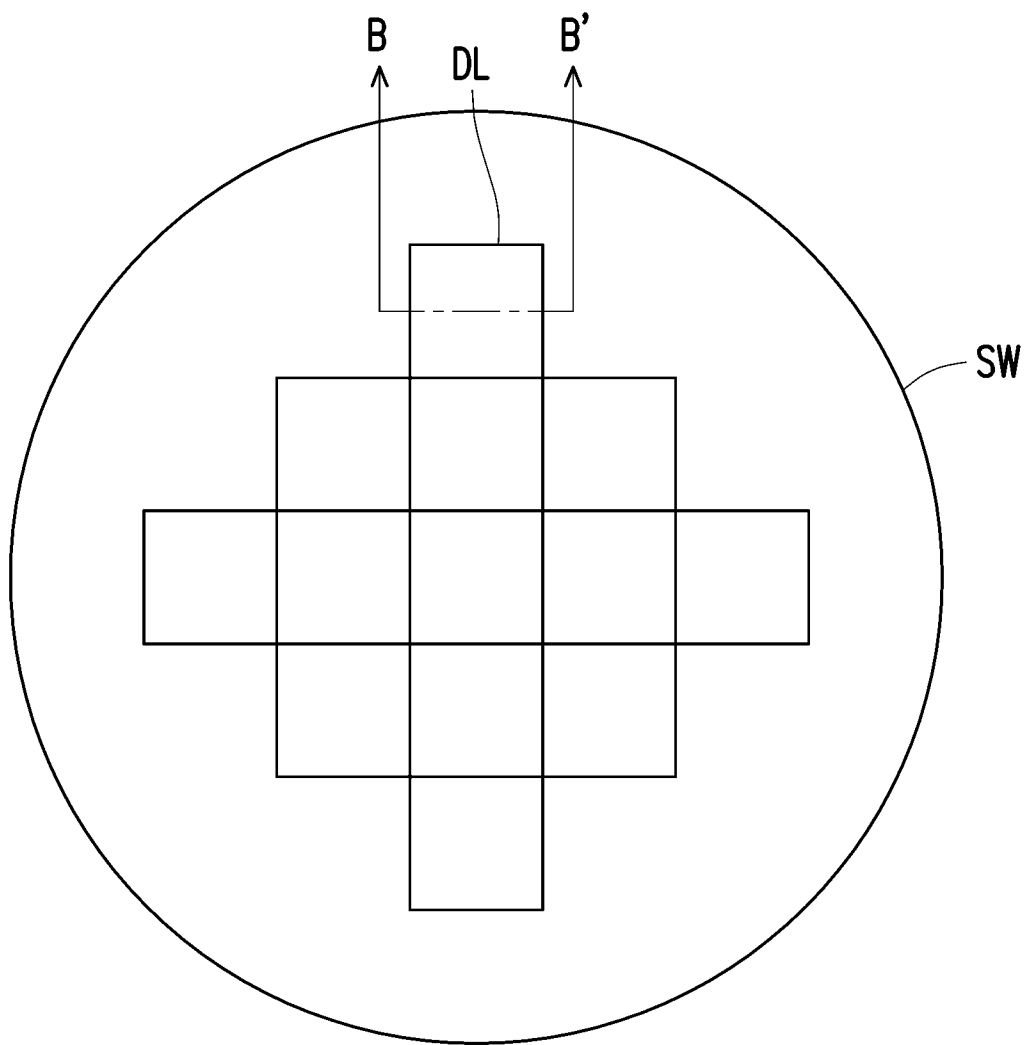
【第10項】如申請專利範圍第9項所述的在半導體裝置製造中的移位控制方法，測量所述多個半導體晶粒的所述一部分的所述位移包括將所述多個半導體晶粒中的一者與參考座標的原點對準，其中所述參考座標被映射在所述多個半導體晶粒的所述一部分上，以及確定所述多個半導體晶粒的所述一部分中的其他半導體

晶粒之間相對於所述多個半導體晶粒中的所述一者的相對位移。

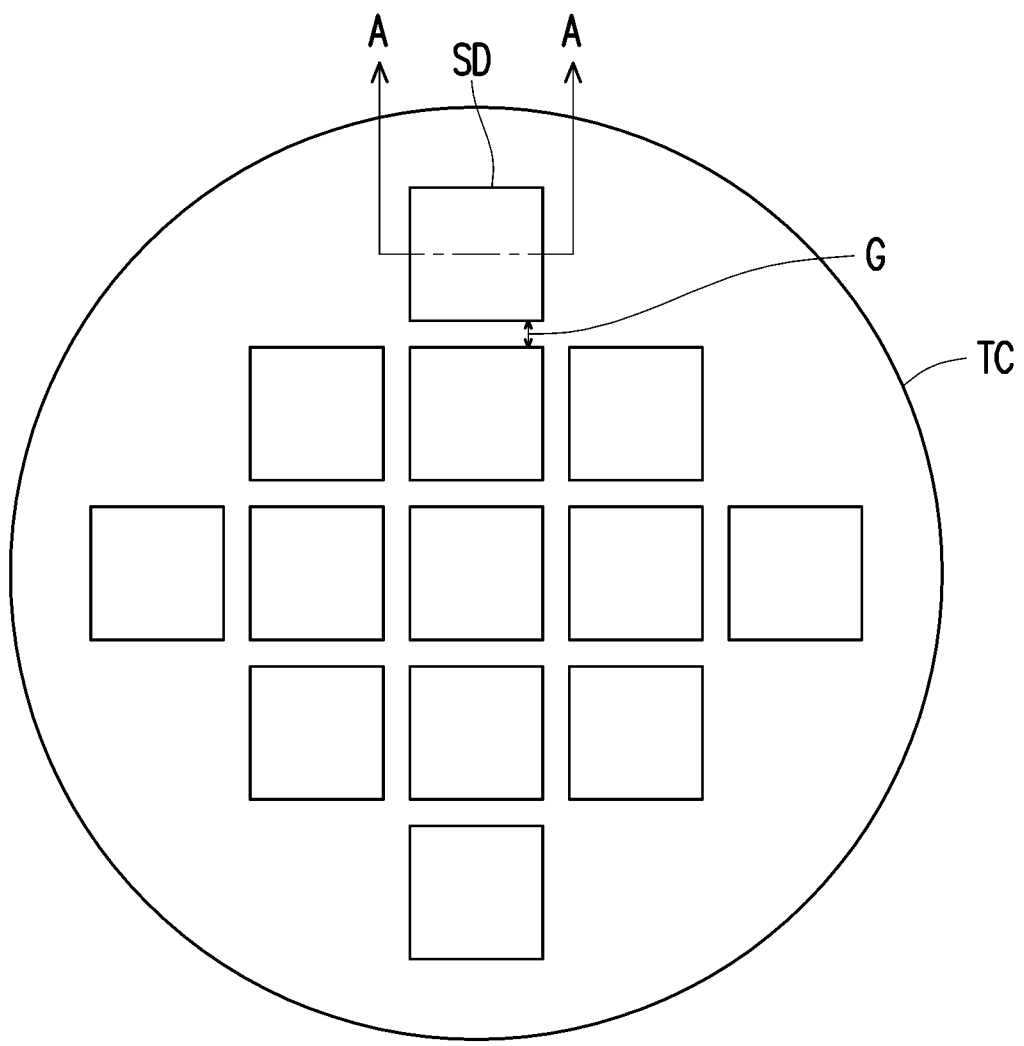
【發明圖式】



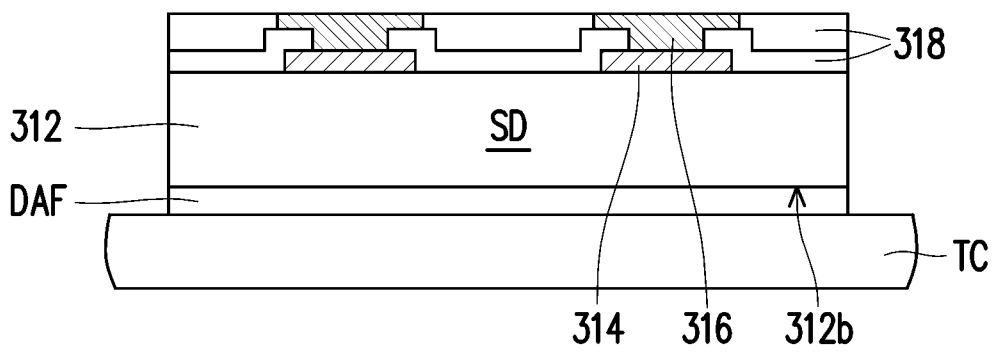
【圖1】



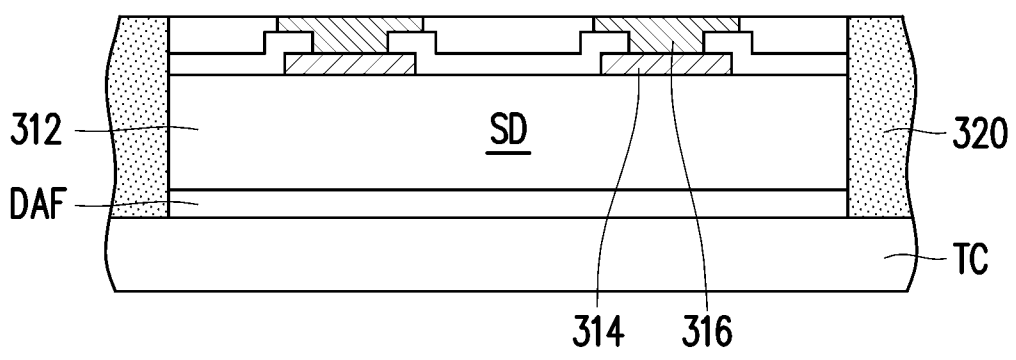
【圖2】



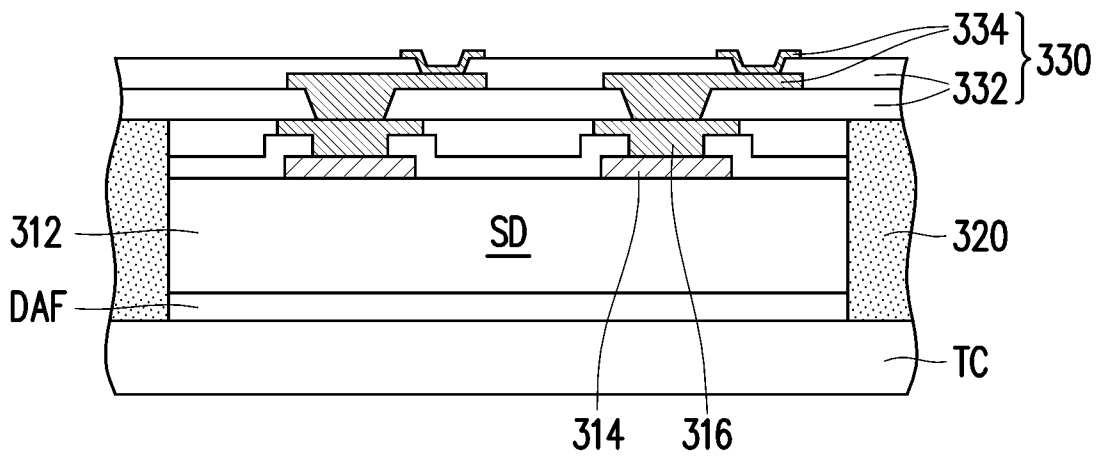
【圖3】



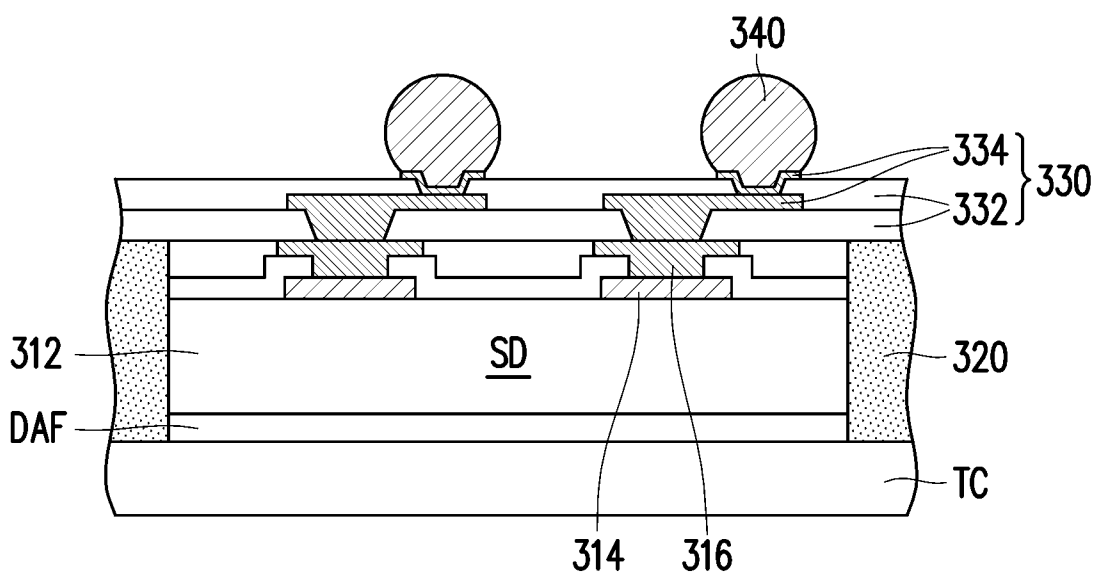
【圖4A】



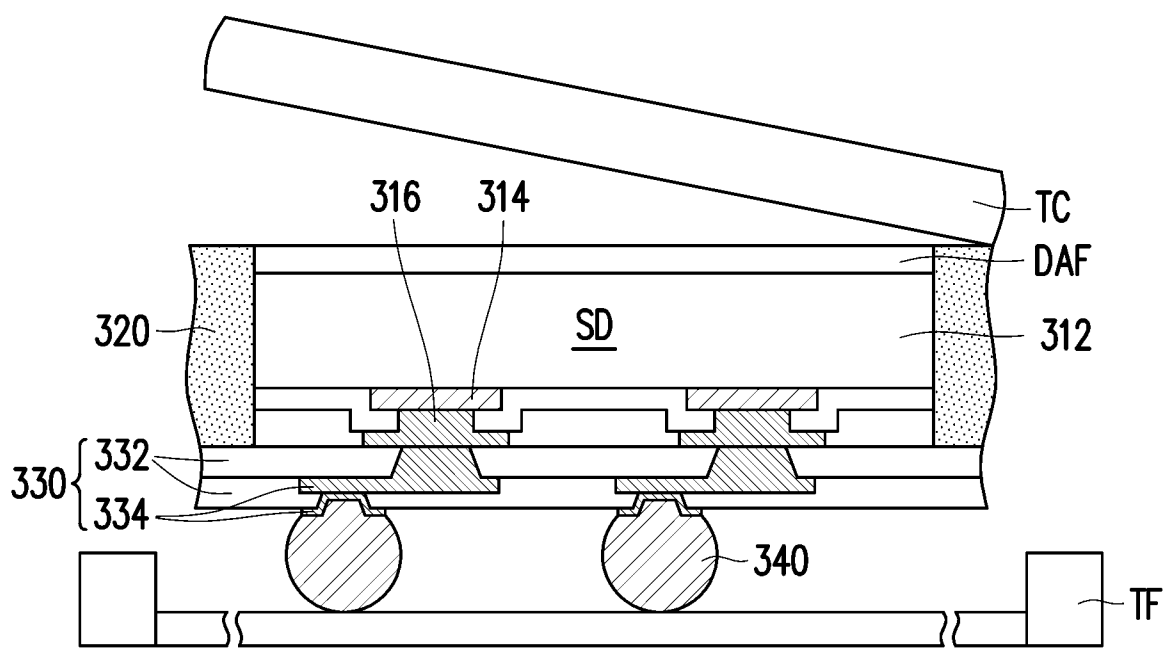
【圖4B】



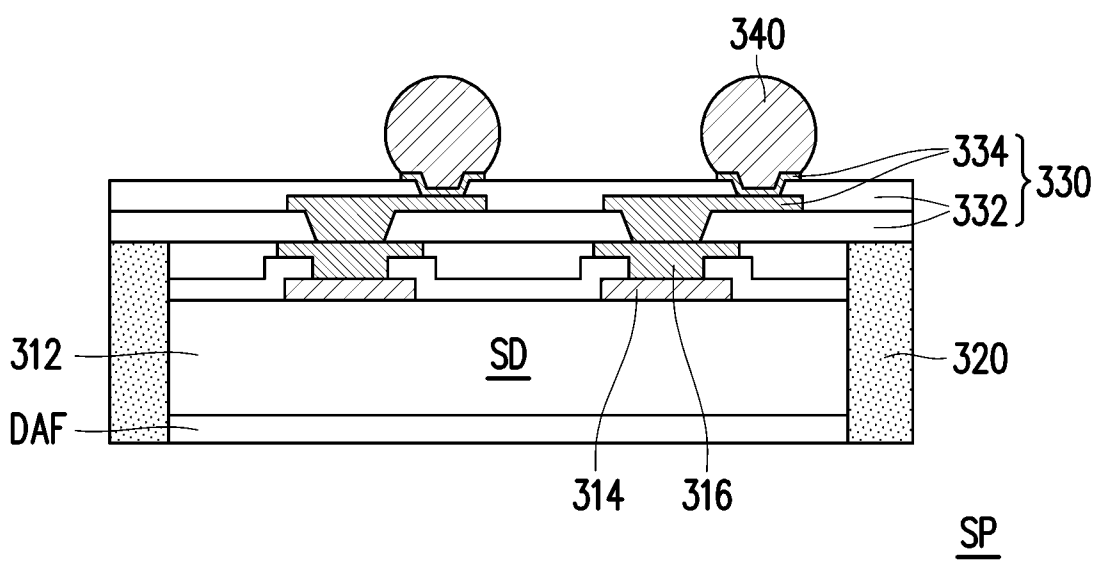
【圖4C】



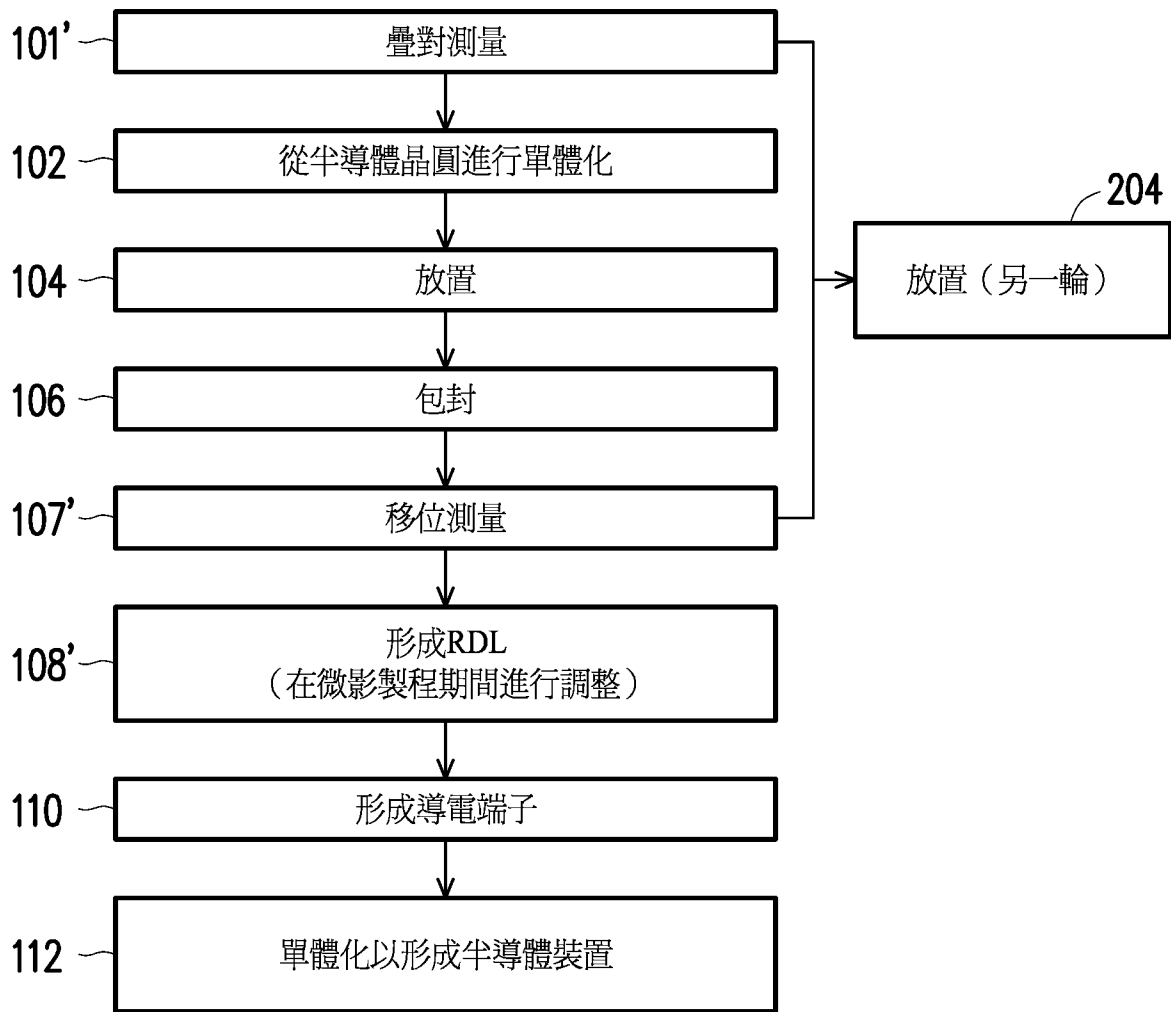
【圖4D】



【圖4E】

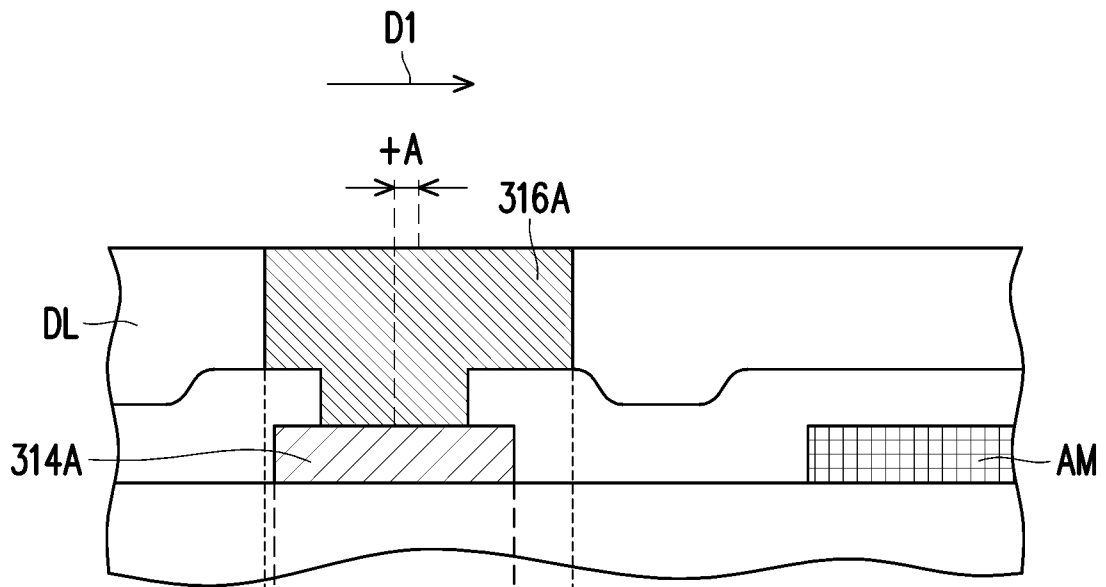


【圖4F】

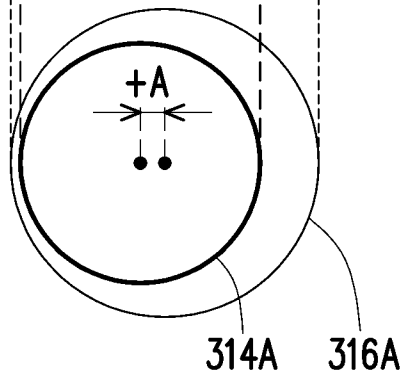


200

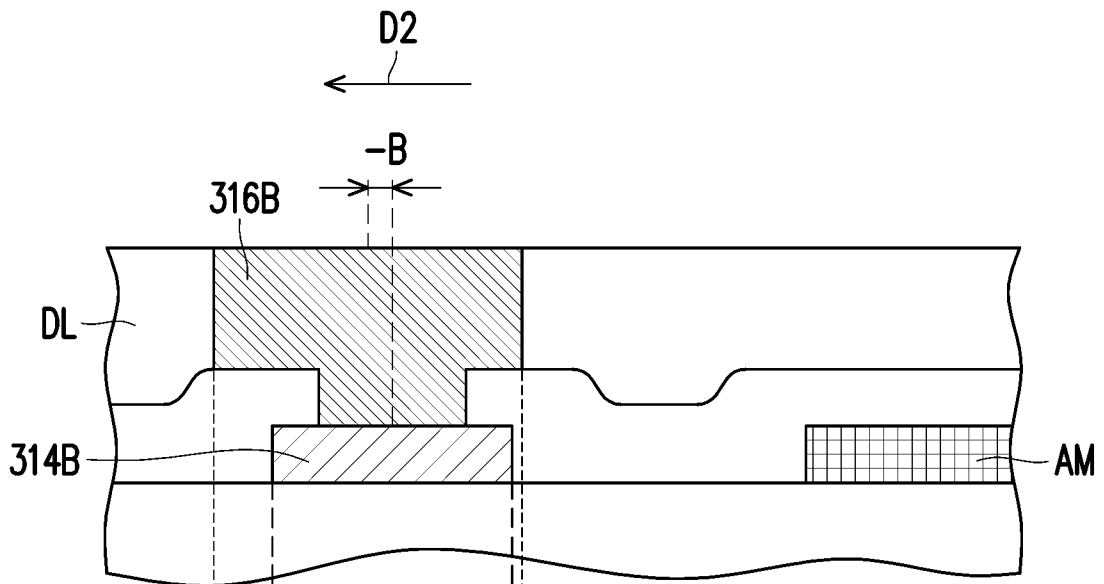
【圖5】



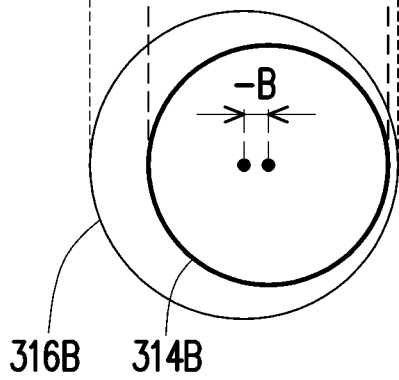
【圖6A】



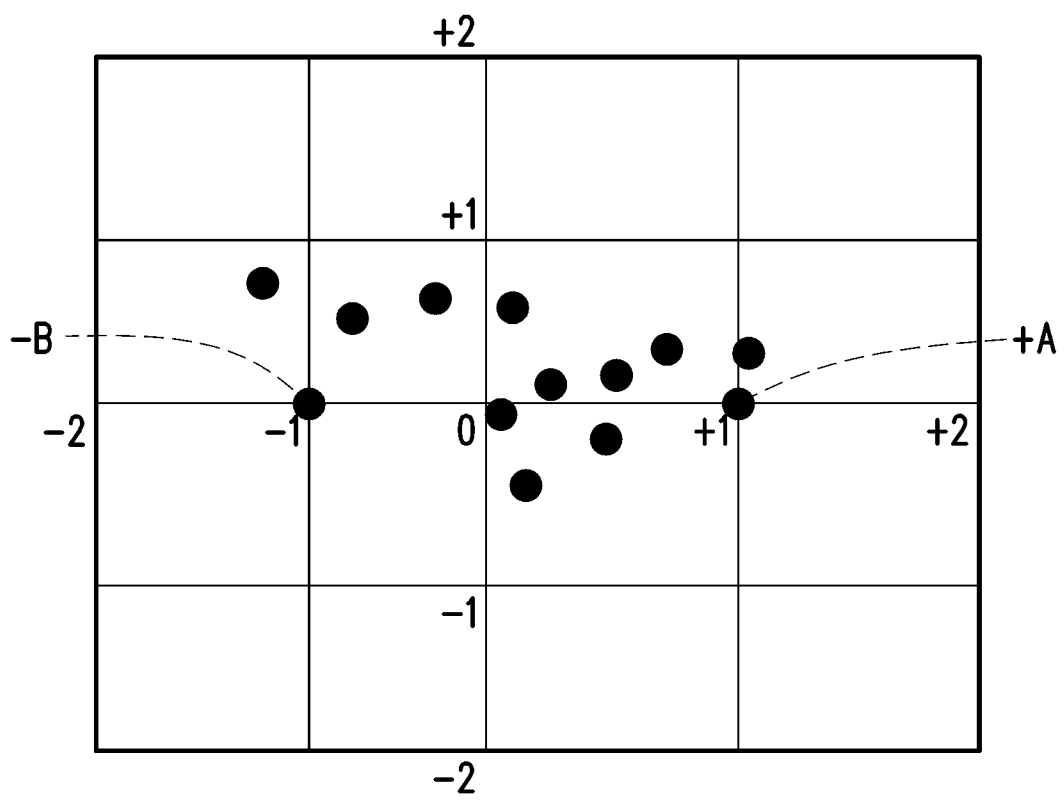
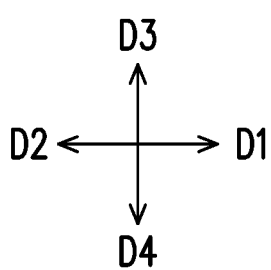
【圖6B】



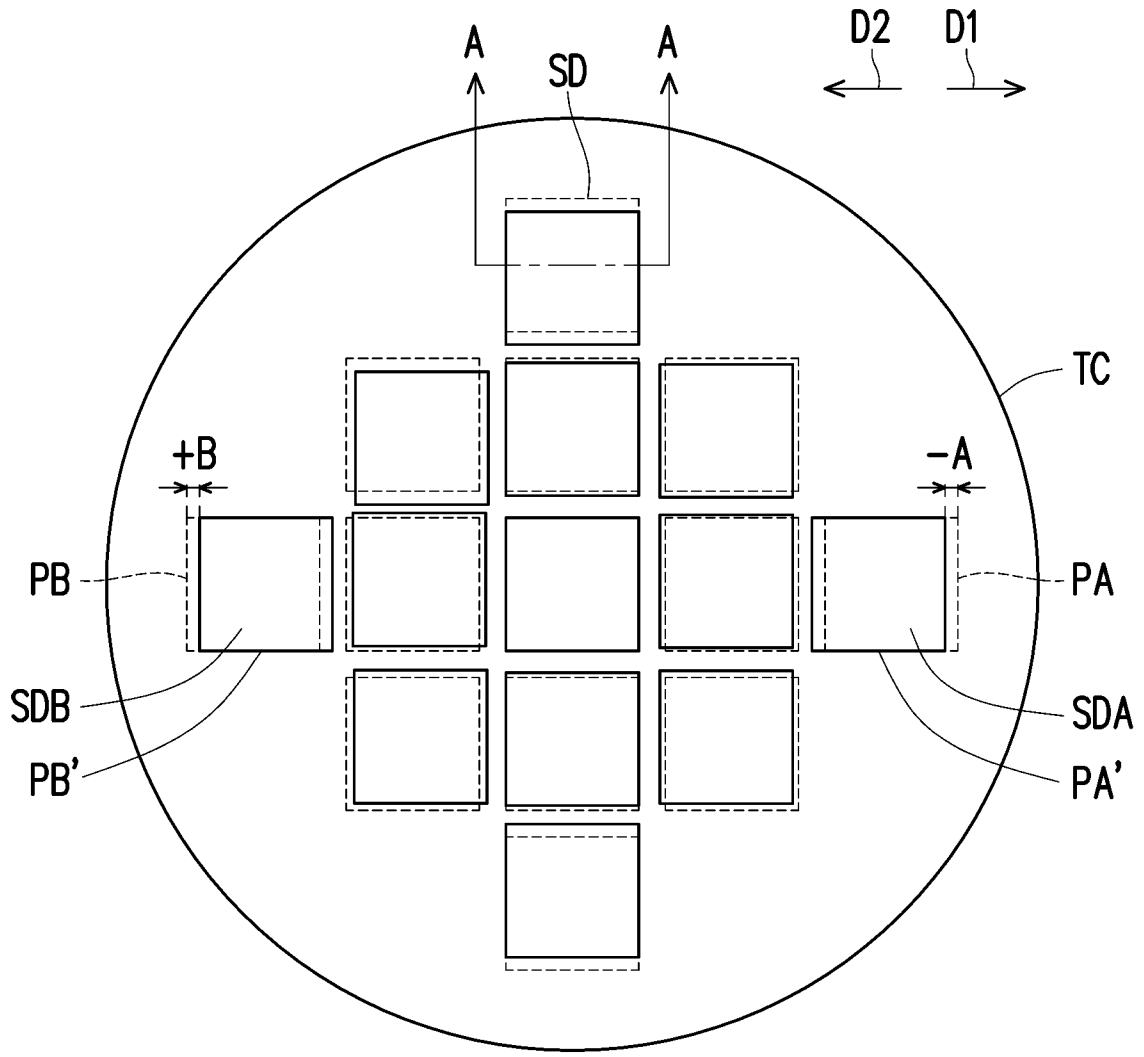
【圖7A】



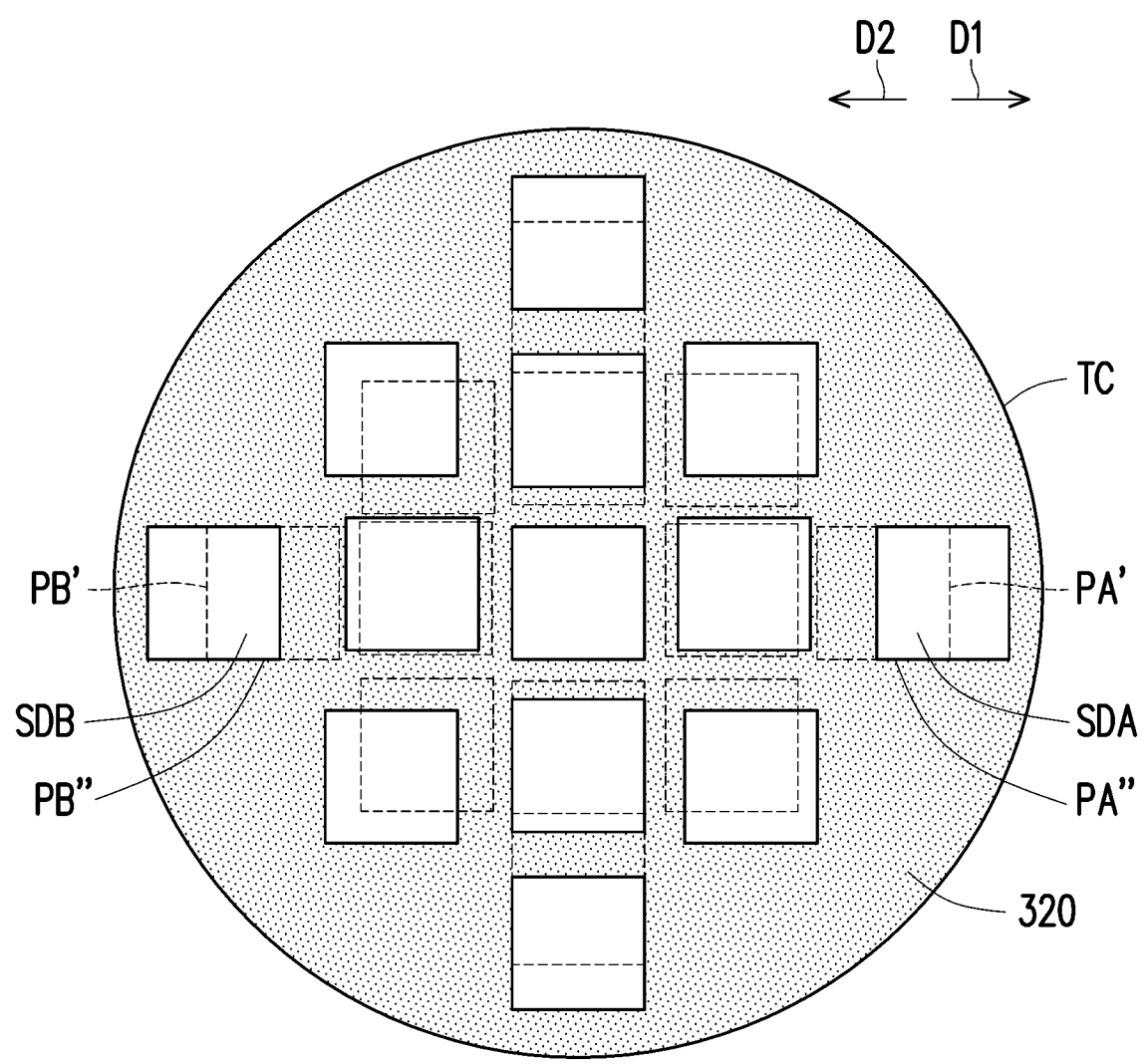
【圖7B】



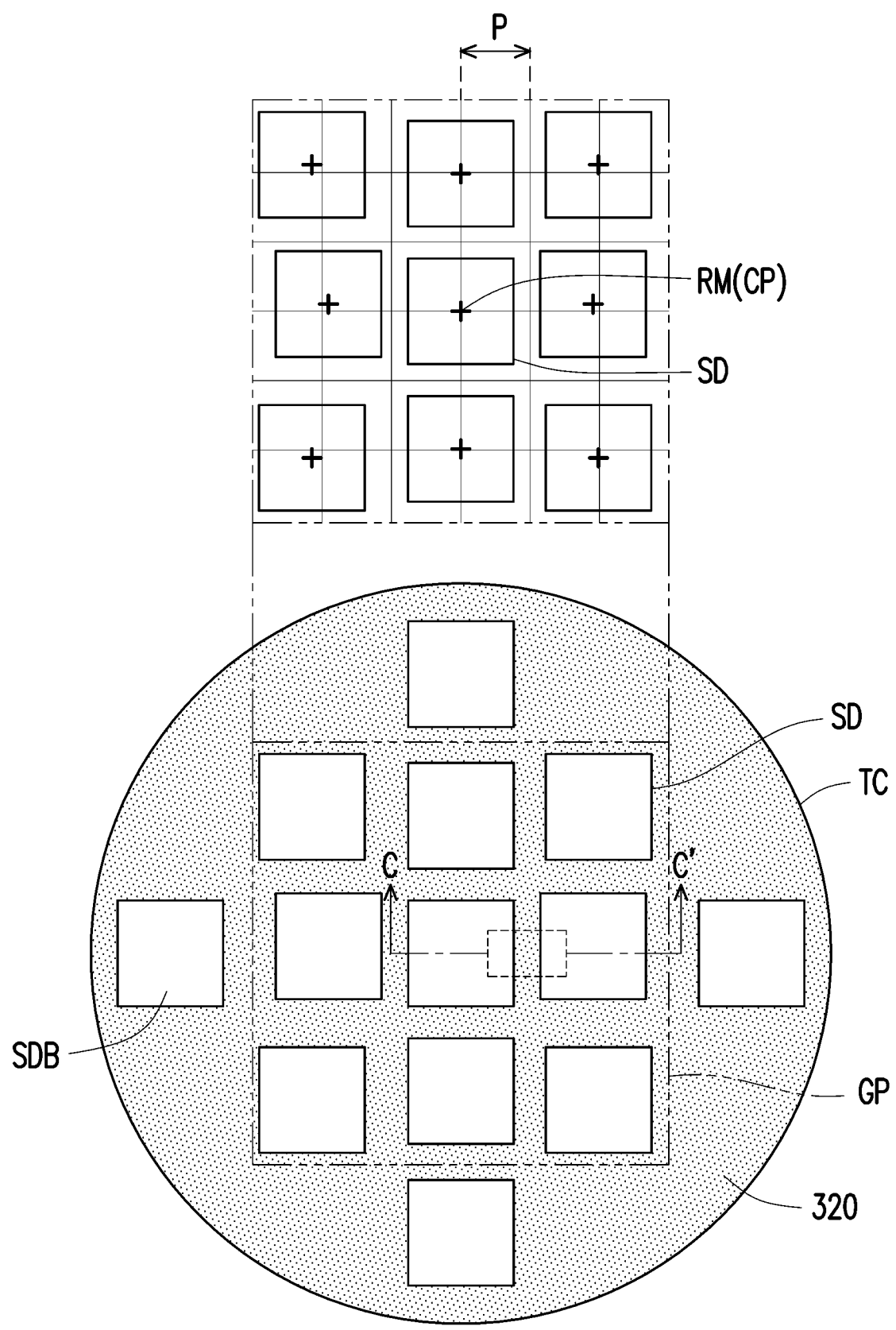
【圖8】



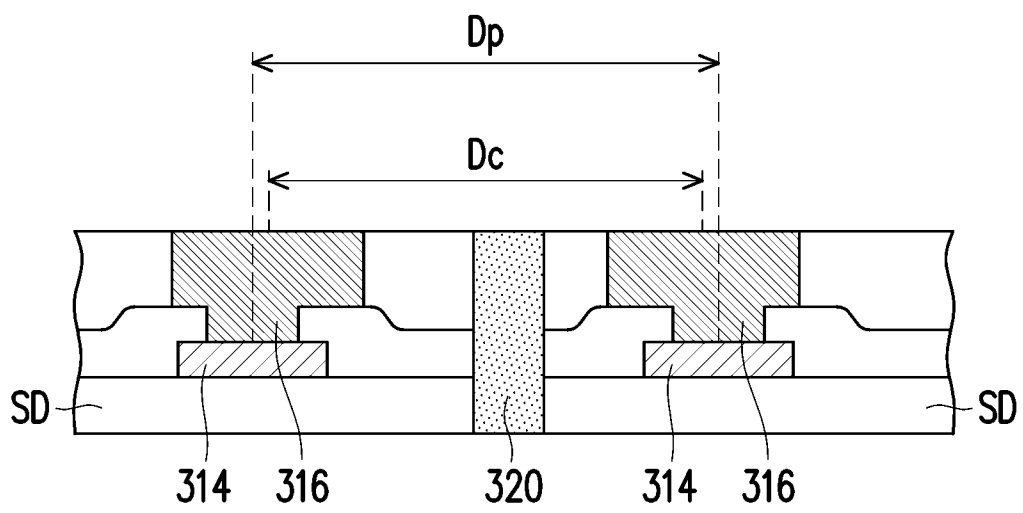
【圖9】



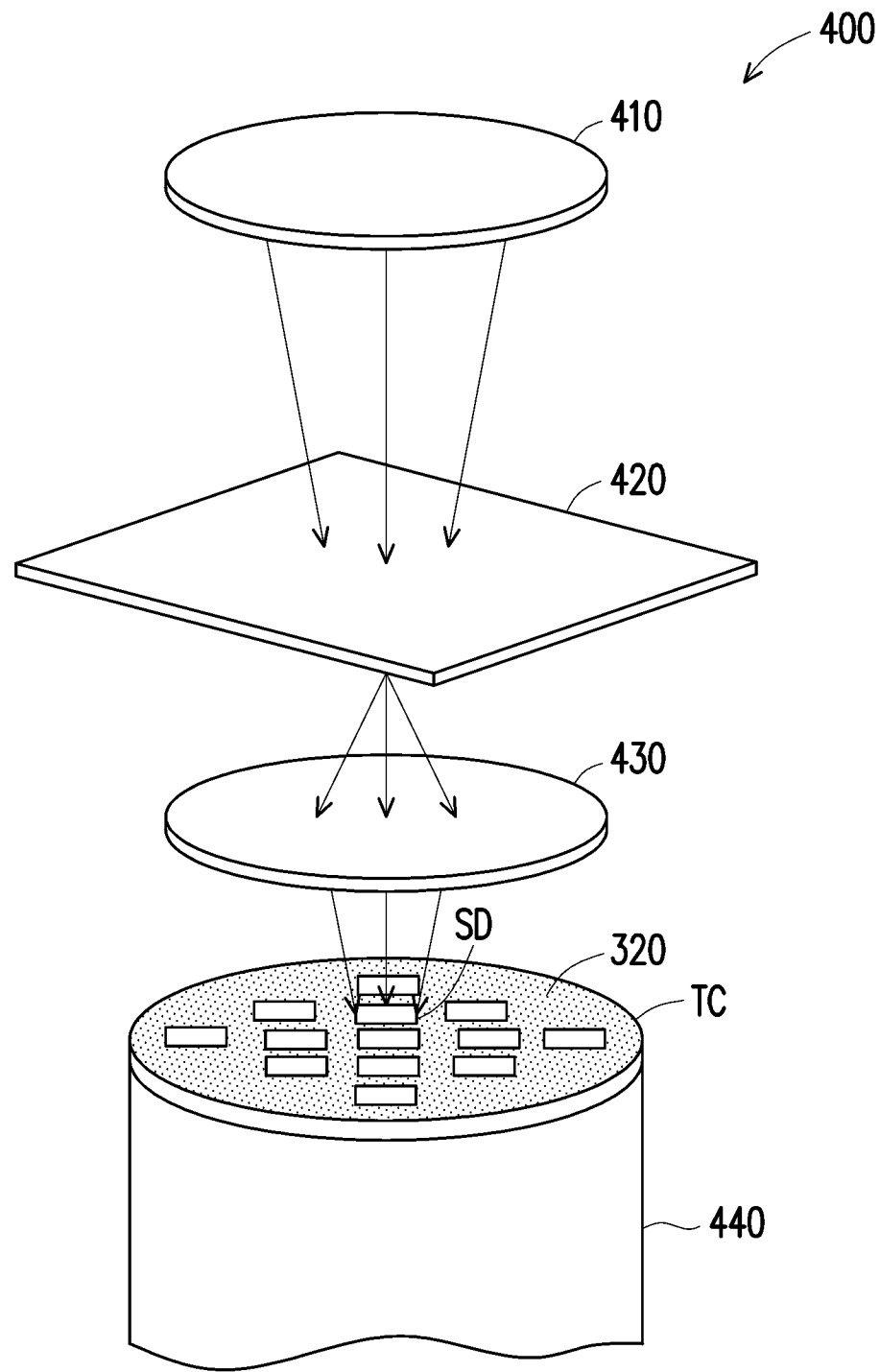
【圖10】



【圖11A】



【圖11B】

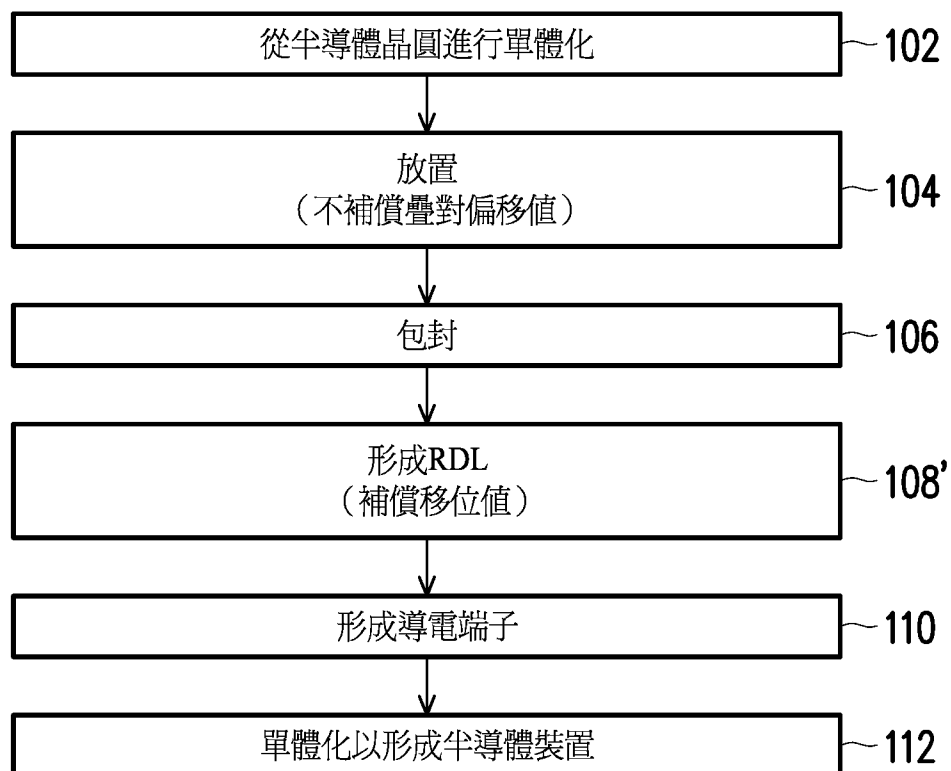


【圖12】



500

【圖13】



600

【圖14】