



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월02일  
(11) 등록번호 10-2185119  
(24) 등록일자 2020년11월25일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01)  
(21) 출원번호 10-2014-0098523  
(22) 출원일자 2014년07월31일  
심사청구일자 2019년06월18일  
(65) 공개번호 10-2016-0017698  
(43) 공개일자 2016년02월17일  
(56) 선행기술조사문헌  
JP2010049767 A\*  
(뒷면에 계속)

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
공충식  
경기도 파주시 월롱면 휴암로 449-1 506호  
조한인  
인천광역시 계양구 계양문화로 168 314동 1006호  
(용종동, 초정마을아파트)  
(74) 대리인  
이승찬

전체 청구항 수 : 총 8 항

심사관 : 윤난영

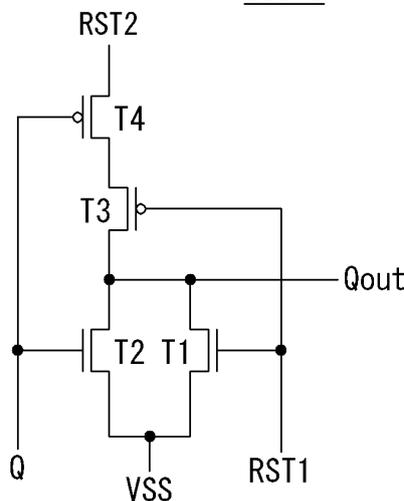
(54) 발명의 명칭 표시장치

(57) 요약

본 발명의 표시장치는 게이트라인을 포함하는 표시패널 및 게이트라인에 게이트펄스를 공급하는 쉬프트레지스터를 포함하되, 쉬프트레지스터는 게이트 스타트 펄스 또는 이전단 스테이지의 출력에 대응하여 Q노드 및 QB노드의 전위를 제어하는 노드 제어회로 비표시기간에는 제1 전압레벨의 출력제어신호를 인가받고 표시기간에 제2 전압레벨의 출력제어신호를 인가받아 Q노드 및 QB노드의 전위에 따라서 출력제어신호를 출력단으로 출력하거나 출력단을 방전하는 리셋회로 및 제1 전압레벨의 출력제어신호에 응답하여 게이트펄스를 출력하지 않으며 제2 전압레벨의 출력제어신호에 응답하여 게이트펄스를 출력하는 게이트펄스 출력부를 포함한다.

대표도 - 도6

131-1



(56) 선행기술조사문헌

JP2014134805 A

KR1020100116098 A

KR1020110123459 A

KR1020130017281 A

US20060007085 A1

US20120081346 A1

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

게이트라인을 포함하는 표시패널; 및

상기 게이트라인에 게이트펄스를 공급하는 쉬프트레지스터를 포함하되,

상기 쉬프트레지스터는

게이트 스타트 펄스 또는 이전단 스테이지의 출력에 대응하여 Q노드 및 QB노드의 전위를 제어하는 노드 제어회로;

비표시기간에는 제1 전압레벨의 출력제어신호를 인가받고 표시기간에 제2 전압레벨의 출력제어신호를 인가받아 상기 Q노드의 전위에 따라서 상기 출력제어신호를 출력단으로 출력하거나, 상기 출력단을 방전하는 리셋회로; 및

상기 제1 전압레벨의 출력제어신호에 응답하여 상기 게이트펄스를 출력하지 않으며, 상기 제2 전압레벨의 출력제어신호에 응답하여 상기 게이트펄스를 출력하는 게이트펄스 출력부를 포함하고,

상기 리셋회로는 저전위전압 및 상기 출력제어신호를 입력받아서, 상기 Q노드가 저전위전압일 때에 상기 출력제어신호를 출력하며, 상기 Q노드가 고전위전압일 때에 상기 출력단을 저전위전압으로 방전하여, 상기 게이트펄스가 출력되지 않도록 제어하며,

상기 리셋회로는 구동준비기간 내에서 리셋신호를 입력받으며, 상기 리셋신호에 응답하여 상기 출력단을 저전위전압으로 방전하는 표시장치.

#### 청구항 2

삭제

#### 청구항 3

제 1 항에 있어서,

상기 리셋회로는 서로 다른 캐리어로 동작하며 서로 직렬로 연결되는 제1 및 제2 트랜지스터를 포함하고,

상기 출력제어신호는 상기 제1 트랜지스터의 소스전극으로 입력되고, 상기 저전위전압은 상기 제2 트랜지스터의 소스전극으로 입력되며, 상기 Q노드의 전압은 상기 제1 및 제2 트랜지스터의 게이트전극에 각각 입력되어,

상기 출력제어신호를 상기 제1 및 제2 트랜지스터의 드레인전극으로 출력하거나, 상기 드레인전극의 노드를 방전하는 표시장치.

#### 청구항 4

삭제

#### 청구항 5

제 1 항에 있어서,

상기 리셋회로는

상기 Q노드 전위 및 상기 리셋신호가 모두 로우레벨일 경우에, 상기 출력제어신호를 출력하는 NOR게이트 형태로 이루어지는 표시장치.

**청구항 6**

제 5 항에 있어서,

상기 리셋회로는

게이트전극에 입력되는 상기 리셋신호가 하이레벨일 때에, 소스전극으로 제공받는 상기 저전위전압을 드레인전극으로 출력하는 제1 트랜지스터;

상기 제1 트랜지스터와 병렬로 연결되며, 게이트전극과 연결되는 상기 Q노드가 하이레벨일 때에, 소스전극으로 제공받는 상기 저전위전압을 드레인전극으로 출력하는 제2 트랜지스터;

게이트전극에 입력되는 상기 리셋신호가 로우레벨일 때에 턴-온되는 제3 트랜지스터; 및

상기 제3 트랜지스터와 직렬로 연결되며, 게이트전극에 연결되는 상기 Q노드가 로우레벨일 때에 턴-온되어서 소스 전극에 입력되는 상기 출력제어신호를 상기 제3 트랜지스터의 소스전극에 제공함으로써, 상기 제3 트랜지스터와 동시에 턴-온 될 때에 상기 출력제어신호를 상기 제3 트랜지스터를 통해서 출력하는 제4 트랜지스터를 포함하는 표시장치.

**청구항 7**

제 1 항에 있어서,

상기 리셋회로는

상기 Q노드 전위 및 상기 리셋신호가 모두 하이레벨일 경우에, 상기 출력단을 저전위전압으로 방전하는 NAND게이트 형태로 이루어지는 표시장치.

**청구항 8**

제 7 항에 있어서,

상기 리셋회로는

게이트전극에 입력되는 상기 리셋신호가 로우레벨일 때에, 소스전극으로 제공받는 상기 출력제어신호를 드레인전극으로 출력하는 제1 트랜지스터;

상기 제1 트랜지스터와 병렬로 연결되며, 게이트전극과 연결되는 상기 Q노드가 로우레벨일 때에, 소스전극으로 제공받는 상기 출력제어신호를 드레인전극으로 출력하는 제2 트랜지스터;

게이트전극에 입력되는 상기 리셋신호가 하이레벨일 때에 턴-온되는 제3 트랜지스터; 및

상기 제3 트랜지스터와 직렬로 연결되며, 게이트전극에 연결되는 상기 Q노드가 하이레벨일 때에 턴-온되어서 소스 전극에 입력되는 상기 저전위전압을 상기 제3 트랜지스터의 소스전극에 제공함으로써, 상기 제3 트랜지스터와 동시에 턴-온 될 때에 상기 출력단을 저전위전압으로 방전하는 제4 트랜지스터를 포함하는 표시장치.

**청구항 9**

제 1 항에 있어서,

상기 리셋회로는

상기 Q노드 전위 및 상기 리셋신호가 모두 하이레벨일 경우에, 상기 저전위전압을 출력하고,

상기 Q노드 전위 및 상기 리셋신호가 모두 로우레벨일 경우에, 상기 출력제어신호를 출력하는 표시장치.

**청구항 10**

제 9 항에 있어서,

서로 직렬로 연결되며, 각각이 하이레벨의 상기 리셋신호 및 하이레벨의 상기 Q노드 전위에 응답하여 상기 출력단을 저전위전압으로 방전하는 제1 및 제2 트랜지스터; 및

서로 직렬로 연결되며, 각각이 로우레벨의 상기 리셋신호 및 로우레벨의 상기 Q노드 전위에 응답하여 상기 출력 제어신호를 출력하는 제3 및 제4 트랜지스터를 포함하는 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시장치에 관한 것이다.

**배경 기술**

[0002] 표시장치는 데이터라인들과 게이트라인들이 직교되도록 배치되고 픽셀들이 매트릭스 형태로 배치된다. 데이터 라인들에는 표시하고자 하는 비디오 데이터전압이 공급되고 게이트라인들에는 게이트펄스가 순차적으로 공급된다. 게이트펄스가 공급되는 표시라인의 픽셀들에 비디오 데이터전압이 공급되며, 모든 표시라인들이 게이트펄스에 의해 순차적으로 스캐닝되면서 비디오 데이터를 표시한다.

[0003] 평판표시장치의 게이트라인들에 게이트펄스를 공급하기 위한 게이트 구동부는 통상 다수의 게이트 집적회로(Integrated Circuit, 이하 "IC"라 함)를 포함한다. 게이트 드라이브 IC 각각은 게이트펄스를 순차적으로 출력하여야 하기 때문에 기본적으로 쉬프트 레지스터를 포함하며, 표시패널의 구동특성에 따라 쉬프트 레지스터의 출력 전압을 조정하기 위한 회로들과 출력 버퍼들을 포함할 수 있다.

[0004] 게이트 드라이브 IC들의 구동은 수평라인들의 스캔과 관련된 것으로 표시장치의 구동에 있어서 매우 중요하기 때문에, 정확성과 안정성이 중시되고 있다. 게이트 드라이브 IC들의 구동을 안정적으로 하기 위해서 쉬프트 레지스터들은 도 1에서와 같이, 노드제어회로(NCON)의 노드 전압을 초기화하는 초기화회로(RESET) 및 오동작으로 인해서 게이트펄스가 출력되는 것을 방지하는 컨트롤회로(CONTROL)를 포함한다. 초기화회로(RESET) 및 컨트롤회로(CONTROL)는 각각 저전위전압(VSS)과 고전위 정전압(VDD)을 이용하여 동작하고, 각각이 4개씩의 트랜지스터를 이용한다.

[0005] 근래에는 구동 드라이브 IC를 간소화하기 위해서, 게이트 드라이브 IC의 쉬프트 레지스터를 패널에 형성하는 방식을 이용하기도 하는데, 쉬프트 레지스터에 추가되는 초기화회로(RESET) 및 컨트롤회로(CONTROL)는 패널에서 비표시영역인 배젤의 사이즈를 증가시키는 원인이 된다. 이러한 단점은 표시패널의 화면이 커지거나 표시패널의 해상도가 증가할 경우에 더욱 심해지고, 결국 최근 표시장치의 경향인 대화면/고해상도의 표시패널에 적용하기에 난점이 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 상술한 문제점을 해결하기 위해서 본 발명은 추가적인 반도체 소자를 최소화하면서도 게이트 구동부를 안정적으로 구동할 수 있는 표시장치를 제공하기 위한 것이다.

**과제의 해결 수단**

[0007] 상술한 과제 해결 수단으로 본 발명의 표시장치는 게이트라인을 포함하는 표시패널 및 게이트라인에 게이트펄스를 공급하는 쉬프트레지스터를 포함하되, 쉬프트레지스터는 게이트 스타트 펄스 또는 이전단 스테이지의 출력에 대응하여 Q노드 및 QB노드의 전위를 제어하는 노드 제어회로 비표시기간에는 제1 전압레벨의 출력제어신호를 인

가받고 표시기간에 제2 전압레벨의 출력제어신호를 인가받아 Q노드 및 QB노드의 전위에 따라서 출력제어신호를 출력단으로 출력하거나 출력단을 방전하는 리셋회로 및 제1 전압레벨의 출력제어신호에 응답하여 게이트펄스를 출력하지 않으며 제2 전압레벨의 출력제어신호에 응답하여 게이트펄스를 출력하는 게이트펄스 출력부를 포함한다.

**발명의 효과**

[0008] 본 발명의 쉬프트레지스터는 표시기간과 비표시기간을 구분하는 리셋신호를 이용하여 쉬프트레지스터가 원하는 타이밍에 스캔펄스를 출력하지 않도록 제어함으로써, 트랜지스터의 개수를 줄이면서도 스캔구동을 안정적으로 할 수 있다. 또한 본 발명은 구동준비기간에 리셋신호를 이용하여 쉬프트레지스터의 출력단을 일괄적으로 초기화할 수 있어서 스캔구동의 신뢰성을 더욱 높일 수 있다.

[0009] 이처럼 본 발명은 종래의 리셋회로에 대비하여 트랜지스터의 개수를 증가시키지 않으면서도 이중적으로 초기화 과정을 수행하기 때문에 패널에서 쉬프트 레지스터가 차지하는 면적을 줄일 수 있고, 이에 따라서 PPI(pixel per inch)가 높은 표시패널에 적용하기에 유리한 표시장치를 제공한다.

**도면의 간단한 설명**

- [0010] 도 1은 종래의 쉬프트레지스터에 포함되는 리셋회로 및 컨트롤회로를 나타내는 블록도.
- 도 2는 실시 예에 의한 표시장치의 구성을 나타내는 도면.
- 도 3은 실시 예에 의한 쉬프트 레지스터를 나타내는 도면.
- 도 4는 실시 예에 의한 쉬프트 레지스터의 스테이지를 나타내는 도면.
- 도 5는 게이트펄스 출력부의 실시 예들을 나타내는 도면.
- 도 6은 제1 실시 예에 의한 리셋회로를 나타내는 회로도.
- 도 7은 스테이지의 입력 및 출력 신호를 나타내는 파형도.
- 도 8 내지 도 10은 각각 2 내지 제4 실시 예에 의한 리셋회로를 나타내는 회로도.

**발명을 실시하기 위한 구체적인 내용**

[0011] 이하 첨부된 도면을 참조하여 액정표시장치를 중심으로 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.

[0012] 도 2는 본 발명의 실시예에 따른 표시장치를 보여주는 블록도이다. 도 2를 참조하면, 본 발명의 표시장치는 표시패널(100), 데이터 구동회로(120), 레벨 쉬프터(150), 쉬프트 레지스터(130) 및 타이밍 컨트롤러(110) 등을 구비한다.

[0013] 표시패널(100)은 서로 교차되는 데이터라인들 및 게이트라인들과, 매트릭스 형태로 배치된 픽셀들을 포함한다. 표시패널(100)은 액정표시장치(LCD), 유기발광다이오드 표시장치(OLED), 전기영동 표시장치(EPD) 등을 이용할 수 있다.

[0014] 데이터 구동회로는 다수의 소스 드라이브 IC들(120)을 포함한다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러(110)로부터 디지털 비디오 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 감마보상전압으로 변환하여 데이터전압을 발생하고, 그 데이터전압을 게이트펄스에 동기되도록 표시패널(100)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.

- [0015] 스캔 구동회로는 타이밍 콘트롤러(110)와 표시패널(100)의 게이트라인들 사이에 접속된 레벨 쉬프터(level shifter)(150), 및 게이트 쉬프트 레지스터(130)를 구비한다.
- [0016] 레벨 쉬프터(150)는 타이밍 콘트롤러(110)로부터 입력되는  $i$ 상 게이트쉬프트클럭들(CLK1~CLK $i$ )의 TTL(Transistor-Transistor- Logic) 로직 레벨 전압을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 레벨 쉬프팅한다. 이하, 본 발명의 실시 예는 4상 게이트쉬프트클럭들(CLK1~CLK4)을 이용한 구동을 예로 설명하기로 한다.
- [0017] 게이트 쉬프트 레지스터(130)는 게이트 스타트 펄스(VST)를 게이트쉬프트클럭(CLK1~CLK4)에 맞추어 쉬프트시켜 순차적으로 캐리신호와 게이트펄스(Gout)를 출력하는 스테이지들로 구성된다.
- [0018] 스캔 구동회로는 GIP(Gate In Panel) 방식으로 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다. GIP 방식에서, 레벨 쉬프터(150)는 PCB(140) 상에 실장되고, 게이트 쉬프트 레지스터(130)는 표시패널(100)의 하부 기판 상에 형성될 수 있다.
- [0019] 타이밍 콘트롤러(110)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 컴퓨터로부터 디지털 비디오 데이터(RGB)를 입력 받는다. 타이밍 콘트롤러(110)는 호스트 컴퓨터로부터 입력되는 디지털 비디오 데이터들(RGB)을 소스 드라이브 IC들(120)로 전송한다.
- [0020] 타이밍 콘트롤러(110)는 LVDS 또는 TMDS 인터페이스 수신회로를 통해 호스트 컴퓨터로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받는다. 타이밍 콘트롤러(110)는 호스트 컴퓨터로부터의 타이밍 신호를 기준으로 데이터 구동회로와 스캔 구동회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 스캔 구동회로의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호, 소스 드라이브 IC들(120)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.
- [0021] 스캔 타이밍 제어신호는 게이트 스타트 펄스(VST), 게이트쉬프트클럭(CLK1~CLK4), 게이트 출력 인에이블신호(Gate Output Enable; GOE) 등을 포함한다. 게이트 스타트 펄스(VST)는 게이트 쉬프트 레지스터(130)에 입력되어 쉬프트 스타트 타이밍을 제어한다.
- [0022] 게이트쉬프트클럭(CLK1~CLK4)은 레벨 쉬프터(150)를 통해 레벨 쉬프팅된 후에 게이트 쉬프트 레지스터(130)에 입력되며, 게이트 스타트 펄스(VST)를 쉬프트시키기 위한 클럭신호로 이용된다. 게이트 출력 인에이블신호(GOE)는 게이트 쉬프트 레지스터(130)의 출력 타이밍을 제어한다.
- [0023] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC들(120)의 쉬프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다.
- [0024] 도 3은 본 발명에 의한 게이트 쉬프트 레지스터(130)를 나타내는 도면이다.
- [0025] 도 3을 참조하면, 본 발명에 의한 게이트 쉬프트 레지스터(130)는 종속적으로 접속된 다수의 스테이지들(ST1~ST $n$ ,  $n$ 은 2 이상의 자연수)을 구비한다. 각 스테이지들(ST1~ST $n$ )은 각각 제1 내지 제 $n$  게이트펄스(Gout1~Gout $n$ )를 출력한다. 게이트펄스는 표시장치의 게이트라인들에 인가됨과 동시에, 전단 스테이지와 후단 스테이지로 전달되는 캐리신호 역할을 겸한다. 이하의 설명에서 "전단 스테이지"는 기준이 되는 스테이지의 상부에 위치하는 것을 말한다. 예컨대, 제 $k$ ( $k$ 는  $1 < k < n$  인 자연수) 스테이지(ST $k$ )을 기준으로, 전단 스테이지는 제1 스테이지(ST1) 내지 제 $k-1$  스테이지(ST( $k-1$ )) 중 어느 하나를 지시한다. "후단 스테이지"는 기준이 되는 스테이지의 하부에 위치하는 것을 말한다. 예컨대, 제 $k$ ( $1 < k < n$ ) 스테이지(ST $k$ )을 기준으로, 후단 스테이지는 제 $k+1$  스테이지(ST( $k+1$ )) 내지 제 $n$  스테이지 중 어느 하나를 지시한다.
- [0026] 게이트 쉬프트 레지스터(130)는 게이트펄스(Gout(1)~Gout( $n$ ))를 순차적으로 출력한다. 이를 위하여, 제1 스테이지(ST1) 내지 제 $n$  스테이지(ST $n$ )에는 순차적으로 지연되는 4상 게이트쉬프트클럭들 중에 1 개의 게이트쉬프트클럭이 입력된다.
- [0027] 도 4는 도 3에  $i$ ( $i$ 는  $2 < i < n$ 인 자연수)스테이지의 회로 구성의 실시 예를 나타내는 도면이다.

- [0028] 도 4를 참조하면, 제i 스테이지(STi)는 노드 제어회로(NCON), 리셋회로(131) 및 게이트펄스 출력부(133)를 포함한다.
- [0029] 노드 제어회로(NCON)는 스타트펄스(VST) 또는 이전 스테이지의 출력에 대응하여 Q노드 및 QB노드의 전압을 제어한다. 즉, 노드제어회로(NON)는 제i-1 클럭신호(CLK(i-1))에 응답하여 스타트펄스(VST) 또는 이전 스테이지의 출력 전압으로 Q노드를 충전하거나 방전시킨다.
- [0030] 리셋회로(131)는 출력단(Qout)을 통해서 출력되는 전압으로 게이트펄스 출력부(133)가 게이트펄스를 출력하거나 게이트펄스를 출력하지 않도록 제어한다. 일례로, 리셋회로(131)는 출력단(Qout)을 저전위전압(VSS)으로 방전하여 게이트펄스 출력부(133)가 게이트펄스를 출력하지 않도록 하고, 하이레벨전압을 출력하여 게이트펄스 출력부(133)가 게이트펄스를 출력하도록 제어한다.
- [0031] 리셋회로(131)는 구동준비기간 내에서 제공받는 하이레벨전압의 리셋신호(RST1)에 응답하여, Q노드(Q)의 전위에 상관없이 출력단(Qout)의 출력전압을 저전위전압(VSS)으로 방전한다. 따라서, 리셋회로(131)는 구동준비기간 동안에 1차적으로 출력단(Qout)을 출력전압으로 초기화한다.
- [0032] 또한 리셋회로(131)는 리셋신호(RST1)가 로우레벨전압일 경우에는, Q노드의 전위에 따라서 출력단(Qout)을 저전위전압(VSS)으로 방전하거나 출력단(Qout)을 통해서 전압레벨이 가변하는 출력제어신호를 출력한다. 출력제어신호(RST2)는 비표시기간에는 제1 전압레벨을 유지하고 표시기간에는 제2 전압레벨을 유지한다. 제1 전압레벨은 게이트펄스 출력부(133)를 동작시키지 않는 전위이고, 제2 전압레벨은 게이트펄스 출력부(133)를 동작시키는 전위이다. 일례로 제1 전압레벨은 로우레벨전압이고, 제2 전압레벨은 하이레벨전압일 수 있다. 따라서 리셋회로(131)는 리셋신호(RST1)가 로우레벨일지라도 비표시기간에는 출력단(Qout)을 통해서 게이트펄스 출력부(133)를 동작시키지 않는 제1 전압레벨의 출력제어신호(RST2)가 출력된다. 즉, 리셋회로(131)는 비표시기간에는 Q노드 또는 QB노드의 전위에 상관없이 항상 출력단(Qout)으로 게이트펄스 출력부(133)를 동작시키지 않기 때문에, 비표시기간 동안에 Q노드 또는 QB노드의 노이즈(noise)로 인해서 게이트펄스 출력부(133)가 게이트펄스를 출력하는 것을 방지할 수 있다.
- [0033] 이처럼, 리셋회로(131)는 비표시기간 동안에는 전압레벨이 가변하는 출력제어신호(RST2)를 구동전원으로 이용하여 기 때문에 별도의 추가회로를 구성하지 않고도 2차적으로 출력단(Qout)의 전위를 안정화할 수 있다.
- [0034] 종래에는 1차적인 초기화 동작을 위한 리셋회로와 비표시기간 동안에 출력을 제한하는 컨트롤회로에 각각 독립적인 동작을 위한 트랜지스터들이 필요하였다. 그리고 각각 독립적으로 구동되는 트랜지스터들의 조합은 독립적으로 리셋신호를 입력받아서 동작하였다.
- [0035] 이에 반해서, 본 발명의 리셋회로(131)는 구동전원의 전압레벨을 표시기간과 비표시기간으로 구분하여 스윙함으로써 별도의 회로 구성이 필요없는 상태에서 1차적인 초기화 동작뿐만 아니라 비표시기간 동안에는 출력을 제한하는 2차적인 안정화 동작을 수행할 수 있다. 이에 대한 리셋회로(131)의 세부구성과 동작설명은 후술하기로 한다.
- [0036] 게이트펄스 출력부(133)는 리셋회로(131)의 출력단(Qout)의 전위에 따라서 게이트하이전압(VGH)에 해당하는 게이트펄스(Gouti)을 출력한다. 게이트펄스 출력부(133)는 리셋회로(131)의 출력단(Qout)이 저전위전압일 경우에는 게이트펄스를 출력하지 않고, 리셋회로(131)의 출력단(Qout)이 고전위전압일 경우에는 게이트펄스를 출력한다. 또한, 게이트펄스 출력부(133)는 노드제어회로(NCON)의 QB노드(QB)의 전위에 대응하여 출력전압을 저전위전압(VSS)으로 방전한다. 예컨대, 게이트펄스 출력부(133)는 노드제어회로(NCON)의 QB노드(QB)의 전위가 고전위전압일 때에 출력전압을 저전위전압(VSS)으로 방전한다.
- [0037] 게이트펄스 출력부(133)는 풀업 트랜지스터(Pull-up transistor, Tpu) 및 풀다운 트랜지스터(Pull-down transistor, Tpd)를 포함하며, 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd)의 결합은 공지된 다양한 구조를 이용할 수 있다. 예컨대, 게이트펄스 출력부(133)는 도 5의 (a) 및 (b)에서와 같이 구현될 수 있다.
- [0038] 도 5의 (a)에 도시된 일 실시 예의 게이트펄스 출력부(133)는 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd)를 포함한다. 풀업 트랜지스터(Tpu)는 Q노드(Q)의 로우레벨전압에 응답하여 드레인 전극을 통해서 제공받는 구동전압(Vdd)을 게이트펄스(Gout)로 출력한다. 풀다운 트랜지스터(Tpd)는 Q노드(Q)의 하이레벨전압에 응답하여 게이트펄스 출력부(133)의 전압을 저전위전압(VSS)으로 방전한다.
- [0039] 도 5의 (b)에 도시된 게이트펄스 출력부(133)는 풀업 트랜지스터부(Tpu) 및 풀다운트랜지스터(Tpd)를 포함한다. 풀업 트랜지스터부(Tpu)는 드레인 전극을 통해서 클럭신호(CLKi)를 제공받으며, 패스-게이트(Pass-Gate)는 p-형

트랜지스터 및 n-형 트랜지스터를 포함한다. 풀업 트랜지스터(Tpu)는 Q노드(Q)의 로우레벨전압에 응답하여 드레인 전극을 통해서 제공받는 클럭신호(CLKi)를 게이트펄스(Gouti)로 출력한다. 풀다운 트랜지스터(Tpd)는 Q노드(Q)의 하이레벨전압에 응답하여 게이트펄스 출력부(Gouti)의 전압을 저전위전압(VSS)으로 방전한다.

[0040] 도 6은 제1 실시 예에 의한 리셋회로를 나타내는 회로도이고, 도 7은 스테이지(ST1~STn)의 입력 및 출력 신호를 보여준다. 리셋회로(131)의 초기화 및 출력 안정화 동작과 스테이지들(ST1~STn)이 게이트펄스를 출력하는 과정을 도 3 내지 도 7을 결부하여 설명하면 다음과 같다.

[0041] 도 6을 참조하면, 제1 실시 예에 의한 리셋회로(131-1)는 Q노드(Q)의 전압 및 리셋신호(RST1)를 입력받아서, 저전위전압(VSS) 또는 출력제어신호(RST2)를 출력단(Qout)으로 출력한다. Q노드(Q)는 노드 제어회로(NCON)의 Q노드(Q)에 연결되고, 출력단(Qout)은 게이트펄스 출력부(133)와 연결된다. 제1 실시 예의 리셋회로(131-1)는 Q노드(Q)의 전위 및 리셋신호(RST1)가 모두 로우레벨일 경우에 출력제어신호를 출력한다.

[0042] 이를 위해서, 제1 실시 예의 리셋회로(131-1)는 NOR게이트 구조를 이루는 제1 내지 제4 트랜지스터를 포함한다. 즉, 제1 트랜지스터(T1)는 게이트전극에 입력되는 리셋신호(RST1)가 하이레벨일 때에, 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다. 제2 트랜지스터(T2)는 제1 트랜지스터와 병렬로 연결되며, 게이트전극과 연결되는 Q노드(Q)가 하이레벨일 때에 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다. 제3 및 제4 트랜지스터(T4)는 서로 직렬로 연결되고, 제3 트랜지스터(T3)는 리셋신호가 로우레벨일 때에 턴-온되며, 제4 트랜지스터(T4)는 Q노드(Q)가 로우레벨일 때에 턴-온된다. 제3 및 제4 트랜지스터(T4)는 동시에 턴-온 될 때에 출력제어신호(RST2)를 제3 트랜지스터(T3)를 통해서 출력단(Qout)으로 출력한다.

[0043] 도 7에서 보는 바와 같이, 표시장치는 시스템(미도시)을 통해서 전원이 제공되면 일정기간 동안 구동준비기간을 갖는다. 구동준비기간 이후에 소정시간( $\Delta t$ )이 경과하면, 데이터입력신호(DE) 및 클럭신호(CLK)들이 입력되면서 영상을 표시하는 표시기간을 갖는다. 비표시기간은 구동준비기간 및 구동기간 중에서 실제로 영상이 표시되지 않는 구간을 포함한다. 구동기간 중에서 실제로 영상이 표시되지 않는 구간은 터치신호의 입력을 받거나 영상데이터 이외의 부가정보를 받는 구간 등을 포함한다.

[0044] 리셋회로(131-1)는 구동준비기간 내에서 일정기간 동안 하이레벨의 리셋신호(RST1)를 입력받는다. 제1 트랜지스터(T1)는 하이레벨의 리셋신호(RST1)에 응답하여 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다. 이때, Q노드(Q)가 저전위전압이어서 제4 트랜지스터(T4)가 턴-온된다고 할지라도, 제3 트랜지스터(T3)는 하이레벨의 리셋신호(RST1)에 의해서 턴-오프되기 때문에 출력제어신호(RST2)와 출력단(Qout) 간의 전류 경로는 차단된다. 즉, 구동준비기간 내에서 하이레벨의 리셋신호(RST1)가 인가되는 동안에 리셋회로(131)는 Q노드(Q)의 전위에 관계없이 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다.

[0045] 초기화 동작이 수행된 이후에 리셋신호(RST1)는 로우레벨의 전압으로 스윙된다. 그리고 클럭신호들(CLK1~CLK4)이 입력되기 이전까지의 비표시기간 동안에 출력제어신호(RST2)는 로우레벨을 유지한다. 초기화 동작 이후의 비표시기간 동안에는 로우레벨의 리셋신호(RST1)에 의해서 제3 트랜지스터(T3)는 턴-온된다. 비표시기간은 게이트펄스가 출력되지 않는 구간이기 때문에, 노드제어회로(NCON)는 Q노드(Q)의 전위를 하이레벨전압으로 제어한다. 따라서, 리셋회로(131)의 제2 트랜지스터(T2)는 Q노드(Q)의 저전위전압에 응답하여, 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다. 만약 비정상적인 노이즈에 의해서 Q노드(Q)가 저전위전압으로 충전되면, 제4 트랜지스터(T4)는 턴-온된다. 즉, 제3 트랜지스터(T3)가 턴-온된 상태인 비표시기간에 비정상적인 노이즈가 발생하면, 출력제어신호(RST2)가 제3 및 제4 트랜지스터(T4)를 경유하여 출력단(Qout)으로 출력된다. 하지만 출력제어신호(RST2)는 로우레벨의 전위를 갖기 때문에, 게이트펄스 출력부(133)는 게이트펄스를 출력하지 않는다. 따라서, 비정상적인 동작이나 노이즈로 인해서 노드제어회로(NCON)의 Q노드(Q)가 로우레벨전압이라고 할지라도, 리셋회로(131-1)는 게이트펄스 출력부(133)가 게이트펄스를 출력하지 않도록 제어할 수 있다.

[0046] 다시 말해서, 구동준비기간 내에서 리셋회로(131-1)는 Q노드(Q)의 전위에 상관없이 리셋회로(131-1)의 출력단(Qout)을 저전위전압(VSS)으로 방전시키는 1차적인 초기화 동작을 수행한다. 또한 리셋회로(131-1)는 비표시기간 동안에 로우레벨의 출력제어신호(RST2)를 바탕으로 Q노드(Q)의 전위에 상관없이 게이트펄스가 출력되는 것을 방지한다.

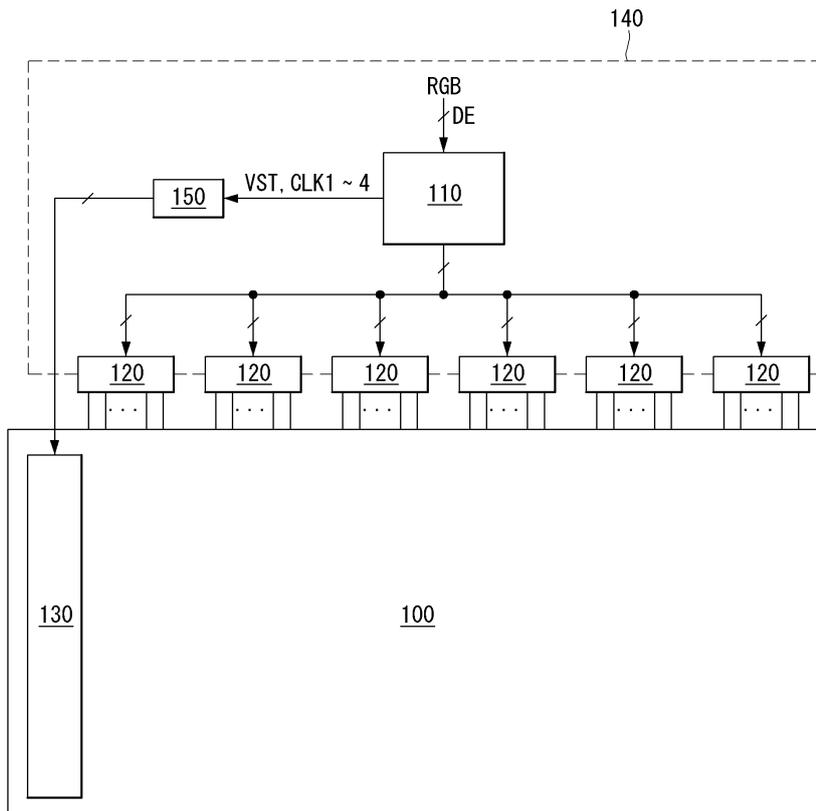
[0047] 이와 같이, 제1 실시 예의 리셋회로(131-1)는 하나의 로직회로에 리셋회로(131) 및 Q노드(Q)의 전위를 입력받아서, 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전하거나 전압레벨이 가변하는 출력제어신호(RST2)를 출력한다. 특히 출력제어신호(RST2)는 표시기간과 비표시기간을 구분하며, 비표시기간에 리셋회로(131-1)에 입력되는 출력제어신호(RST2)는 게이트펄스 출력부(133)를 동작시키지 않는 전압레벨을 유지한다. 따라서 구동준비기간

에 스테이지(ST1~STn)들을 초기화하는 동작 및 비표시시간에 출력단(Qout)의 출력을 제한하는 동작을 단일 로직 회로를 이용하여 구현할 수 있다. 따라서 초기화 동작을 위한 회로와 출력단(Qout)의 출력을 제한하는 회로를 개별적으로 구성하여 조합하던 종래에 대비하여, 리셋회로(131)의 구조를 간단히 할 수 있고 소요되는 반도체 소자의 개수도 줄일 수 있다. 이처럼 구조가 간소화된 리셋회로(131-1)는 제조비용을 줄일 수 있을 뿐만 아니라, 회로 사이즈를 줄일 수 있기 때문에 전체적인 쉬프트 레지스터(130)의 크기를 줄일 수 있다. 즉, 본 발명의 표시장치는 패널에 비표시면 영역인 베젤의 크기를 줄일 수 있어서, 대화면/고해상도 표시패널을 이용하기에 유리하다.

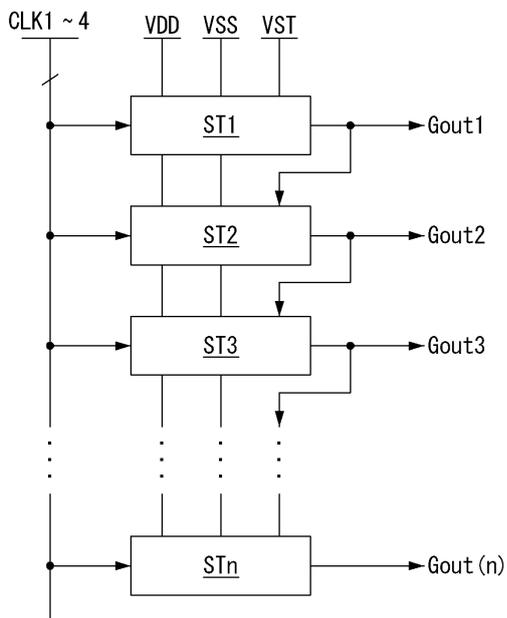
- [0048] 위와 같은 비표시시간 이후에는 게이트쉬프트클럭들(CLK1~CLK4)이 레벨 쉬프터(150)로 입력된다. 표시기간 동안에 레벨 쉬프터(150)는 타이밍 콘트롤러(110)로부터 입력되는 4상 게이트쉬프트클럭들(CLK1~CLK4)의 로직 레벨 전압을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 레벨 쉬프팅하여, 제1 내지 제4 게이트쉬프트클럭(CLK1~CLK4)까지 순차적으로 지연되는 순환 클럭을 생성한다. 표시기간 동안에 리셋신호(RST1)는 로우레벨의 전압레벨을 유지하고, 출력제어신호(RST2)는 로우레벨에서 하이레벨로 스위칭된다. 그리고 표시기간 동안에 쉬프트 레지스터(130)의 제1 스테이지(ST1)의 노드 제어회로(NCON)는 게이트 스타트 펄스(VST)의 출력전압으로 Q노드(Q)를 방전한다.
- [0049] 표시기간 동안에는 리셋신호(RST1) 및 Q노드(Q)의 전위가 저전위전압레벨이기 때문에, 리셋회로(131)의 제3 및 제4 트랜지스터(T4)는 턴-온되고, 하이레벨의 전압을 갖는 출력제어신호(RST2)는 출력단(Qout)으로 출력된다. 그리고 제1 스테이지(ST1)의 게이트펄스 출력부(133)는 리셋회로(131)로부터 제공받는 하이레벨의 출력제어신호(RST2)에 응답하여, 제1 게이트펄스(Gout1)를 출력한다.
- [0050] 제1 수평기간(t1)의 종료 시점에, 노드 제어회로(NCON)는 제1 게이트쉬프트클럭(CLK1)에 응답하여 Q노드(Q)를 충전시킨다. 이에 따라서, 리셋회로(131)의 제2 트랜지스터(T2)는 저전위전압(VSS)을 출력단(Qout)으로 출력하고, 게이트펄스 출력부(133)는 제1 게이트펄스(Gout1)를 저전위전압(VSS)으로 방전한다.
- [0051] 이와 유사하게 제2 수평기간(t2) 동안에는, 제2 스테이지(ST2)의 노드제어회로(NCON)는 제1 스테이지(ST1)에서 출력하는 제1 게이트펄스(Gout1)를 캐리신호로 제공받아서 Q노드(Q)를 방전하고, 게이트펄스 출력부(133)는 제2 게이트펄스(Gout2)를 출력한다. 마찬가지로 제3 및 제4 수평기간(t3,t4) 동안에, 쉬프트 레지스터(130)는 제3 및 제4 게이트펄스(Gout3,Gout4)를 출력한다.
- [0052] 도 8 및 도 9는 각각 제2 및 제3 실시 예에 의한 리셋회로를 나타낸다. 후술하는 제2 및 제3 실시 예에 의한 리셋회로는 전술한 제1 실시 예와 마찬가지로 도 7에 도시된 구동과형에 의해서 동일한 동작을 수행할 수 있다.
- [0053] 도 8을 참조하면, 제2 실시 예에 의한 리셋회로(131-2)는 Q노드(Q)의 전압 및 리셋신호(RST1)를 입력받아서, 출력제어신호(RST2)를 출력단(Qout)으로 출력하거나 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다. Q노드(Q)는 노드 제어회로(NCON)의 Q노드(Q)에 연결되고, 출력단(Qout)은 게이트펄스 출력부(133)와 연결된다. 제2 실시 예의 리셋회로(131-2)는 Q노드(Q)의 전압 및 리셋신호(RST1)가 모두 하이레벨일 경우에, 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다.
- [0054] 이를 위해서, 제2 실시 예의 리셋회로(131-2)는 NOR게이트 구조를 이루는 제1 내지 제4 트랜지스터(T21~T24)를 포함한다. 제1 트랜지스터(T21)는 게이트전극에 입력되는 리셋신호(RST1)가 로우레벨일 때에, 소스전극으로 제공받는 출력제어신호(RST2)를 드레인전극을 통해서 출력단(Qout)으로 출력한다. 제2 트랜지스터(T22)는 제1 트랜지스터(T21)와 병렬로 연결되며, 게이트전극과 연결되는 Q노드(Q)가 로우레벨일 때에 소스전극으로 제공받는 출력제어신호(RST2)를 드레인전극을 통해서 출력단(Qout)으로 출력한다. 제3 및 제4 트랜지스터(T23,T24)는 서로 직렬로 연결되고, 제3 트랜지스터(T23)는 리셋신호가 하이레벨일 때에 턴-온되며, 제4 트랜지스터(T24)는 Q노드(Q)가 하이레벨일 때에 턴-온된다. 제3 및 제4 트랜지스터(T23,T24)는 동시에 턴-온 될 때에 출력제어신호(RST2)를 제3 트랜지스터(T23)를 통해서 출력단(Qout)으로 출력한다.
- [0055] 도 9를 참조하면, 제3 실시 예에 의한 리셋회로(131-3)는 Q노드(Q)의 전압 및 리셋신호(RST1)를 입력받아서, 출력제어신호(RST2)를 출력단(Qout)으로 출력하거나 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다. Q노드(Q)는 노드 제어회로(NCON)의 Q노드(Q)에 연결되고, 출력단(Qout)은 게이트펄스 출력부(133)와 연결된다.
- [0056] 제3 실시 예의 리셋회로(131-3)는 서로 직렬로 연결되는 제1 내지 제4 트랜지스터(T31,T34)를 포함한다. 제1 트랜지스터(T31)는 하이레벨의 리셋신호(RST1)에 응답하여 턴-온되고, 제2 트랜지스터(T32)는 하이레벨의 Q노드(Q) 전위에 의해서 턴-온된다. 제1 및 제2 트랜지스터(T31,T32)는 인접하여 직렬로 연결되어서, 리셋신호(RST1) 및 Q노드(Q)의 전위가 모두 하이레벨일 때에, 출력단(Qout)의 전위를 저전위전압(VSS)으로 방전한다.



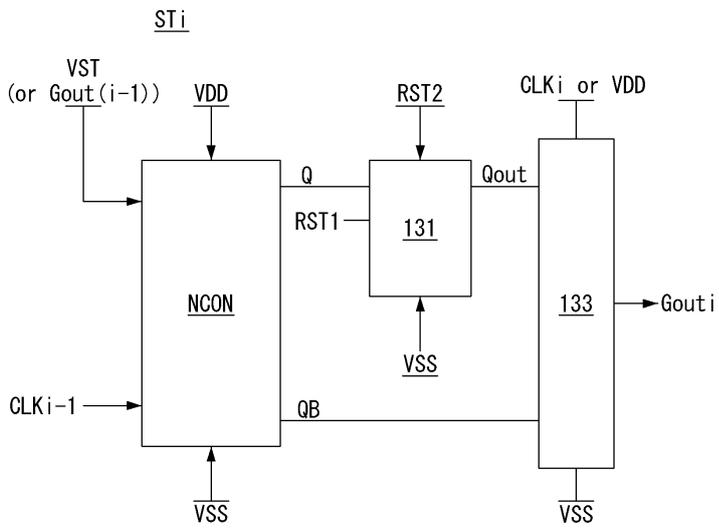
도면2



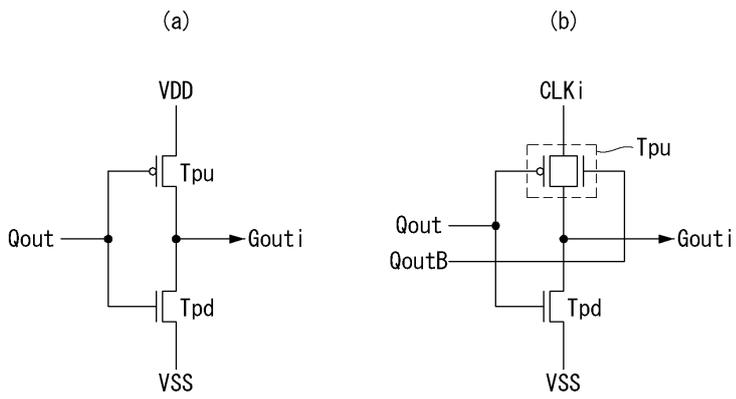
도면3



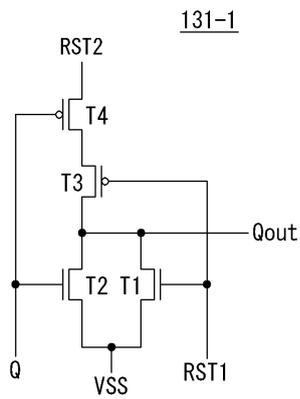
도면4



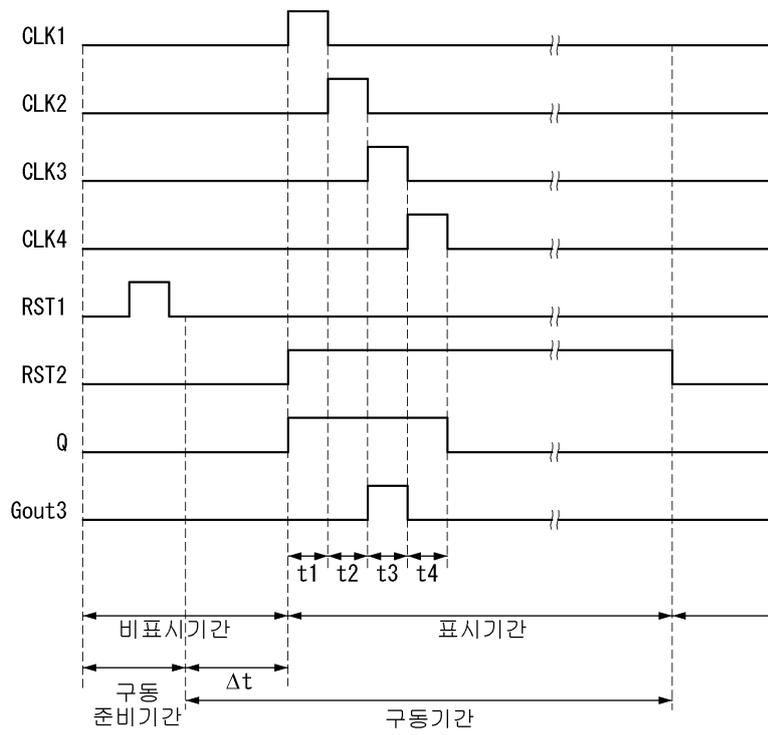
도면5



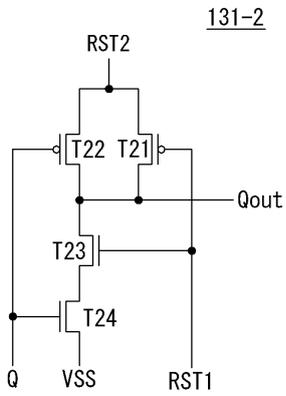
도면6



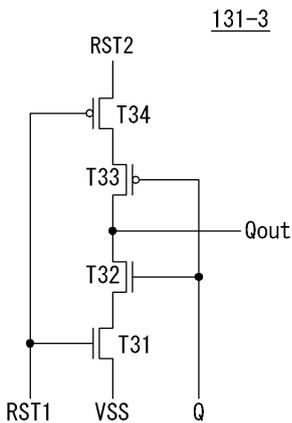
도면7



도면8



도면9



도면10

