(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년12월01일
(11) 등록번호 10-2333743
(24) 등록일자 2021년11월26일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) *G11C 16/04* (2006.01)
G11C 16/06 (2021.01) *G11C 16/10* (2006.01)
G11C 16/12 (2006.01) *G11C 16/30* (2006.01)
(52) CPC특허분류
G11C 16/3404 (2013.01)
G11C 16/0441 (2013.01)
(21) 출원번호 10-2015-0009951
(22) 출원일자 2015년01월21일
심사청구일자 2019년12월24일
(65) 공개번호 10-2016-0090436
(43) 공개일자 2016년08월01일
(56) 선행기술조사문헌
KR1020130095271 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김완동
서울특별시 관악구 남부순환로246라길 3 302호 (봉천동)
(74) 대리인
특허법인 고려

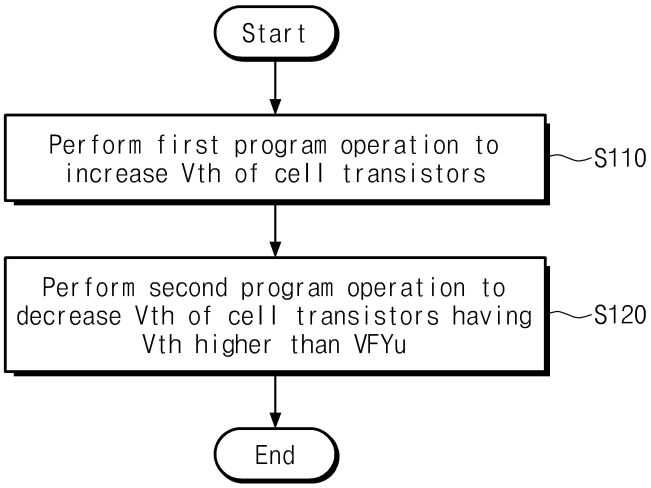
전체 청구항 수 : 총 20 항 심사관 : 한선경

(54) 발명의 명칭 **불휘발성 메모리 장치 및 불휘발성 메모리 장치의 동작 방법**

(57) 요 약

본 발명은 복수의 셀 트랜지스터들을 포함하는 불휘발성 메모리 장치의 동작 방법에 관한 것이다. 본 발명의 동작 방법은, 제1 프로그램 동작을 수행하여 복수의 셀 트랜지스터들의 문턱 전압들을 상승시키는 단계, 그리고 제2 프로그램 동작을 수행하여 복수의 셀 트랜지스터들 중에서 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키는 단계로 구성된다.

대 표 도 - 도3



(52) CPC특허분류
G11C 16/06 (2013.01)
G11C 16/10 (2013.01)
G11C 16/12 (2013.01)
G11C 16/30 (2013.01)

(56) 선행기술조사문헌
KR1020140057901 A*
KR1020090000473 A
KR1020090010481 A
US20120198297 A1
WO2012012261 A1
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

복수의 셀 트랜지스터들을 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

제1 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 상승시키는 단계;

검증 전압을 이용하여 검증 동작을 수행하는 단계; 그리고

제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들 중에서 상기 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키는 단계를 포함하고,

상기 복수의 셀 트랜지스터들 중에서 상기 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들이 존재하지 않으면, 상기 제2 프로그램 동작은 생략되는 동작 방법.

청구항 2

복수의 셀 트랜지스터들을 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

제1 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 상승시키는 단계; 그리고

제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들 중에서 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키는 단계를 포함하고,

상기 제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들 중에서 상기 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키는 단계는,

상기 검증 전압을 이용하여 상기 복수의 셀 트랜지스터들에 대해 검증 동작을 수행하는 단계;

상기 검증 동작의 결과에 따라, 상기 복수의 셀 트랜지스터들 중에서 상기 검증 전압보다 낮은 문턱 전압들을 갖는 제1 셀 트랜지스터들의 프로그램을 금지하는 단계;

상기 검증 동작의 결과에 따라, 상기 복수의 셀 트랜지스터들 중에서 상기 검증 전압보다 높은 문턱 전압들을 갖는 제2 셀 트랜지스터들의 프로그램을 허용하는 단계; 그리고

상기 복수의 셀 트랜지스터들의 제어 게이트들에 음전압을 공급하는 단계를 포함하는 동작 방법.

청구항 3

제2 항에 있어서,

상기 복수의 셀 트랜지스터들의 문턱 전압들이 상기 검증 전압보다 낮아질 때까지, 상기 검증 동작을 수행하는 단계, 상기 제1 셀 트랜지스터들의 프로그램을 금지하는 단계, 상기 제2 셀 트랜지스터들의 프로그램을 허용하는 단계, 그리고 상기 음전압을 공급하는 단계는 반복적으로 수행되는 동작 방법.

청구항 4

제2 항에 있어서,

상기 제1 셀 트랜지스터들의 프로그램을 금지하는 단계, 상기 제2 셀 트랜지스터들의 프로그램을 허용하는 단계, 그리고 상기 음전압을 공급하는 단계는 미리 정해진 횟수 만큼 반복되는 동작 방법.

청구항 5

제2 항에 있어서,

상기 제1 셀 트랜지스터들의 드레인들 및 소스들에 저전압을 공급함으로써 상기 제1 셀 트랜지스터들의 프로그램이 금지되는 동작 방법.

청구항 6

제2 항에 있어서,

상기 제2 셀 트랜지스터들의 드레인들이 플로팅되고 그리고 고전압으로 부스팅되고, 상기 제2 셀 트랜지스터들의 소스들에 저잔압을 공급함으로써 상기 제2 셀 트랜지스터들의 프로그램이 허용되는 동작 방법.

청구항 7

복수의 셀 트랜지스터들을 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

제1 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 상승시키는 단계; 그리고

제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들 중에서 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키는 단계를 포함하고,

제2 검증 전압을 이용하여 상기 복수의 셀 트랜지스터들에 대해 검증 동작을 수행하는 단계를 더 포함하고,

상기 복수의 셀 트랜지스터들의 문턱 전압들이 상기 제2 검증 전압보다 높아질 때까지, 상기 제1 프로그램 동작, 상기 제2 프로그램 동작, 그리고 상기 검증 동작은 반복적으로 수행되는 동작 방법.

청구항 8

복수의 셀 트랜지스터들을 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

제1 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 제1 검증 전압보다 높은 레벨로 상승시키는 단계; 그리고

제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 제2 검증 전압보다 낮은 레벨로 감소시키는 단계를 포함하고,

상기 제1 프로그램 동작 시에, 상기 복수의 셀 트랜지스터들의 문턱 전압들이 상승하고,

상기 제2 프로그램 시에, 상기 복수의 셀 트랜지스터들 중에서 상기 제2 검증 전압보다 높은 문턱 전압을 갖는 셀 트랜지스터들의 문턱 전압들이 감소하는 동작 방법.

청구항 9

제8 항에 있어서,

상기 제1 검증 전압을 이용하여 제1 검증 동작을 수행하여, 상기 복수의 셀 트랜지스터들의 문턱 전압들이 상기 제1 검증 전압보다 높아졌는지 검출하는 단계; 그리고

상기 제2 검증 전압을 이용하여 제2 검증 동작을 수행하여, 상기 복수의 셀 트랜지스터들 중에서 상기 제2 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들을 검출하는 단계를 더 포함하는 동작 방법.

청구항 10

복수의 셀 트랜지스터들을 포함하는 메모리 셀 어레이; 그리고

제1 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 상승시키고, 검증 전압을 이용하여 검증 동작을 수행하고, 그리고 제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들 중 상기 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키도록 구성되는 주변 회로를 포함하고,

상기 복수의 셀 트랜지스터들 중에서 상기 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들이 존재하지 않으면, 상기 제2 프로그램 동작은 생략되는 불휘발성 메모리 장치.

청구항 11

복수의 셀 스트링들을 포함하고, 각 스트링은 상기 셀 스트링들이 배치된 기판 위에서 상기 기판과 수직한 방향으로 적층된 접지 선택 트랜지스터, 메모리 셀 트랜지스터들 및 스트링 선택 트랜지스터를 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

상기 셀 스트링들의 메모리 셀들 중 제1 메모리 셀 트랜지스터에 대해 제1 프로그램 동작을 수행하는 단계;

상기 제1 프로그램 동작 후에 상기 제1 메모리 셀 트랜지스터는 제1 문턱 전압을 갖고;

검증 전압을 이용하여 상기 제1 메모리 셀 트랜지스터에 대해 검증 동작을 수행하는 단계;

상기 검증 전압은 상기 제1 프로그램 동작 후의 상기 제1 메모리 셀 트랜지스터의 목표 문턱 전압의 상한이고;

상기 제1 문턱 전압이 상기 검증 전압보다 높은지 판단하는 단계; 그리고

상기 제1 문턱 전압이 상기 검증 전압보다 높음을 판단함에 따라, 상기 제1 메모리 셀 트랜지스터에 대해 제2 프로그램 동작을 수행하여 상기 제1 메모리 셀 트랜지스터의 문턱 전압을 상기 제1 문턱 전압으로부터 감소시키는 단계를 포함하고,

상기 제1 메모리 셀 트랜지스터는 상기 제2 프로그램 동작 후에 제2 문턱 전압을 갖고, 그리고

상기 제2 문턱 전압은 상기 제1 문턱 전압보다 낮은 동작 방법.

청구항 12

제11 항에 있어서,

상기 제1 프로그램 동작은 상기 제1 메모리 셀 트랜지스터의 상기 문턱 전압을 상기 제1 문턱 전압으로 증가시키기 위한 것이고,

상기 제1 프로그램 동작은 상기 제1 메모리 셀 트랜지스터의 게이트에 양전압인 제1 프로그램 동작 전압을 인가하는 것과 상기 제1 메모리 셀 트랜지스터의 채널에 저전압을 공급하는 것을 포함하는 동작 방법.

청구항 13

제12 항에 있어서,

상기 저전압은 상기 제1 메모리 셀 트랜지스터에 연결된 비트 라인을 통해 상기 제1 메모리 셀 트랜지스터의 드레인에 제1 저전압을 공급함으로써, 그리고 상기 제1 메모리 셀 트랜지스터에 연결된 공통 소스 라인을 통해 상기 제1 메모리 셀 트랜지스터의 소스에 제2 저전압을 공급함으로써 제공되는 동작 방법.

청구항 14

제13 항에 있어서,

상기 제1 저전압 및 상기 제2 저전압은 각각 접지 전압인 동작 방법.

청구항 15

제11 항에 있어서,

상기 제2 프로그램 동작은 상기 제1 메모리 셀 트랜지스터의 게이트에 음전압인 제2 프로그램 동작 전압을 인가하는 것을 포함하는 동작 방법.

청구항 16

제15 항에 있어서,

상기 제2 프로그램 동작은 상기 제1 메모리 셀 트랜지스터에 연결된 공통 소스 라인을 통해 상기 제1 메모리 셀 트랜지스터의 소스에 제3 저전압을 공급하는 것을 더 포함하는 동작 방법.

청구항 17

제16 항에 있어서,

선택된 비트 라인에 제1 고전압을 인가하고 그리고 대응하는 스트링 선택 트랜지스터의 게이트에 제2 고전압을 인가함으로써, 상기 제1 메모리 셀 트랜지스터의 드레인은 전기적으로 플로팅 되는 동작 방법.

청구항 18

제17 항에 있어서,

상기 제2 프로그램 동작은 상기 제1 메모리 셀 트랜지스터를 제외한 선택된 셀 스트링의 트랜지스터들의 게이트에 패스 전압을 인가하는 것을 더 포함하는 동작 방법.

청구항 19

복수의 셀 스트링들을 포함하고, 각 스트링은 상기 셀 스트링들이 배치된 기판 위에서 상기 기판과 수직한 방향으로 적층된 접지 선택 트랜지스터, 메모리 셀 트랜지스터들 및 스트링 선택 트랜지스터를 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

제1 접지 선택 트랜지스터에 대해 제1 프로그램 동작을 수행하는 단계;

상기 제1 접지 선택 트랜지스터는 상기 제1 프로그램 동작 후에 제1 문턱 전압을 갖고;

검증 전압을 이용하여 상기 제1 접지 선택 트랜지스터에 대해 검증 동작을 수행하는 단계;

상기 검증 전압은 상기 제1 프로그램 동작 후의 상기 제1 접지 선택 트랜지스터의 목표 문턱 전압의 상한이고;

상기 제1 문턱 전압이 상기 검증 전압보다 높은지 판단하는 단계; 그리고

상기 제1 문턱 전압이 상기 검증 전압보다 높음을 판단함에 따라, 상기 제1 접지 선택 셀 트랜지스터에 대해 제2 프로그램 동작을 수행하여 상기 제1 접지 선택 트랜지스터의 문턱 전압을 상기 제1 문턱 전압으로부터 감소시키는 단계를 포함하고,

상기 제1 접지 선택 트랜지스터는 상기 제2 프로그램 동작 후에 제2 문턱 전압을 갖고, 그리고

상기 제2 문턱 전압은 상기 제1 문턱 전압보다 낮은 동작 방법.

청구항 20

복수의 셀 스트링들을 포함하고, 각 스트링은 상기 셀 스트링들이 배치된 기판 위에서 상기 기판과 수직한 방향으로 적층된 제1 접지 선택 트랜지스터, 제2 접지 선택 트랜지스터, 메모리 셀 트랜지스터들 및 스트링 선택 트랜지스터들을 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

양전압인 제1 프로그램 동작 전압을 상기 제1 접지 선택 트랜지스터의 게이트에 인가하고, 그리고 상기 제1 접지 선택 트랜지스터의 채널에 저전압을 공급하는 단계;

검증 전압을 이용하여 상기 제1 접지 선택 트랜지스터에 대해 검증 동작을 수행하는 단계;

상기 제1 접지 선택 트랜지스터의 문턱 전압이 상기 검증 전압보다 높은지 판단하는 단계; 그리고

상기 제1 접지 선택 트랜지스터의 문턱 전압이 상기 검증 전압보다 높음에 따라, 음전압인 제2 프로그램 동작 전압을 상기 제1 접지 선택 트랜지스터의 게이트에 인가하고, 상기 제1 접지 선택 트랜지스터의 드레인을 전기적으로 플로팅하고, 그리고 상기 제1 접지 선택 트랜지스터에 연결된 공통 소스 라인을 통해 상기 제1 접지 선택 트랜지스터의 소스에 제3 저전압을 인가하는 단계를 포함하고,

상기 검증 전압은 상기 제1 프로그램 동작 전압이 상기 제1 접지 선택 트랜지스터의 게이트에 인가되고 그리고 상기 저전압이 상기 제1 접지 선택 트랜지스터에 공급된 후에 상기 제1 접지 선택 트랜지스터의 목표 문턱 전압의 상한인 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 메모리에 관한 것으로, 더 상세하게는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 동작 방법에 관한 것이다.

배 경 기 술

[0002] 스토리지 장치는 컴퓨터, 스마트폰, 스마트패드 등과 같은 호스트 장치의 제어에 따라 데이터를 저장하는 장치이다. 스토리지 장치는 하드 디스크 드라이브(HDD, Hard Disk Drive)와 같이 자기 디스크에 데이터를 저장하는

장치, 솔리드 스테이트 드라이브(SSD, Solid State Drive), 메모리 카드 등과 같이 반도체 메모리, 특히 불휘발성 메모리에 데이터를 저장하는 장치를 포함한다.

[0003] 불휘발성 메모리는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등을 포함한다.

[0004] 반도체 제조 기술이 발전되면서, 스토리지 장치의 고집적화 및 그에 따른 대용량화가 지속적으로 진행되고 있다. 스토리지 장치의 고집적화는 스토리지 장치의 생산 비용을 감소시킨다는 장점을 갖는다. 그러나, 스토리지 장치의 고집적화로 인해 스토리지 장치의 스케일이 감소하고 구조가 변화하면서, 기존에 발견되지 않은 다양한 문제들이 발견되고 있다. 새롭게 발견되고 있는 다양한 문제들은 스토리지 장치에 저장된 데이터를 손상시킬 수 있으며, 따라서, 스토리지 장치의 신뢰성이 저해될 수 있다. 스토리지 장치의 신뢰성을 향상시킬 수 있는 방법 및 장치에 대한 요구가 지속적으로 제기되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 향상된 신뢰성을 갖는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 동작 방법을 제공하는 데에 있다.

과제의 해결 수단

[0006] 복수의 셀 트랜지스터들을 포함하는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 동작 방법은, 제1 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 상승시키는 단계; 그리고 제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들 중에서 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키는 단계를 포함한다.

[0007] 복수의 셀 트랜지스터들을 포함하는 본 발명의 다른 실시 예에 따른 불휘발성 메모리 장치의 동작 방법은, 제1 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 제1 검증 전압보다 높은 레벨로 상승시키는 단계; 그리고 제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 제2 검증 전압보다 낮은 레벨로 감소시키는 단계를 포함한다.

[0008] 본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 복수의 셀 트랜지스터들을 포함하는 메모리 셀 어레이; 그리고 제1 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들의 문턱 전압들을 상승시키고, 그리고 제2 프로그램 동작을 수행하여 상기 복수의 셀 트랜지스터들 중 검증 전압보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키도록 구성되는 주변 회로를 포함한다.

발명의 효과

[0009] 본 발명의 실시 예들에 따르면, 셀 트랜지스터들, 특히 접지 선택 트랜지스터들의 문턱 전압들이 목표 범위 내로 프로그램된다. 따라서, 향상된 신성을 갖는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 동작 방법이 제공된다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시 예에 따른 불휘발성 메모리를 보여주는 블록도이다.

도 2는 본 발명의 실시 예에 따른 메모리 블록을 보여주는 회로도이다.

도 3은 본 발명의 실시 예에 따른 불휘발성 메모리의 동작 방법을 보여주는 순서도이다.

도 4는 도 3의 동작 방법에 따른 셀 트랜지스터들의 문턱 전압들의 변화를 보여준다.

도 5는 제1 프로그램 동작의 예를 보여주는 순서도이다.

도 6은 제1 프로그램 동작 시에 메모리 블록에 공급되는 전압들의 제1 예를 보여주는 테이블이다.

도 7은 제1 프로그램 동작 시에 메모리 블록에 공급되는 전압들의 제2 예를 보여주는 테이블이다.

도 8은 제2 프로그램 동작의 제1 예를 보여주는 순서도이다.

도 9는 제2 프로그램 동작 시에 메모리 블록에 공급되는 전압들의 제1 예를 보여주는 테이블이다.

도 10은 제2 프로그램 동작 시에 선택된 셀 스트링에 인가되는 전압들의 예를 보여준다.

도 11 내지 도 13은 제2 프로그램 동작 시에 비선택된 셀 스트링들에 인가되는 전압들의 예를 보여준다.

도 14는 제2 프로그램 동작 시에 메모리 블록에 공급되는 전압들의 제2 예를 보여주는 테이블이다.

도 15는 제2 프로그램 동작 시에 선택된 셀 스트링에 인가되는 전압들의 예를 보여준다.

도 16은 제2 프로그램 동작의 제2 예를 보여주는 순서도이다.

도 17은 제2 프로그램 동작 시에 패스 전압의 레벨이 조절되는 예를 보여주는 타이밍도이다.

도 18은 본 발명의 다른 실시 예에 따른 불휘발성 메모리의 동작 방법을 보여주는 순서도이다.

도 19는 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리의 동작 방법을 보여주는 순서도이다.

도 20은 도 19의 동작 방법에 따른 셀 트랜지스터들의 문턱 전압들의 변화를 보여준다.

도 21은 본 발명의 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.

도 22는 본 발명의 실시 예에 따른 메모리 컨트롤러를 보여주는 블록도이다.

도 23은 본 발명의 실시 예에 따른 컴퓨팅 장치를 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.

[0012] 도 1은 본 발명의 실시 예에 따른 불휘발성 메모리(110)를 보여주는 블록도이다. 도 1을 참조하면, 불휘발성 메모리(110)는 메모리 셀 어레이(111), 어드레스 디코더 회로(113), 페이지 버퍼 회로(115), 데이터 입출력 회로(117), 그리고 제어 로직 회로(119)를 포함한다.

[0013] 메모리 셀 어레이(111)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록은 복수의 메모리 셀들을 포함한다. 각 메모리 블록은 적어도 하나의 접지 선택 라인(GSL), 복수의 워드 라인들(WL), 그리고 적어도 하나의 스트링 선택 라인(SSL)을 통해 어드레스 디코더 회로(113)에 연결될 수 있다. 각 메모리 블록은 복수의 비트 라인들(BL)을 통해 페이지 버퍼 회로(115)에 연결될 수 있다. 복수의 메모리 블록들(BLK1~BLKz)은 복수의 비트 라인들(BL)에 공통으로 연결될 수 있다. 복수의 메모리 블록들(BLK1~BLKz)의 메모리 셀들은 동일한 구조들을 가질 수 있다. 예시적으로, 복수의 메모리 블록들(BLK1~BLKz) 각각은 소거 동작의 단위일 수 있다. 메모리 셀 어레이(111)의 메모리 셀들은 하나의 메모리 블록의 단위로 소거될 수 있다. 하나의 메모리 블록에 속한 메모리 셀들은 동시에 소거될 수 있다. 다른 예로서, 각 메모리 블록은 복수의 서브 블록들로 분할될 수 있다. 복수의 서브 블록들 각각은 소거 동작의 단위일 수 있다.

[0014] 어드레스 디코더 회로(113)는 복수의 접지 선택 라인들(GSL), 복수의 워드 라인들(WL), 그리고 복수의 스트링 선택 라인들(SSL)을 통해 메모리 셀 어레이(111)에 연결된다. 어드레스 디코더 회로(113)는 제어 로직 회로(119)의 제어에 따라 동작한다. 어드레스 디코더 회로(113)는 메모리 컨트롤러(도 21에서 후술됨)로부터 제1 어드레스(ADDR1)를 수신할 수 있다. 어드레스 디코더 회로(113)는 수신된 제1 어드레스(ADDR1)를 디코딩하고, 디코딩된 어드레스에 따라 워드 라인들(WL)에 인가되는 전압들을 제어할 수 있다.

[0015] 예를 들어, 프로그램 시에, 어드레스 디코더 회로(113)는, 제1 어드레스(ADDR1)가 가리키는 선택된 메모리 블록의 선택된 워드 라인에 프로그램 전압(VGPM)을 인가하고, 선택된 메모리 블록의 비선택된 워드 라인들에 패스 전압(VPASS)을 인가할 수 있다. 읽기 시에, 어드레스 디코더 회로(131)는 제1 어드레스(ADDR1)가 가리키는 선택된 메모리 블록의 선택된 워드 라인에 선택 읽기 전압(VRD)을 인가하고, 선택된 메모리 블록의 비선택된 워드 라인들에 비선택 읽기 전압(VREAD)을 인가할 수 있다. 소거 시에, 어드레스 디코더 회로(113)는 제1 어드레스(ADDR1)가 가리키는 선택된 메모리 블록의 워드 라인들에 소거 전압들(예를 들어, 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압들)을 인가할 수 있다.

[0016] 페이지 버퍼 회로(115)는 복수의 비트 라인들(BL)을 통해 메모리 셀 어레이(111)에 연결된다. 페이지 버퍼 회로

(115)는 복수의 데이터 라인들(DL)을 통해 데이터 입출력 회로(117)와 연결된다. 페이지 버퍼 회로(115)는 제어 로직 회로(119)의 제어에 따라 동작한다.

[0017] 페이지 버퍼 회로(115)는 메모리 셀 어레이(111)의 메모리 셀들에 프로그램될 데이터 또는 메모리 셀들로부터 읽히는 데이터를 저장할 수 있다. 프로그램 시에, 페이지 버퍼 회로(115)는 메모리 셀들에 프로그램될 데이터를 저장할 수 있다. 저장된 데이터에 기반하여, 페이지 버퍼 회로(115)는 복수의 비트 라인들(BL)을 바이어스할 수 있다. 프로그램 시에, 페이지 버퍼 회로(115)는 쓰기 드라이버로 기능할 수 있다. 읽기 시에, 페이지 버퍼 회로(115)는 비트 라인들(BL)의 전압들을 센싱하고, 센싱 결과를 저장할 수 있다. 읽기 시에, 페이지 버퍼 회로(115)는 감지 증폭기로 기능할 수 있다.

[0018] 데이터 입출력 회로(117)는 복수의 데이터 라인들(DL)을 통해 페이지 버퍼 회로(115)와 연결된다. 데이터 입출력 회로(117)는 메모리 컨트롤러와 제1 데이터(DATA1)를 교환할 수 있다.

[0019] 데이터 입출력 회로(117)는 메모리 컨트롤러로부터 수신되는 제1 데이터(DATA1)를 임시로 저장할 수 있다. 데이터 입출력 회로(117)는 저장된 데이터를 페이지 버퍼 회로(115)로 전달할 수 있다. 데이터 입출력 회로(117)는 페이지 버퍼 회로(115)로부터 전달되는 데이터(DATA)를 임시로 저장할 수 있다. 데이터 입출력 회로(117)는 저장된 데이터(DATA)를 메모리 컨트롤러로 전송할 수 있다. 데이터 입출력 회로(117)는 버퍼 메모리로 기능할 수 있다.

[0020] 제어 로직 회로(119)는 메모리 컨트롤러로부터 제1 커맨드(CMD1) 및 제어 신호(CTRL)를 수신한다. 제어 로직 회로(119)는 수신된 제1 커맨드(CMD1)를 디코딩하고, 디코딩된 커맨드에 따라 불휘발성 메모리(110)의 제반 동작을 제어할 수 있다.

[0021] 예시적으로, 읽기 시에, 제어 로직 회로(119)는 수신된 제어 신호(CTRL) 중 읽기 인에이블 신호(/RE)로부터 데이터 스트로브 신호(DQS)를 생성하여 출력할 수 있다. 쓰기 시에, 제어 로직 회로(119)는 수신된 제어 신호(CTRL) 중 데이터 스트로브 신호(DQS)로부터 데이터 스트로브 신호(DQS)를 생성하여 출력할 수 있다.

[0022] 제어 로직 회로(119)는 프로그램 제어 회로(PC)를 포함한다. 프로그램 제어 회로(119)는 어드레스 디코더 회로(113) 및 페이지 버퍼 회로(115)를 제어하여, 불휘발성 메모리(110)의 프로그램 동작을 제어할 수 있다. 예를 들어, 프로그램 제어 회로(PC)는 본 발명의 실시 예에 따른 프로그램 방법에 따라 프로그램이 수행되도록, 어드레스 디코더 회로(113) 및 페이지 버퍼 회로(115)를 제어할 수 있다.

[0023] 도 2는 본 발명의 실시 예에 따른 메모리 블록(BLKa)을 보여주는 회로도이다. 도 2를 참조하면, 메모리 블록(BLKa)은 복수의 셀 스트링들(CS11~CS21, CS12~CS22)을 포함한다. 복수의 셀 스트링들(CS11~CS21, CS12~CS22)은 행 방향(row direction) 및 열 방향(column direction)을 따라 배열되어, 행들 및 열들을 형성할 수 있다.

[0024] 예를 들어, 행 방향(row direction)을 따라 배열된 셀 스트링들(CS11, CS12)은 제1 행을 형성하고, 행 방향(row direction)을 따라 배열된 셀 스트링들(CS21, CS22)은 제2 행을 형성할 수 있다. 열 방향(column direction)을 따라 배열된 셀 스트링들(CS11, CS21)은 제1 열을 형성하고, 열 방향(column direction)을 따라 배열된 셀 스트링들(CS12, CS22)은 제2 열을 형성할 수 있다.

[0025] 각 셀 스트링은 복수의 셀 트랜지스터들을 포함할 수 있다. 복수의 셀 트랜지스터들은 접지 선택 트랜지스터들(GSTa, GSTb), 메모리 셀들(MC1~MC6), 그리고 스트링 선택 트랜지스터들(SSTa, SSTb)을 포함한다. 각 셀 스트링의 접지 선택 트랜지스터들(GSTa, GSTb), 메모리 셀들(MC1~MC6), 그리고 스트링 선택 트랜지스터들(SSTa, GSTb)은 셀 스트링들(CS11~CS21, CS12~CS22)이 행들 및 열들을 따라 배열되는 평면(예를 들어, 메모리 블록(BLKa)의 기판 상의 평면)과 수직한 높이 방향으로 적층될 수 있다.

[0026] 복수의 셀 트랜지스터들은 절연막에 포획된 전하량에 따라 가변하는 문턱 전압들을 갖는 전하 포획형(charge trap type) 트랜지스터들일 수 있다.

[0027] 최하단의 접지 선택 트랜지스터들(GSTa)의 소스들은 공통 소스 라인(CSL)에 공통으로 연결될 수 있다.

[0028] 복수의 셀 스트링들(CS11~CS21, CS12~CS22)의 접지 선택 트랜지스터들(GSTa, GSTb)의 제어 게이트들은 접지 선택 라인들(GSLa, GSLb)에 각각 연결될 수 있다. 예시적으로, 동일한 높이(또는 순서)의 접지 선택 트랜지스터들은 동일한 접지 선택 라인에 연결되고, 서로 다른 높이(또는 순서)를 갖는 접지 선택 트랜지스터들은 서로 다른 접지 선택 라인들에 연결될 수 있다. 예를 들어, 제1 높이의 접지 선택 트랜지스터들(GSTa)은 접지 선택 라인(GSLa)에 공통으로 연결되고, 제2 높이의 접지 선택 트랜지스터들(GSTb)은 접지 선택 라인(GSLb)에 공통으로 연

결될 수 있다.

[0029] 예시적으로, 동일한 행의 접지 선택 트랜지스터들은 동일한 접지 선택 라인에 연결되고, 서로 다른 행의 접지 선택 트랜지스터들은 서로 다른 접지 선택 라인들에 연결될 수 있다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 접지 선택 트랜지스터들(GSTa, GSTb)은 제1 접지 선택 라인에 연결되고, 제2 행의 셀 스트링들(CS21, CS22)의 접지 선택 트랜지스터들(GSTa, GSTb)은 제2 접지 선택 라인에 연결될 수 있다.

[0030] 기판(또는 접지 선택 트랜지스터들(GST))으로부터 동일한 높이(또는 순서)에 위치한 메모리 셀들의 제어 게이트들은 하나의 워드 라인에 공통으로 연결되고, 서로 다른 높이(또는 순서)에 위치한 메모리 셀들의 제어 게이트들은 서로 다른 워드 라인들(WL1~WL6)에 각각 연결될 수 있다. 예를 들어, 메모리 셀들(MC1)은 워드 라인(WL1)에 공통으로 연결된다. 메모리 셀들(MC2)은 워드 라인(WL2)에 공통으로 연결된다. 메모리 셀들(MC3)은 워드 라인(WL3)에 공통으로 연결된다. 메모리 셀들(MC4)은 워드 라인(WL4)에 공통으로 연결된다. 메모리 셀들(MC5)은 워드 라인(WL5)에 공통으로 연결된다. 메모리 셀들(MC6)은 워드 라인(WL6)에 공통으로 연결된다.

[0031] 복수의 셀 스트링들(CS11~CS21, CS12~CS22)의 동일한 높이(또는 순서)의 제1 스트링 선택 트랜지스터들(SSTa)에서, 서로 다른 행의 제1 스트링 선택 트랜지스터들(SSTa)의 제어 게이트들은 서로 다른 스트링 선택 라인들(SSL1a~SSL2a)에 각각 연결된다. 예를 들어, 셀 스트링들(CS11, CS12)의 제1 스트링 선택 트랜지스터들(SSTa)은 스트링 선택 라인(SSL1a)에 공통으로 연결된다. 셀 스트링들(CS21, CS22)의 제1 스트링 선택 트랜지스터들(SSTa)은 스트링 선택 라인(SSL2a)에 공통으로 연결된다.

[0032] 복수의 셀 스트링들(CS11~CS21, CS12~CS22)의 동일한 높이(또는 순서)의 제2 스트링 선택 트랜지스터들(SSTb)에서, 서로 다른 행의 제2 스트링 선택 트랜지스터들(SSTb)의 제어 게이트들은 서로 다른 스트링 선택 라인들(SSL1b~SSL2b)에 각각 연결된다. 예를 들어, 셀 스트링들(CS11, CS12)의 제2 스트링 선택 트랜지스터들(SSTb)은 스트링 선택 라인(SSL1b)에 공통으로 연결된다. 셀 스트링들(CS21, CS22)의 제2 스트링 선택 트랜지스터들(SSTb)은 스트링 선택 라인(SSL2b)에 공통으로 연결된다.

[0033] 즉, 서로 다른 행의 셀 스트링들은 서로 다른 스트링 선택 라인들에 연결된다. 동일한 행의 셀 스트링들의 동일한 높이(또는 순서)의 스트링 선택 트랜지스터들은 동일한 스트링 선택 라인에 연결된다. 동일한 행의 셀 스트링들의 서로 다른 높이(또는 순서)의 스트링 선택 트랜지스터들은 서로 다른 스트링 선택 라인들에 연결된다.

[0034] 예시적으로, 동일한 행의 셀 스트링들의 스트링 선택 트랜지스터들은 하나의 스트링 선택 라인에 공통으로 연결될 수 있다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 스트링 선택 트랜지스터들(SSTa, SSTb)은 하나의 스트링 선택 라인에 공통으로 연결될 수 있다. 제2 행의 샐 스트링들(CS21, CS22)의 스트링 선택 트랜지스터들(SSTa, SSTb)은 하나의 스트링 선택 라인에 공통으로 연결될 수 있다.

[0035] 복수의 셀 스트링들(CS11~CS21, CS12~CS22)의 열들은 서로 다른 비트 라인들(BL1, BL2)에 각각 연결된다. 예를 들어, 제1 열의 셀 스트링들(CS11~CS21)의 스트링 선택 트랜지스터들(SSTb)은 비트 라인(BL1)에 공통으로 연결된다. 제2 열의 셀 스트링들(CS12~CS22)의 스트링 선택 트랜지스터들(SST)은 비트 라인(BL2)에 공통으로 연결된다.

[0036] 셀 스트링들(CS11, CS12)은 제1 플레인을 형성할 수 있다. 셀 스트링들(CS21, CS22)은 제2 플레인을 형성할 수 있다.

[0037] 메모리 블록(BLKa)에서, 각 플레인의 각 높이의 메모리 셀들은 물리 페이지를 형성할 수 있다. 물리 페이지는 메모리 셀들(MC1~MC6)의 쓰기 및 읽기의 단위일 수 있다. 예를 들어, 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 의해 메모리 블록(BLKa)의 하나의 플레인이 선택될 수 있다. 스트링 선택 라인들(SSL1a, SSL1b)이 턴-온 전압이 공급되고 스트링 선택 라인들(SSL2a, SSL2b)에 턴-오프 전압이 공급될 때, 제1 플레인의 셀 스트링들(CS11, CS12)이 비트 라인들(BL1, BL2)에 연결된다. 즉, 제1 플레인이 선택된다. 스트링 선택 라인들(SSL2a, SSL2b)에 턴-온 전압이 공급되고 스트링 선택 라인들(SSL1a, SSL1B)에 턴-오프 전압이 공급될 때, 제2 플레인의 셀 스트링들(CS21, CS22)이 비트 라인들(BL1, BL2)에 연결된다. 즉, 제2 플레인이 선택된다. 선택된 플레인에서, 워드 라인들(WL1~WL6)에 의해 메모리 셀들(MC)의 하나의 행이 선택될 수 있다. 선택된 행에서, 제2 워드 라인(WL2)에 선택 전압이 인가되고, 나머지 워드 라인들(WL1, WL3~WL6)에 비선택 전압이 인가될 수 있다. 즉, 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b) 및 워드 라인들(WL1~WL6)의 전압들을 조절함으로써, 제2 플레인의 제2 워드 라인(WL2)에 대응하는 물리 페이지가 선택될 수 있다. 선택된 물리 페이지의 메모리 셀들(MC2)에서, 쓰기 또는 읽기가 수행될 수 있다.

[0038] 메모리 블록(BLKa)에서, 메모리 셀들(MC1~MC6)의 소거는 메모리 블록 단위 또는 서브 블록의 단위로 수행될 수

있다. 메모리 블록 단위로 소거가 수행될 때, 메모리 블록(BLKa)의 모든 메모리 셀들(MC)이 하나의 소거 요청(예를 들어, 외부의 메모리 컨트롤러로부터의 소거 요청)에 따라 동시에 소거될 수 있다. 서브 블록의 단위로 수행될 때, 메모리 블록(BLKa)의 메모리 셀들(MC1~MC6) 중 일부는 하나의 소거 요청(예를 들어, 외부의 메모리 컨트롤러로부터의 소거 요청)에 따라 동시에 소거되고, 나머지 일부는 소거 금지될 수 있다. 소거되는 메모리 셀들(MC)에 연결된 워드 라인에 저전압(예를 들어, 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압)이 공급되고, 소거 금지된 메모리 셀들(MC)에 연결된 워드 라인은 플로팅될 수 있다.

[0039] 도 2에 도시된 메모리 블록(BLKa)은 예시적인 것이다. 본 발명의 기술적 사상은 도 2에 도시된 메모리 블록(BLKa)에 한정되지 않는다. 예를 들어, 셀 스트링들의 행들의 수는 증가 또는 감소될 수 있다. 셀 스트링들의 행들의 수가 변경됨에 따라, 셀 스트링들의 행들에 연결되는 스트링 선택 라인들 또는 접지 선택 라인의 수, 그리고 하나의 비트 라인에 연결되는 셀 스트링들의 수 또한 변경될 수 있다.

[0040] 셀 스트링들의 열들의 수는 증가 또는 감소될 수 있다. 셀 스트링들의 열들의 수가 변경됨에 따라, 셀 스트링들의 열들에 연결되는 비트 라인들의 수, 그리고 하나의 스트링 선택 라인에 연결되는 셀 스트링들의 수 또한 변경될 수 있다.

[0041] 셀 스트링들의 높이는 증가 또는 감소될 수 있다. 예를 들어, 셀 스트링들 각각에 적층되는 접지 선택 트랜지스터들, 메모리 셀들 또는 스트링 선택 트랜지스터들의 수는 증가 또는 감소될 수 있다.

[0042] 예시적으로, 하나의 물리 페이지에 속한 메모리 셀들(MC)은 적어도 세 개의 논리 페이지들에 대응할 수 있다. 예를 들어, 하나의 메모리 셀(MC)에 k 개(k는 2보다 큰 양의 정수)의 비트들이 프로그램될 수 있다. 하나의 물리 페이지에 속한 메모리 셀들(MC)에서, 각 메모리 셀(MC)에 프로그램되는 k 개의 비트들은 각각 k 개의 논리 페이지들을 형성할 수 있다.

[0043] 도 3은 본 발명의 실시 예에 따른 불휘발성 메모리(110)의 동작 방법을 보여주는 순서도이다. 도 1 내지 도 3을 참조하면, S110 단계에서, 제1 프로그램 동작이 수행되어 셀 트랜지스터들의 문턱 전압들이 증가된다. 예를 들어, 프로그램 대상으로 선택된 셀 트랜지스터들 전체의 문턱 전압들이 증가될 수 있다. 프로그램 제어 회로(PC)는 셀 트랜지스터들의 문턱 전압들이 증가하도록, 메모리 셀 어레이(110)에 인가되는 전압들을 제어할 수 있다.

[0044] S120 단계에서, 제2 프로그램 동작이 수행되어, 셀 트랜지스터들 중에서 검증 전압(VFYu) 보다 높은 문턱 전압을 갖는 셀 트랜지스터들의 문턱 전압들이 감소될 수 있다. 예를 들어, 제1 프로그램 동작이 수행된 셀 트랜지스터들 중에서, 검증 전압(VFYu) 보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들이 제2 프로그램 동작을 통해 감소될 수 있다. 예를 들어, 검증 전압(VFYu)은 셀 트랜지스터들의 목표 문턱 전압 범위의 상한일 수 있다. 프로그램 제어 회로(PC)는 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들이 감소하도록, 메모리 셀 어레이(110)에 인가되는 전압들을 제어할 수 있다.

[0045] 도 4는 도 3의 동작 방법에 따른 셀 트랜지스터들의 문턱 전압들의 변화를 보여준다. 도 4에서, 가로 축은 셀 트랜지스터들의 문턱 전압들을 가리키고, 세로 축은 셀 트랜지스터들의 수를 가리킨다. 즉, 도 4는 셀 트랜지스터들의 문턱 전압 산포를 보여준다.

[0046] 도 1 내지 도 4를 참조하면, 셀 트랜지스터들의 초기 문턱 전압 산포는 제1 라인(L1)일 수 있다.

[0047] S110 단계의 제1 프로그램 동작이 수행되면, 셀 트랜지스터들의 문턱 전압들이 증가한다. 예를 들어, 셀 트랜지스터들의 문턱 전압 산포는 제1 라인(L1)으로부터 제2 라인(L2)으로 변화할 수 있다.

[0048] S120 단계의 제2 프로그램 동작이 수행되면, 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들이 감소한다. 예를 들어, 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들이 검증 전압(VFYu)보다 낮아질 수 있다. 즉, 셀 트랜지스터들의 문턱 전압 산포는 제2 라인(L2)으로부터 제3 라인(L3)으로 변화할 수 있다.

[0049] 상술된 바와 같이 제1 프로그램 동작과 제2 프로그램 동작이 수행되면, 셀 트랜지스터들의 문턱 전압 산포도가 감소하며, 특히 셀 트랜지스터들의 문턱 전압들이 검증 전압(VFYu)보다 낮은 레벨로 한정된다. 셀 트랜지스터들의 문턱 전압들이 목표 범위 내로 조절되므로, 셀 트랜지스터들을 포함하는 불휘발성 메모리(110)의 신뢰성이 향상된다.

[0050] 도 5는 제1 프로그램 동작의 예를 보여주는 순서도이다. 도 1, 도 2 및 도 5를 참조하면, S210 단계에서, 셀 트랜지스터들의 채널들에 저전압이 공급된다. 예를 들어, 프로그램 대상으로 선택된 셀 트랜지스터들의 채널들에

접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압이 공급될 수 있다.

[0051] S220 단계에서, 셀 트랜지스터들의 제어 게이트들에 고전압이 공급된다. 예를 들어, 프로그램 대상으로 선택된 셀 트랜지스터들의 제어 게이트들에, F-N (Fowler-Nordheim)을 유발할 수 있는 레벨을 갖는 고전압이 공급될 수 있다.

[0052] 셀 트랜지스터들의 채널들에 공급된 저전압과 제어 게이트들에 공급된 고전압의 전압 차이로 인해, 셀 트랜지스터들에 F-N 터널링이 발생한다. 따라서, 전자들이 셀 트랜지스터들에 포획되고, 셀 트랜지스터들의 문턱 전압들이 증가할 수 있다.

[0053] 예시적으로, 제1 프로그램 동작 시에, 셀 트랜지스터들은 워드 라인의 단위로 프로그램될 수 있다. 예를 들어, 제1 프로그램 동작 시에, 하나의 워드 라인에 연결된 물리 페이지들에 속한 메모리 셀들의 문턱 전압들이 상승할 수 있다.

[0054] 도 6은 제1 프로그램 동작 시에 메모리 블록(BLKa)에 공급되는 전압들의 제1 예를 보여주는 테이블이다. 예시적으로, 메모리 셀들(MC)이 프로그램 대상으로 선택된 때의 전압들의 예가 도 6에 도시되어 있다.

[0055] 도 2 및 도 6을 참조하면, 비트 라인들(BL1, BL2)에 제1 비트 라인 전압들(VBL1)이 인가된다. 제1 비트 라인 전압들(VBL1)은 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압들일 수 있다.

[0056] 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 제1 스트링 선택 라인 전압들(VSSL1)이 인가된다. 제1 스트링 선택 라인 전압들(VSSL1)은 스트링 선택 트랜지스터들(SST1a, SST1b, SST2a, SST2b)을 턴온 하는 전압일 수 있다. 제1 스트링 선택 라인 전압들(VSSL1)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 레벨을 갖는 고전압들일 수 있다.

[0057] 비선택된 워드 라인들에 제1 패스 전압들(VPASS1)이 인가된다. 제1 패스 전압들(VPASS1)은 비선택된 워드 라인들에 연결된 메모리 셀들을 턴온 하는 전압일 수 있다. 제1 패스 전압들(VPASS1)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 고전압들일 수 있다.

[0058] 선택된 워드 라인에 제1 프로그램 전압(VPGM1)이 인가된다. 제1 프로그램 전압(VPGM1)은 제1 패스 전압들(VPASS1)보다 높은 고전압일 수 있다.

[0059] 접지 선택 라인들(GSLa, GSLb)에 제1 접지 선택 라인 전압들(VGSL1)이 인가된다. 제1 접지 선택 라인 전압들(VGSL1)은 접지 선택 트랜지스터들(GSTa, GSTb)을 턴온 하는 전압일 수 있다. 제1 접지 선택 라인 전압들(VGSL1)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 고전압들일 수 있다.

[0060] 공통 소스 라인(CSL)에 제1 공통 소스 라인 전압(VCSL1)이 인가된다. 제1 공통 소스 라인 전압(VCSL1)은 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압일 수 있다.

[0061] 예시적으로, 제3 워드 라인(WL3)에 연결된 메모리 셀들(MC3)이 제1 프로그램 동작의 프로그램 대상으로 선택된 것으로 가정된다. 제1 워드 라인(WL1), 제2 워드 라인(WL2) 및 제4 내지 제6 워드 라인들(WL4~WL6)에 제1 패스 전압들(VPASS1)이 인가되므로, 제1 메모리 셀들(MC1), 제2 메모리 셀들(MC2) 및 제4 내지 제6 메모리 셀들(MC3~MC6)은 턴온 된다. 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 제1 스트링 선택 라인 전압들(VSSL1)이 인가되므로, 스트링 선택 트랜지스터들(SST1a, SST1b, SST2a, SST2b)은 턴온 된다. 접지 선택 라인들(GSLa, GSLb)에 제1 접지 선택 라인 전압들(VGSL1)이 인가되므로, 접지 선택 트랜지스터들(GSTa, GSTb)은 턴온 된다. 제3 워드 라인(WL3)에 제1 프로그램 전압(VPGM1)이 인가되므로, 제3 메모리 셀들(MC3)은 턴온 된다.

[0062] 즉, 비트 라인들(BL1, BL2)에 공급되는 제1 비트 라인 전압들(VBL1), 즉 저전압들은 스트링 선택 트랜지스터들(SST1a, SST1b, SST2a, SST2b) 및 제4 내지 제6 메모리 셀들(MC4~MC6)을 통해 제3 메모리 셀들(MC3)의 드레인들로 공급된다. 공통 소스 라인(CSL)에 공급되는 제1 공통 소스 라인 전압(VCSL1)은 접지 선택 트랜지스터들(GSTa, GSTb) 및 제1 및 제2 메모리 셀들(MC1, MC2)을 통해 제3 메모리 셀들(MC3)의 소스들에 공급된다.

[0063] 즉, 도 5를 참조하여 설명된 바와 같이, 제1 프로그램 동작의 대상으로 선택된 제3 메모리 셀들(MC3)의 채널들에 저전압들이 공급되고, 제어 게이트들에 고전압이 공급된다. 따라서, 제3 메모리 셀들(MC3)의 문턱 전압들이 상승한다.

[0064] 도 7은 제1 프로그램 동작 시에 메모리 블록(BLKa)에 공급되는 전압들의 제2 예를 보여주는 테이블이다. 예시적으로, 접지 선택 트랜지스터들(GSTa)이 프로그램 대상으로 선택된 때의 전압들의 예가 도 7에 도시되어 있다.

[0065] 도 2 및 도 7을 참조하면, 비트 라인들(BL1, BL2)에 제2 비트 라인 전압들(VBL2)이 인가된다. 제2 비트 라인 전압들(VBL2)은 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압들일 수 있다.

[0066] 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 제2 스트링 선택 라인 전압들(VSSL2)이 인가된다. 제2 스트링 선택 라인 전압들(VSSL2)은 스트링 선택 트랜지스터들(SST1a, SST1b, SST2a, SST2b)을 턴온 하는 전압일 수 있다. 제2 스트링 선택 라인 전압들(VSSL2)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 레벨을 갖는 고전압들일 수 있다.

[0067] 워드 라인들(WL1~WL6)에 제2 패스 전압들(VPASS2)이 인가된다. 제2 패스 전압들(VPASS2)은 워드 라인들(WL1~WL6)에 연결된 메모리 셀들을 턴온 하는 전압일 수 있다. 제2 패스 전압들(VPASS2)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 고전압들일 수 있다.

[0068] 비선택된 접지 선택 라인에 제2 접지 선택 라인 전압(VGSL2)이 인가된다. 제2 접지 선택 라인 전압(VGSL2)은 접지 선택 트랜지스터들(GST)을 턴온 하는 전압일 수 있다. 제2 접지 선택 라인 전압(VGSL2)은 전원 전압 또는 전원 전압과 유사라거나 그보다 높은 고전압일 수 있다.

[0069] 선택된 접지 선택 라인에 제2 프로그램 전압(VPGM2)이 인가된다. 제2 프로그램 전압(VPGM2)은 제2 패스 전압들(VPASS2)보다 높은 고전압일 수 있다.

[0070] 공통 소스 라인(CSL)에 제2 공통 소스 라인 전압(VCSL2)이 인가된다. 제2 공통 소스 라인 전압(VCSL2)은 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압일 수 있다.

[0071] 예시적으로, 접지 선택 라인(GSLa)에 연결된 접지 선택 트랜지스터들(GSTa)이 제1 프로그램 동작의 프로그램 대상으로 선택된 것으로 가정된다. 제1 내지 제6 워드 라인들(WL1~WL6)에 제2 패스 전압들(VPASS2)이 인가되므로, 제1 내지 제6 메모리 셀들(MC1~MC6)은 턴온 된다. 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 제2 스트링 선택 라인 전압들(VSSL2)이 인가되므로, 스트링 선택 트랜지스터들(SST1a, SST1b, SST2a, SST2b)은 턴온 된다. 접지 선택 라인(GSLb)에 제2 접지 선택 라인 전압(VGSL2)이 인가되므로, 접지 선택 트랜지스터들(GSTb)은 턴온 된다. 접지 선택 라인(GSLa)에 제2 프로그램 전압(VPGM2)이 인가되므로, 접지 선택 트랜지스터들(GSTa)은 턴온 된다.

[0072] 즉, 비트 라인들(BL1, BL2)에 공급되는 제2 비트 라인 전압들(VBL2), 즉 저전압들은 스트링 선택 트랜지스터들(SST1a, SST1b, SST2a, SST2b), 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터들(GSTb)을 통해 접지 선택 트랜지스터들(GSTa)의 드레인들로 공급된다. 공통 소스 라인(CSL)에 공급되는 제1 공통 소스 라인 전압(VCSL1)은 접지 선택 트랜지스터들(GSTa)의 소스들로 직접 공급된다.

[0073] 즉, 도 5를 참조하여 설명된 바와 같이, 제1 프로그램 동작의 대상으로 선택된 접지 선택 트랜지스터들(GSTa)의 채널들에 저전압들이 공급되고, 제어 게이트들에 고전압이 공급된다. 따라서, 접지 선택 트랜지스터들(GSTa)에서 F-N 터널링이 발생하고, 접지 선택 트랜지스터들(GSTa)의 문턱 전압들이 상승한다.

[0074] 접지 선택 트랜지스터들(GSTb)은 유사한 방법으로 프로그램된다. 예를 들어, 비트 라인들(BL1, BL2)에 공급되는 저전압들은 접지 선택 트랜지스터들(GSTb)의 드레인 측의 셀 트랜지스터들, 즉 스트링 선택 트랜지스터들(SST1a, SST1b, SST2a, SST2b) 및 메모리 셀들(MC1~MC6)을 통해 접지 선택 트랜지스터들(GSTb)의 드레인들로 전달된다. 공통 소스 라인(CSL)에 공급되는 저전압들은 접지 선택 트랜지스터(GSTb)의 소스 측의 셀 트랜지스터들, 즉 접지 선택 트랜지스터들(GSTa)을 통해 접지 선택 트랜지스터들(GSTb)의 소스들로 공급된다. 그리고, 접지 선택 트랜지스터들(GSTb)의 제어 게이트들에 고전압이 공급되면, 접지 선택 트랜지스터들(GSTb)의 문턱 전압들이 상승한다.

[0075] 도 8은 제2 프로그램 동작의 제1 예를 보여주는 순서도이다. 도 1 내지 도 3, 그리고 도 8을 참조하면, S310 단계에서, 검증 전압(VFYu)을 이용하여 검증 동작이 수행된다. 예를 들어, 제1 프로그램 동작이 수행된 셀 트랜지스터들에 대해 검증 동작이 수행될 수 있다. 검증 동작은 제1 프로그램 동작이 수행된 셀 트랜지스터들에서 물리 페이지의 단위로 수행될 수 있다. 검증 동작이 수행되면, 제1 프로그램 동작이 수행된 셀 트랜지스터들 중에서 검증 전압(VFYu)보다 낮은 문턱 전압들을 갖는 제1 셀 트랜지스터들 및 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 제2 셀 트랜지스터들이 판별될 수 있다.

[0076] S320 단계에서, 검증 동작의 결과가 패스인지 판별된다. 예를 들어, 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 제2 셀 트랜지스터들이 존재하지 않거나 또는 제2 셀 트랜지스터들의 수가 미리 정해진 임계값 이하인 경우, 검증 동작의 결과는 패스로 판별될 수 있다.

[0077] 검증 동작의 결과가 패스로 판별되면, 제2 프로그램 동작은 종료될 수 있다. 검증 동작의 결과가 패스로 판별되지 않으면, S330 단계가 수행된다.

[0078] S330 단계에서, 검증 전압(VFYu)보다 낮은 문턱 전압들을 갖는 제1 셀 트랜지스터들의 프로그램이 금지된다. S340 단계에서, 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 제2 셀 트랜지스터들의 프로그램이 허용된다. 예를 들어, 제1 셀 트랜지스터들에 공급되는 전압들 및 제2 셀 트랜지스터들에 공급되는 전압들을 서로 다르게 제어함으로써, 프로그램이 금지 또는 허용될 수 있다. 이후에, S350 단계에서, 제1 셀 트랜지스터들 및 제2 셀 트랜지스터들의 제어 게이트들에 음전압이 공급된다.

[0079] S310 단계 및 S320 단계는 검증 단계를 형성할 수 있다. S330 단계 내지 S350 단계는 프로그램 단계를 형성할 수 있다. 검증 단계 및 프로그램 단계는 S310 단계으 검증 동작의 결과가 패스로 판별될 때까지 반복적으로 수행될 수 있다. 즉, 셀 트랜지스터들의 문턱 전압들이 검증 전압(VFYu)과 같거나 그보다 낮아질 때까지, 검증 단계 및 프로그램 단계가 반복적으로 수행될 수 있다.

[0080] 예시적으로, 검증 단계 및 프로그램 단계가 반복적으로 수행되는 동안, 메모리 블록(BLKa)의 셀 스트링들(CS11, CS12, CS21, CS22)에 인가되는 전압들의 레벨들이 가변될 수 있다.

[0081] 도 9는 제2 프로그램 동작 시에 메모리 블록에 공급되는 전압들의 제1 예를 보여주는 테이블이다. 예시적으로, 메모리 셀들(MC)에서 제2 프로그램이 수행되는 때의 전압들의 예가 도 9에 도시되어 있다.

[0082] 도 2 및 도 9를 참조하면, 선택된 비트 라인에 제3 비트 라인 전압(VBL3)이 인가된다. 제3 비트 라인 전압(VBL3)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 레벨을 갖는 고전압일 수 있다. 비선택된 비트 라인에 제4 비트 라인 전압(VBL4)이 인가된다. 제4 비트 라인 전압(VBL4)은 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압일 수 있다.

[0083] 선택된 스트링 선택 라인들에 제3 스트링 선택 라인 전압들(VSSL3)이 인가된다. 제3 스트링 선택 라인 전압들(VSSL3)은 스트링 선택 트래지스터들을 턴온 하는 전압들일 수 있다. 제3 스트링 선택 라인 전압들(VSSL3)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 레벨을 갖는 고전압들일 수 있다. 제3 스트링 선택 라인 전압들(VSSL3)은 제3 비트 라인 전압(VBL3)과 실질적으로 동일한 레벨들을 가질 수 있다. 비선택된 스트링 선택 라인에 제4 스트링 선택 라인 전압들(VSSL4)이 인가된다. 제4 스트링 선택 라인 전압들(VSSL4)은 스트링 선택 트래지스터들을 턴온 하는 전압들일 수 있다. 제4 스트링 선택 라인 전압들(VSSL4)은 전원 전압 또는 제3 스트링 선택 라인 전압들(VSSL3)보다 높은 레벨들을 갖는 고전압들일 수 있다. 제4 스트링 선택 라인 전압들(VSSL4)은, 후술되는 바와 같이, 부스팅을 방지하는 고전압들일 수 있다.

[0084] 선택된 워드 라인에 제3 프로그램 전압(VPGM3)이 인가된다. 제3 프로그램 전압(VPGM3)은 음전압일 수 있다.

[0085] 비선택된 워드 라인들에 제3 패스 전압들(VPASS3)이 인가된다. 제3 패스 전압들(VPASS3)은 메모리 셀들을 턴온 하는 전압들일 수 있다. 제3 패스 전압들(VPASS3)은 전원 전압 또는 제3 스트링 선택 라인 전압들(VSSL3)보다 높은 고전압들일 수 있다.

[0086] 접지 선택 라인들(GSLa, GSLb)에 제3 접지 선택 라인 전압들(VGSL3)이 인가된다. 제3 접지 선택 라인 전압들(VGSL3)은 접지 선택 트랜지스터들(GSTa, GSTb)을 턴온 하는 전압일 수 있다. 제3 접지 선택 라인 전압들(VGSL3)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 레벨을 갖는 고전압들일 수 있다.

[0087] 공통 소스 라인(CSL)에 제3 공통 소스 라인 전압(VCSL3)이 인가된다. 제3 공통 소스 라인 전압(VCSL3)은 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압일 수 있다.

[0088] 예시적으로, 도 6을 참조하여 설명된 바와 같이, 제3 워드 라인(WL3)에 연결된 메모리 셀들(MC3)에서 제1 프로그램 동작이 수행된 것으로 가정된다. 또한, 제3 메모리 셀들(MC3) 중에서, 셀 스트링(CS11)에 속한 제3 메모리 셀(MC3)의 문턱 전압이 검증 전압(VFYu)보다 높고, 나머지 셀 스트링들(CS12, CS21, CS22)에 속한 제3 메모리 셀들(MC3)의 문턱 전압들이 검증 전압(VFYu)보다 낮은 것으로 가정된다. 즉, 셀 스트링(CS11)에 대응하는 스트링 선택 라인들(SSL1a, SSL1b) 및 비트 라인(BL1)이 선택되고, 셀 스트링(CS11)에 대응하지 않는 스트링 선택 라인들(SSL2a, SSL2b) 및 비트 라인(BL2)이 비선택되는 것으로 가정된다.

[0089] 도 10은 제2 프로그램 동작 시에 선택된 셀 스트링(CS11)에 인가되는 전압들의 예를 보여준다. 도 10에서, 우측에 셀 스트링(CS11)이 도시되고, 좌측에 셀 스트링(CS11)의 셀 트랜지스터들의 채널들의 전위 그래프가 도시된다. 전위 그래프에서, 가로 축은 채널들의 전압(Vch)을 가리키고, 세로 축은 셀 트랜지스터들의 위치를 가리킨

다.

[0090] 도 2, 도 9 및 도 10을 참조하면, 선택된 제3 워드 라인(WL3)에 음전압인 제3 프로그램 전압(VPGM3)이 인가된다. 따라서, 제3 메모리 셀(MC3)은 턴오프 된다. 예를 들어, 제3 메모리 셀(MC3)의 채널은 제1 타입(예를 들어, p-타입)을 갖는다. 제3 메모리 셀(MC3)의 제어 게이트와 채널 사이의 커플링으로 인해, 제3 메모리 셀(MC3)의 채널의 전압은 감소할 수 있다.

[0091] 선택된 스트링 선택 라인들(SSL1a, SSL1b)에 제3 스트링 선택 라인 전압들(VSSL3)이 인가된다. 제3 스트링 선택 라인 전압들(VSSL3)이 인가되는 초기 상태에서, 스트링 선택 트랜지스터들(SST1a, SST1b)은 턴온 될 수 있다.

[0092] 선택된 제1 비트 라인(BL1)에 제3 비트 라인 전압(VBL3)이 공급된다. 제3 비트 라인 전압(VBL3)은 턴온 된 스트링 선택 트랜지스터들(SST1a, SST1b)의 채널들을 통해 메모리 셀(MC6)의 드레인에 전달될 수 있다.

[0093] 제4 내지 제6 워드 라인들(WL4~WL6)에 제3 패스 전압들(VPASS3)이 인가되면, 제4 내지 제6 메모리 셀들(MC4~MC6)이 턴온 된다. 예를 들어, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들은 제2 타입(예를 들어, n-타입)을 갖는다. 제3 메모리 셀(MC3)이 턴오프 되어 있으므로, 선택된 비트 라인(BL1)으로부터 제6 메모리 셀(MC6)의 드레인에 전달된 전압은 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들로 전달된다.

[0094] 제4 내지 제6 메모리 셀들(MC4~MC6)이 턴온 된 후에 제4 내지 제6 메모리 셀들(MC4~MC6)의 제어 게이트들의 전압들이 제3 패스 전압들(VPASS3)의 목표 레벨들로 상승함에 따라, 제4 내지 제6 메모리 셀들(MC4~MC6)의 제어 게이트들과 채널들 사이에 커플링이 발생한다. 커플링으로 인해, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압들은 선택된 제1 비트 라인(VBL1)으로부터 제6 메모리 셀(MC6)의 드레인에 공급된 전압보다 높아질 수 있다. 이 때, 스트링 선택 트랜지스터들(SST1a, SST1b)이 턴오프 된다. 즉, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들은 턴오프 된 제3 메모리 셀(MC3)과 턴오프 된 스트링 선택 트랜지스터들(SST1a, SST1b) 사이에서 플로팅된다.

[0095] 예를 들어, 제3 스트링 선택 라인 전압들(VSSL3)과 제3 비트 라인 전압(VBL3)은 실질적으로 동일한 레벨들을 가질 수 있다. 이 때, 메모리 셀(MC6)의 드레인에 전달되는 전압은 제3 스트링 선택 라인 전압들(VSSL3) 또는 제3 비트 라인 전압(VBL3)으로부터 스트링 선택 트랜지스터들(SST1a, SST1b)의 문턱 전압들을 감한 레벨을 가질 수 있다. 이 상태에서, 커플링에 의해 제6 메모리 셀(MC6)의 드레인의 전압이 상승하면, 스트링 선택 트랜지스터들(SST1a, SST1b)의 턴온 조건이 만족되지 않으며, 따라서, 스트링 선택 트랜지스터들(SST1a, SST1b)은 턴오프 된다.

[0096] 스트링 선택 트랜지스터들(SST1a, SST1b)이 턴오프 된 후, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압들은 커플링의 영향으로 더 상승한다. 즉, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들이 플로팅되고, 플로팅된 채널들의 전압들이 부스팅된다. 예를 들어, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압은 부스트 전압(VBOOST)으로 상승할 수 있다. 즉, 선택된 제3 메모리 셀(MC3)의 드레인에 부스트 전압(VBOOST)이 공급된다.

[0097] 제1 및 제2 워드 라인들(WL1, WL2)에 제3 패스 전압들(VPASS3)이 공급되고, 접지 선택 라인들(GSLa, GSLb)에 제3 접지 선택 라인 전압들(VGSL3)이 인가됨에 따라, 접지 선택 트랜지스터들(GSTa, GSTb)과 제1 및 제2 메모리 셀들(MC1, MC2)이 턴온 된다. 따라서, 공통 소스 라인(CSL)에 공급되는 제3 공통 소스 라인 전압(VCSL3)이 접지 선택 트랜지스터들(GSTa, GSTb)과 제1 및 제2 메모리 셀들(MC1, MC2)을 통해, 선택된 제3 메모리 셀(MC3)의 소스에 전달된다.

[0098] 제3 메모리 셀(MC3)의 드레인에 공급되는 부스트 전압(VBOOST)과 소스에 공급되는 제3 공통 소스 라인 전압(VCSL3)의 전압 차이로 인해, 제3 메모리 셀(MC3)에서 핫 홀(Hot Hole)이 발생한다. 제3 메모리 셀(MC3)의 제어 게이트에 인가되는 음전압인 제3 프로그램 전압(VPGM3)으로 인해, 핫 홀은 제3 메모리 셀(MC3)에 주입된다. 즉, 제3 메모리 셀(MC3)의 문턱 전압이 감소한다.

[0099] 예시적으로, 도 8의 검증 단계 및 프로그램 단계가 반복적으로 수행되는 동안, 제3 프로그램 전압(VPGM3)의 레벨은 점진적으로 감소 또는 증가될 수 있다. 도 8의 검증 단계 및 프로그램 단계가 반복적으로 수행되는 동안, 제3 패스 전압들(VPASS3)의 레벨들이 점진적으로 증가 또는 감소되어, 부스트 전압(VBOOST)의 레벨이 점진적으로 증가 또는 감소될 수 있다.

[0100] 도 11 내지 도 13은 제2 프로그램 동작 시에 비선택된 셀 스트링들(CS12, CS21, CS22)에 인가되는 전압들의 예를 보여준다. 도 11 내지 도 13에서, 우측에 셀 스트링들(CS12, CS21, CS22)이 도시되고, 좌측에 셀 스트링들

(CS12, CS21, CS22)의 셀 트랜지스터들의 채널들의 전위 그래프들이 도시된다. 각 전위 그래프에서, 가로 축은 채널들의 전압(Vch)을 가리키고, 세로 축은 셀 트랜지스터들의 위치를 가리킨다.

[0101] 도 2, 도 9 및 도 11을 참조하면, 비선택된 셀 스트링(CS12)에서, 선택된 제3 워드 라인(WL3)에 음전압인 제3 프로그램 전압(VPGM3)이 인가된다. 따라서, 제3 메모리 셀(MC3)은 턴오프 된다.

[0102] 선택된 스트링 선택 라인들(SSL1a, SSL1b)에 제3 스트링 선택 라인 전압들(VSSL3)이 인가된다. 따라서, 스트링 선택 트랜지스터들(SST1a, SST1b)은 턴온 된다. 제4 내지 제6 워드 라인들(WL4~WL6)에 제3 패스 전압들(VPASS3)이 공급된다. 따라서, 제4 내지 제6 메모리 셀들(MC4~MC6)은 턴온 된다.

[0103] 비선택된 제2 비트 라인(BL2)에 제4 비트 라인 전압(VBL4)이 공급된다. 제4 비트 라인 전압(VBL4)은 스트링 선택 트랜지스터들(SSTa, SSTb)을 통해 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들로 공급된다. 제4 비트 라인 전압(VBL4)은 저전압이므로, 제4 내지 제6 메모리 셀들(MC4~MC6)의 제어 게이트들로부터의 커플링이 발생하여도, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압은 스트링 선택 트랜지스터들(SSTa, SSTb)을 턴오프 할 정도로 상승하지 않는다. 따라서, 도 10을 참조하여 설명된 부스팅이 발생하지 않으며, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압은 제4 비트 라인 전압(VBL4)이 된다.

[0104] 제1 및 제2 워드 라인들(WL1, WL2)에 제3 패스 전압들(VPASS3)이 공급되고, 접지 선택 라인들(GSLa, GSLb)에 제3 접지 선택 라인 전압들(VGSL3)이 인가됨에 따라, 접지 선택 트랜지스터들(GSTa, GSTb)과 제1 및 제2 메모리 셀들(MC1, MC2)이 턴온 된다. 따라서, 공통 소스 라인(CSL)에 공급되는 제3 공통 소스 라인 전압(VCSL3)이 접지 선택 트랜지스터들(GSTa, GSTb)과 제1 및 제2 메모리 셀들(MC1, MC2)을 통해, 선택된 제3 메모리 셀(MC3)의 소스에 전달된다.

[0105] 제3 메모리 셀(MC3)의 드레인에 공급되는 제4 비트 라인 전압(VBL4)과 소스에 공급되는 제3 공통 소스 라인 전압(VCSL3)의 전압 차이는 핫 홀을 발생할 정도로 크지 않다. 즉, 비선택된 셀 스트링(CS12)에서, 제3 메모리 셀(MC3)의 드레인의 전압의 부스팅을 방지함으로써, 제3 메모리 셀(MC3)의 프로그램이 금지된다.

[0106] 도 2, 도 9 및 도 12를 참조하면, 비선택된 셀 스트링(CS21)에서, 선택된 제3 워드 라인(WL3)에 음전압인 제3 프로그램 전압(VPGM3)이 인가된다. 따라서, 제3 메모리 셀(MC3)은 턴오프 된다.

[0107] 비선택된 스트링 선택 라인들(SSL2a, SSL2b)에 제4 스트링 선택 라인 전압들(VSSL4)이 인가된다. 따라서, 스트링 선택 트랜지스터들(SST1a, SST1b)은 턴온 된다. 제4 내지 제6 워드 라인들(WL4~WL6)에 제3 패스 전압들(VPASS3)이 공급된다. 따라서, 제4 내지 제6 메모리 셀들(MC4~MC6)은 턴온 된다.

[0108] 선택된 제1 비트 라인(BL1)에 제3 비트 라인 전압(VBL3)이 공급된다. 제3 비트 라인 전압(VBL3)은 스트링 선택 트랜지스터들(SSTa, SSTb)을 통해 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들로 공급된다. 제4 스트링 선택 라인 전압들(VSSL4)은 제3 스트링 선택 라인 전압(VSSL3)보다 높은 고전압이다. 예를 들어, 제4 스트링 선택 라인 전압들(VSSL4)은, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압들이 제어 게이트들로부터의 커플링에 의해 상승하여도 스트링 선택 트랜지스터들(SSTa, SSTb)이 턴오프 되지 않도록 높게 설정될 수 있다. 따라서, 도 10을 참조하여 설명된 부스팅이 발생하지 않으며, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압은 제3 비트 라인 전압(VBL3)이 된다.

[0109] 제1 및 제2 워드 라인들(WL1, WL2)에 제3 패스 전압들(VPASS3)이 공급되고, 접지 선택 라인들(GSLa, GSLb)에 제3 접지 선택 라인 전압들(VGSL3)이 인가됨에 따라, 접지 선택 트랜지스터들(GSTa, GSTb)과 제1 및 제2 메모리 셀들(MC1, MC2)이 턴온 된다. 따라서, 공통 소스 라인(CSL)에 공급되는 제3 공통 소스 라인 전압(VCSL3)이 접지 선택 트랜지스터들(GSTa, GSTb)과 제1 및 제2 메모리 셀들(MC1, MC2)을 통해, 선택된 제3 메모리 셀(MC3)의 소스에 전달된다.

[0110] 제3 메모리 셀(MC3)의 드레인에 공급되는 제3 비트 라인 전압(VBL3)과 소스에 공급되는 제3 공통 소스 라인 전압(VCSL3)의 전압 차이는 핫 홀을 발생할 정도로 크지 않다. 즉, 비선택된 셀 스트링(CS21)에서, 제3 메모리 셀(MC3)의 드레인의 전압의 부스팅을 방지함으로써, 제3 메모리 셀(MC3)의 프로그램이 금지된다.

[0111] 도 2, 도 9 및 도 13을 참조하면, 비선택된 셀 스트링(CS22)에서, 선택된 제3 워드 라인(WL3)에 음전압인 제3 프로그램 전압(VPGM3)이 인가된다. 따라서, 제3 메모리 셀(MC3)은 턴오프 된다.

[0112] 비선택된 스트링 선택 라인들(SSL2a, SSL2b)에 제4 스트링 선택 라인 전압들(VSSL4)이 인가된다. 따라서, 스트링 선택 트랜지스터들(SST1a, SST1b)은 턴온 된다. 제4 내지 제6 워드 라인들(WL4~WL6)에 제3 패스 전압들

(VPASS3)이 공급된다. 따라서, 제4 내지 제6 메모리 셀들(MC4~MC6)은 턴온 된다.

[0113] 비선택된 제2 비트 라인(BL2)에 제4 비트 라인 전압(VBL4)이 공급된다. 제4 비트 라인 전압(VBL4)은 스트링 선택 트랜지스터들(SSTa, SSTb)을 통해 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들로 공급된다. 제4 스트링 선택 라인 전압들(VSSL4)은 제3 스트링 선택 라인 전압(VSSL3)보다 높은 고전압이며, 제4 비트 라인 전압(VBL4)은 제3 비트 라인 전압(VBL3)보다 낮은 저전압이다. 따라서, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압들이 제어 게이트들로부터의 커플링에 의해 상승하여도 스트링 선택 트랜지스터들(SSTa, SSTb)이 턴오프 되지 않는다. 따라서, 도 10을 참조하여 설명된 부스팅이 발생하지 않으며, 제4 내지 제6 메모리 셀들(MC4~MC6)의 채널들의 전압은 제4 비트 라인 전압(VBL4)이 된다.

[0114] 제1 및 제2 워드 라인들(WL1, WL2)에 제3 패스 전압들(VPASS3)이 공급되고, 접지 선택 라인들(GSLa, GSLb)에 제3 접지 선택 라인 전압들(VGSL3)이 인가됨에 따라, 접지 선택 트랜지스터들(GSTa, GSTb)과 제1 및 제2 메모리 셀들(MC1, MC2)이 턴온 된다. 따라서, 공통 소스 라인(CSL)에 공급되는 제3 공통 소스 라인 전압(VCSL3)이 접지 선택 트랜지스터들(GSTa, GSTb)과 제1 및 제2 메모리 셀들(MC1, MC2)을 통해, 선택된 제3 메모리 셀(MC3)의 소스에 전달된다.

[0115] 제3 메모리 셀(MC3)의 드레인에 공급되는 제4 비트 라인 전압(VBL4)과 소스에 공급되는 제3 공통 소스 라인 전압(VCSL3)의 전압 차이는 핫 홀을 발생할 정도로 크지 않다. 즉, 비선택된 셀 스트링(CS22)에서, 제3 메모리 셀(MC3)의 드레인의 전압의 부스팅을 방지함으로써, 제3 메모리 셀(MC3)의 프로그램이 금지된다.

[0116] 도 14는 제2 프로그램 동작 시에 메모리 블록에 공급되는 전압들의 제2 예를 보여주는 테이블이다. 예시적으로, 접지 선택 트랜지스터들(GSTa, GSTb)에서 제2 프로그램이 수행되는 때의 전압들의 예가 도 14에 도시되어 있다.

[0117] 도 2 및 도 14를 참조하면, 선택된 비트 라인에 제5 비트 라인 전압(VBL5)이 인가된다. 제5 비트 라인 전압(VBL5)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 레벨을 갖는 고전압일 수 있다. 비선택된 비트 라인에 제6 비트 라인 전압(VBL6)이 인가된다. 제6 비트 라인 전압(VBL6)은 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압일 수 있다.

[0118] 선택된 스트링 선택 라인들에 제5 스트링 선택 라인 전압들(VSSL5)이 인가된다. 제5 스트링 선택 라인 전압들(VSSL5)은 스트링 선택 트래지스터들을 턴온 하는 전압들일 수 있다. 제5 스트링 선택 라인 전압들(VSSL5)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 레벨을 갖는 고전압들일 수 있다. 제5 스트링 선택 라인 전압들(VSSL5)은 제5 비트 라인 전압(VBL5)과 실질적으로 동일한 레벨들을 가질 수 있다. 비선택된 스트링 선택 라인에 제6 스트링 선택 라인 전압들(VSSL6)이 인가된다. 제6 스트링 선택 라인 전압들(VSSL6)은 스트링 선택 트래지스터들을 턴온 하는 전압들일 수 있다. 제6 스트링 선택 라인 전압들(VSSL6)은 전원 전압 또는 제5 스트링 선택 라인 전압들(VSSL5)보다 높은 레벨들을 갖는 고전압들일 수 있다. 제6 스트링 선택 라인 전압들(VSSL6)은, 후술되는 바와 같이, 부스팅을 방지하는 고전압들일 수 있다.

[0119] 워드 라인들(WL1~WL6)에 제4 패스 전압들(VPASS4)이 인가된다. 제4 패스 전압들(VPASS4)은 제1 내지 제6 메모리 셀들(MC1~MC6)을 턴온 하는 전압들일 수 있다. 제4 패스 전압들(VPASS4)은 전원 전압 또는 제5 스트링 선택 라인 전압들(VSSL5)보다 높은 고전압들일 수 있다.

[0120] 선택된 접지 선택 라인에 제4 프로그램 전압(VPGM4)이 인가된다. 제4 프로그램 전압(VPGM4)은 음전압일 수 있다.

[0121] 비선택된 접지 선택 라인에 제4 접지 선택 라인 전압(VGSL4)이 인가된다. 제4 접지 선택 라인 전압(VGSL4)은 접지 선택 트랜지스터들을 턴온 하는 전압일 수 있다. 제4 접지 선택 라인 전압(VGSL4)은 전원 전압 또는 전원 전압과 유사하거나 그보다 높은 레벨을 갖는 고전압일 수 있다.

[0122] 공통 소스 라인(CSL)에 제4 공통 소스 라인 전압(VCSL4)이 인가된다. 제4 공통 소스 라인 전압(VCSL4)은 접지 전압 또는 접지 전압과 유사한 레벨을 갖는 저전압일 수 있다.

[0123] 예시적으로, 도 7을 참조하여 설명된 바와 같이, 접지 선택 라인(GSLa)에 연결된 접지 선택 트랜지스터들(GSTa)에서 제1 프로그램 동작이 수행된 것으로 가정된다. 또한, 접지 선택 트랜지스터들(GSTa) 중에서, 셀 스트링(CS11)에 속한 접지 선택 트랜지스터들(GSTa)의 문턱 전압이 검증 전압(VFYu)보다 높고, 나머지 셀 스트링들(CS12, CS21, CS22)에 속한 접지 선택 트랜지스터들(GSTa)의 문턱 전압들이 검증 전압(VFYu)보다 낮은 것으로 가정된다. 즉, 셀 스트링(CS11)에 대응하는 스트링 선택 라인들(SSL1a, SSL1b) 및 비트 라인(BL1)이 선택되고, 셀 스트링(CS11)에 대응하지 않는 스트링 선택 라인들(SSL2a, SSL2b) 및 비트 라인(BL2)이 비선택되는 것으로

가정된다.

[0124] 도 15는 제2 프로그램 동작 시에 선택된 셀 스트링(CS11)에 인가되는 전압들의 예를 보여준다. 도 15에서, 우측에 셀 스트링(CS11)이 도시되고, 좌측에 셀 스트링(CS11)의 셀 트랜지스터들의 채널들의 전위 그래프가 도시된다. 전위 그래프에서, 가로 축은 채널들의 전압(Vch)을 가리키고, 세로 축은 셀 트랜지스터들의 위치를 가리킨다.

[0125] 도 2, 도 14 및 도 15를 참조하면, 선택된 접지 선택 라인(GSLa)에 음전압인 제4 프로그램 전압(VPGM4)이 인가된다. 따라서, 접지 선택 트랜지스터(GSTa)는 턴오프 된다. 예를 들어, 접지 선택 트랜지스터(GSTa)의 채널은 제1 타입(예를 들어, p-타입)을 갖는다. 접지 선택 트랜지스터(GSTa)의 제어 게이트와 채널 사이의 커플링으로 인해, 접지 선택 트랜지스터(GSTa)의 채널의 전압은 감소할 수 있다.

[0126] 선택된 스트링 선택 라인들(SSL1a, SSL1b)에 제5 스트링 선택 라인 전압들(VSSL5)이 인가된다. 제5 스트링 선택 라인 전압들(VSSL5)이 인가되는 초기 상태에서, 스트링 선택 트랜지스터들(SST1a, SST1b)은 턴온 될 수 있다.

[0127] 선택된 제1 비트 라인(BL1)에 제5 비트 라인 전압(VBL5)이 공급된다. 제5 비트 라인 전압(VBL5)은 턴온 된 스트링 선택 트랜지스터들(SST1a, SST1b)의 채널들을 통해 메모리 셀(MC6)의 드레인에 전달될 수 있다.

[0128] 제1 내지 제6 워드 라인들(WL1~WL6)에 제4 패스 전압들(VPASS4)이 인가되면, 제1 내지 제6 메모리 셀들(MC1~MC6)이 턴온 된다. 예를 들어, 제1 내지 제6 메모리 셀들(MC1~MC6)의 채널들은 제2 타입(예를 들어, n-타입)을 갖는다. 접지 선택 라인(GSLb)에 제4 접지 선택 라인 전압(VGSL4)이 인가되면, 접지 선택 트랜지스터(GSTb)가 턴온 된다. 예를 들어, 접지 선택 트랜지스터(GSTb)의 채널은 제2 타입(예를 들어, n-타입)을 갖는다. 접지 선택 트랜지스터(GSTa)가 턴오프 되어 있으므로, 선택된 비트 라인(BL1)으로부터 제6 메모리 셀(MC6)의 드레인에 전달된 전압은 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터(GSTb)의 채널들로 전달된다.

[0129] 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터(GSTb)가 턴온 된 후에 제1 내지 제6 메모리 셀들(MC1~MC6)의 제어 게이트들의 전압들이 제4 패스 전압들(VPASS4)의 목표 레벨들로 상승하고 그리고 접지 선택 라인(GSLb)의 제어 게이트의 전압이 제4 접지 선택 라인 전압(VGSL4)의 목표 레벨로 상승함에 따라, 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터(GSTb)의 제어 게이트들과 채널들 사이에 커플링이 발생한다. 커플링으로 인해, 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터(GSTb)의 채널들의 전압들은 선택된 제1 비트 라인(VBL1)으로부터 제6 메모리 셀(MC6)의 드레인에 공급된 전압보다 높아질 수 있다. 이 때, 스트링 선택 트랜지스터들(SST1a, SST1b)이 턴오프 된다. 즉, 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터(GSTb)의 채널들은 턴오프 된 접지 선택 트랜지스터(GSTa)와 턴오프 된 스트링 선택 트랜지스터들(SST1a, SST1b) 사이에서 플로팅된다.

[0130] 예를 들어, 제5 스트링 선택 라인 전압들(VSSL5)과 제5 비트 라인 전압(VBL5)은 실질적으로 동일한 레벨들을 가질 수 있다. 이 때, 메모리 셀(MC6)의 드레인에 전달되는 전압은 제5 스트링 선택 라인 전압들(VSSL5) 또는 제5 비트 라인 전압(VBL5)으로부터 스트링 선택 트랜지스터들(SST1a, SST1b)의 문턱 전압들을 감한 레벨을 가질 수 있다. 이 상태에서, 커플링에 의해 제6 메모리 셀(MC6)의 드레인의 전압이 상승하면, 스트링 선택 트랜지스터들(SST1a, SST1b)의 턴온 조건이 만족되지 않으며, 따라서, 스트링 선택 트랜지스터들(SST1a, SST1b)은 턴오프 된다.

[0131] 스트링 선택 트랜지스터들(SST1a, SST1b)이 턴오프 된 후, 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터(GSTb)의 채널들의 전압들은 커플링의 영향으로 더 상승한다. 즉, 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터(GSTb)의 채널들이 플로팅되고, 플로팅된 채널들의 전압들이 부스팅된다. 예를 들어, 제1 내지 제6 메모리 셀들(MC1~MC6) 및 접지 선택 트랜지스터(GSTb)의 채널들의 전압은 부스트 전압(VBOOST)으로 상승할 수 있다. 즉, 선택된 접지 선택 트랜지스터(GSTa)의 드레인에 부스트 전압(VBOOST)이 공급된다.

[0132] 공통 소스 라인(CSL)에 공급되는 제4 공통 소스 라인 전압(VCSL4)이 선택된 접지 선택 트랜지스터(GSTa)의 소스에 전달된다.

[0133] 접지 선택 트랜지스터(GSTa)의 드레인에 공급되는 부스트 전압(VBOOST)과 소스에 공급되는 제4 공통 소스 라인 전압(VCSL4)의 전압 차이로 인해, 접지 선택 트랜지스터(GSTa)에서 핫 홀(Hot Hole)이 발생한다. 접지 선택 트랜지스터(GSTa)의 제어 게이트에 인가되는 음전압인 제4 프로그램 전압(VPGM4)으로 인해, 핫 홀은 접지 선택 트랜지스터(GSTa)에 주입된다. 즉, 접지 선택 트랜지스터(GSTa)의 문턱 전압이 감소한다.

[0134] 비선택된 셀 스트링들(CS12, CS21, CS22)에서, 도 11 내지 도13을 참조하여 설명된 바와 같이, 접지 선택 트랜지스터들(GSTa)의 드레인들의 전압들이 부스팅되는 것을 방지함으로써, 접지 선택 트랜지스터들(GSTa)의 프로그램이 금지될 수 있다.

[0135] 접지 선택 트랜지스터들(GSTb)은 유사한 방법으로 프로그램된다. 예를 들어, 선택된 셀 스트링에서, 접지 선택 트랜지스터(GSTb)의 드레인의 전압은 부스팅된다. 공통 소스 라인(CSL)에 공급되는 저전압은 접지 선택 트랜지스터(GSTb)의 소스에 전달된다. 접지 선택 라인(GSLb)에 음전압이 공급되면, 선택된 셀 스트링의 접지 선택 트랜지스터(GSTb)의 문턱 전압이 감소한다.

[0136] 비선택된 셀 스트링들에서, 접지 선택 트랜지스터들(GSTb)의 드레인들의 전압들이 부스팅되는 것이 방지된다. 공통 소스 라인(CSL)에 공급되는 저전압은 접지 선택 트랜지스터들(GSTb)의 소스들에 전달된다. 접지 선택 라인(GSLb)에 음전압이 공급되어도, 비선택된 셀 스트링들의 접지 선택 트랜지스터들(GSTb)의 문턱 전압들은 감소하지 않는다.

[0137] 예시적으로, 도 8의 검증 단계 및 프로그램 단계가 반복적으로 수행되는 동안, 제4 프로그램 전압(VPGM4)의 레벨은 점진적으로 감소 또는 증가될 수 있다. 도 8의 검증 단계 및 프로그램 단계가 반복적으로 수행되는 동안, 제4 패스 전압들(VPASS4)의 레벨들이 점진적으로 증가 또는 감소되어, 부스트 전압(VBOOST)의 레벨이 점진적으로 증가 또는 감소될 수 있다.

[0138] 도 16은 제2 프로그램 동작의 제2 예를 보여주는 순서도이다. 도 1 내지 도 3, 그리고 도 16을 참조하면, S410 단계에서, 검증 전압(VFYu)을 이용하여 검증 동작이 수행된다. 검증 동작이 수행되면, 제1 프로그램 동작이 수행된 셀 트랜지스터들 중에서 검증 전압(VFYu)보다 낮은 문턱 전압들을 갖는 제1 셀 트랜지스터들 및 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 제2 셀 트랜지스터들이 판별될 수 있다.

[0139] S420 단계에서, 검증 동작의 결과가 패스인지 판별된다. 검증 동작의 결과가 패스로 판별되면, 제2 프로그램 동작은 종료될 수 있다. 검증 동작의 결과가 패스로 판별되지 않으면, S430 단계가 수행된다.

[0140] S430 단계에서, 검증 전압(VFYu)보다 낮은 문턱 전압들을 갖는 제1 셀 트랜지스터들의 프로그램이 금지된다. S440 단계에서, 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 제2 셀 트랜지스터들의 프로그램이 허용된다. 이후에, S450 단계에서, 제1 셀 트랜지스터들 및 제2 셀 트랜지스터들의 제어 게이트들에 음전압이 공급된다.

[0141] S460 단계에서, 마지막 프로그램 단계가 수행되었는지 판별된다. 예를 들어, S430 단계 내지 S450 단계를 포함하는 프로그램 단계가 미리 정해진 횟수 만큼 반복적으로 수행되었는지 판별될 수 있다.

[0142] 예시적으로, 도 10 내지 도 15를 참조하여 설명된 바와 같이, 제2 프로그램 동작 시에, 선택된 셀 스트링의 선택된 셀 트랜지스터의 드레인의 전압을 부스팅함으로써, 선택된 셀 스트링의 선택된 셀 트랜지스터의 문턱 전압이 감소된다. 그런데, 부스팅된 전압은 누설과 같은 주변의 영향으로 인해 점진적으로 감소할 수 있다. 부스팅된 전압이 점진적으로 감소하면, 선택된 셀 트랜지스터의 프로그램의 효율이 저하될 수 있다. 부스팅된 전압의 감소로 인해 프로그램의 효율이 저하되는 것을 방지하기 위하여, S430 단계 내지 S450 단계를 포함하는 프로그램 단계는 복수회 수행될 수 있다.

[0143] 예를 들어, 제k 번째 프로그램 단계가 수행된 후에, 선택된 셀 스트링이 복원될 수 있다. 예를 들어, 메모리 블록(BLKa)의 셀 스트링들의 셀 트랜지스터들의 채널들의 전압들이 방전될 수 있다. 이후에, 도 9 또는 도 14를 참조하여 설명된 전압들이 다시 인가되어, 제k+1 번째 프로그램 단계가 수행될 수 있다.

[0144] 예시적으로, 프로그램 단계가 반복적으로 수행되는 동안, 전압 조건들이 조절될 수 있다. 예를 들어, 선택된 셀 트랜지스터의 제어 게이트에 인가되는 음전압의 레벨이 감소 또는 증가될 수 있다. 비선택된 워드 라인들에 인가되는 패스 전압들(VPASS)의 레벨들이 감소 또는 증가되어, 부스트 전압(VBOOST)의 레벨이 증가 또는 감소될 수 있다. 공통 소스 라인(CSL)에 인가되는 저전압의 레벨이 감소 또는 증가될 수 있다.

[0145] 도 17은 제2 프로그램 동작 시에 패스 전압(VPASS)의 레벨이 조절되는 예를 보여주는 타이밍도이다. 도 17에서, 가로 축은 시간(T)을 가리키고, 세로 축은 패스 전압(VPASS)의 레벨을 가리킨다. 예시적으로, 도 8의 프로그램 단계에서 패스 전압(VPASS)의 레벨이 조절되는 도 17에 도시되어 있다.

[0146] 도 17을 참조하면, 제1 시간(T1)에 패스 전압(VPASS)이 워드 라인들(WL)에 인가된다. 이후에, 제2 시간(T2), 제3 시간(T3), 제4 시간(T4), 그리고 제5 시간(T5)에 패스 전압(VPASS)의 레벨이 증가한다. 이후에, 제6 시간(T6)에, 패스 전압(VPASS)이 방전된다.

[0147] 도 16을 참조하여 설명된 바와 같이, 부스팅된 전압(VBOOST)의 레벨은 시간이 흐름에 따라 점진적으로 감소할 수 있다. 도 17에 도시된 바와 같이 패스 전압(VPASS)의 레벨이 점진적으로 증가하면, 커플링에 의해, 부스팅된 전압(VBOOST)의 레벨이 점진적으로 상승한다. 즉, 부스팅된 전압(VBOOST)의 감소 및 상승이 서로 상쇄되어, 제2 프로그램 동작의 프로그램 단계가 수행되는 동안, 부스팅된 전압(VBOOST)의 레벨이 유지될 수 있다.

[0148] 예시적으로, 도 16을 참조하여 설명된 바와 같이 제2 프로그램 동작의 프로그램 단계를 반복적으로 수행하되, 각 프로그램 단계에서 패스 전압(VPASS)의 레벨이 도 17을 참조하여 설명된 바와 같이 제어될 수 있다.

[0149] 도 18은 본 발명의 다른 실시 예에 따른 불휘발성 메모리(110)의 동작 방법을 보여주는 순서도이다. 도 1, 도 2 및 도 18을 참조하면, S510 단계에서, 제1 프로그램 동작이 수행되어 셀 트랜지스터들의 문턱 전압들이 증가된다. 예를 들어, 프로그램 대상으로 선택된 셀 트랜지스터들 전체의 문턱 전압들이 증가될 수 있다.

[0150] S520 단계에서, 제2 프로그램 동작이 수행되어, 셀 트랜지스터들 중에서 검증 전압(VFYu) 보다 높은 문턱 전압을 갖는 셀 트랜지스터들의 문턱 전압들이 감소될 수 있다. 예를 들어, 제1 프로그램 동작이 수행된 셀 트랜지스터들 중에서, 검증 전압(VFYu) 보다 높은 문턱 전압을 갖는 셀 트랜지스터들의 문턱 전압들이 제2 프로그램 동작을 통해 감소될 수 있다. 예를 들어, 검증 전압(VFYu)은 셀 트랜지스터들의 목표 문턱 전압 범위의 상한일 수 있다.

[0151] S530 단계에서, 최대 반복 횟수에 도달했는지 판별된다. 예를 들어, 제1 프로그램 동작과 제2 프로그램 동작이 미리 정해진 횟수 만큼 반복적으로 수행되었는지 판별된다. 제1 프로그램 동작과 제2 프로그램 동작이 미리 정해진 횟수 만큼 반복적으로 수행되지 않았으면, S510 단계 및 S520 단계에서 제1 프로그램 동작과 제2 프로그램 동작이 다시 수행된다. 제1 프로그램 동작과 제2 프로그램 동작이 미리 정해진 횟수 만큼 반복적으로 수행되었으면, 셀 트랜지스터들의 프로그램이 종료된다.

[0152] 예시적으로, 제1 프로그램 동작을 통해 셀 트랜지스터들의 문턱 전압들을 상승시키고 제2 프로그램 동작을 통해 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들을 감소시키는 동작이 반복적으로 수행되면, 셀 트랜지스터들의 문턱 전압 산포도가 감소될 수 있다.

[0153] 예시적으로, 제1 프로그램 동작이 반복적으로 수행되는 동안, 셀 스트링들(CS11, CS12, CS21, CS22)에 인가되는 전압들이 변화될 수 있다. 예를 들어, 프로그램 전압(VPGM)의 레벨이 점진적으로 증가될 수 있다.

[0154] 예시적으로, 제2 프로그램 동작이 시작될 때, 셀 스트링들(CS11, CS12, CS21, CS22)에 인가되는 전압들은 초기 값들로 초기화될 수 있다.

[0155] 도 19는 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리(110)의 동작 방법을 보여주는 순서도이다. 도 1, 도 2 및 도 19를 참조하면, S610 단계에서, 제1 프로그램 동작이 수행되어 셀 트랜지스터들의 문턱 전압들이 증가된다. 예를 들어, 프로그램 대상으로 선택된 셀 트랜지스터들 전체의 문턱 전압들이 증가될 수 있다.

[0156] S620 단계에서, 제2 프로그램 동작이 수행되어, 셀 트랜지스터들 중에서 검증 전압(VFYu) 보다 높은 문턱 전압을 갖는 셀 트랜지스터들의 문턱 전압들이 감소될 수 있다. 예를 들어, 제1 프로그램 동작이 수행된 셀 트랜지스터들 중에서, 검증 전압(VFYu) 보다 높은 문턱 전압을 갖는 셀 트랜지스터들의 문턱 전압들이 제2 프로그램 동작을 통해 감소될 수 있다. 예를 들어, 검증 전압(VFYu)은 셀 트랜지스터들의 목표 문턱 전압 범위의 상한일 수 있다.

[0157] S630 단계에서, 검증 전압(VFY1)을 이용하여 셀 트랜지스터들에 대해 검증 동작이 수행된다. 예를 들어, 셀 트랜지스터들 중에서 검증 전압(VFY1)보다 낮은 문턱 전압을 갖는 셀 트랜지스터가 존재하면, 또는 검증 전압(VFY1)보다 낮은 문턱 전압들을 갖는 셀 트랜지스터들의 수가 임계값보다 크면, 검증 동작의 결과는 페일로 판별될 수 있다. 셀 트랜지스터들 중에서 검증 전압(VFY1)보다 낮은 문턱 전압을 갖는 셀 트랜지스터가 존재하지 않으면, 또는 검증 전압(VFY1)보다 낮은 문턱 전압들을 갖는 셀 트랜지스터들의 수가 임계값보다 크지 않으면, 검증 동작의 결과는 패스로 판별될 수 있다.

[0158] S640 단계에서, 검증 동작의 결과가 패스로 판별되면, 셀 트랜지스터들의 프로그램이 종료된다. 검증 동작의 결과가 페일로 판별되면, S610 단계 내지 S630 단계가 다시 수행된다.

[0159] 예시적으로, S610 단계 내지 S630 단계가 반복적으로 수행된 회수가 문턱값에 도달하면, 셀 트랜지스터들의 프로그램이 중지되고, 에러가 발생한 것으로 식별될 수 있다.

[0160] 예시적으로, 제1 프로그램 동작이 반복적으로 수행되는 동안, 셀 스트링들(CS11, CS12, CS21, CS22)에 인가되는

전압들이 변화될 수 있다. 예를 들어, 프로그램 전압(VPGM)의 레벨이 점진적으로 증가될 수 있다.

[0161] 예시적으로, 제2 프로그램 동작이 시작될 때, 셀 스트링들(CS11, CS12, CS21, CS22)에 인가되는 전압들은 초기 값들로 초기화될 수 있다.

[0162] 도 20은 도 19의 동작 방법에 따른 셀 트랜지스터들의 문턱 전압들의 변화를 보여준다. 도 20에서, 가로 축은 셀 트랜지스터들의 문턱 전압들을 가리키고, 세로 축은 셀 트랜지스터들의 수를 가리킨다. 즉, 도 20은 셀 트랜지스터들의 문턱 전압 산포를 보여준다.

[0163] 도 1, 도 2, 도 19 및 도 20을 참조하면, 셀 트랜지스터들의 초기 문턱 전압 산포는 제1 라인(L1)일 수 있다.

[0164] S610 단계의 제1 프로그램 동작이 수행되면, 셀 트랜지스터들의 문턱 전압들이 증가한다. 예를 들어, 셀 트랜지스터들의 문턱 전압 산포는 제1 라인(L1)으로부터 제2 라인(L2)으로 변화할 수 있다.

[0165] S620 단계의 제2 프로그램 동작이 수행되면, 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들이 감소한다. 예를 들어, 검증 전압(VFYu)보다 높은 문턱 전압들을 갖는 셀 트랜지스터들의 문턱 전압들이 검증 전압(VFYu)보다 낮아질 수 있다. 셀 트랜지스터들의 문턱 전압들이 검증 전압(VFY1)과 같거나 그보다 높아지질 때까지, 제1 프로그램 동작과 제2 프로그램 동작이 반복적으로 수행된다. 즉, 셀 트랜지스터들의 문턱 전압 산포는 제2 라인(L2)으로부터 제3 라인(L3)으로 변화할 수 있다.

[0166] 상술된 바와 같이 제1 프로그램 동작과 제2 프로그램 동작이 수행되면, 셀 트랜지스터들의 문턱 전압 산포도가 감소하며, 특히 셀 트랜지스터들의 문턱 전압들이 검증 전압(VFYu)보다 낮고 검증 전압(VFY1)보다 높은 범위로 한정된다. 셀 트랜지스터들의 문턱 전압들이 목표 범위 내로 조절되므로, 셀 트랜지스터들을 포함하는 불휘발성 메모리(110)의 신뢰성이 향상된다.

[0167] 도 21은 본 발명의 실시 예에 따른 스토리지 장치(100)를 보여주는 블록도이다. 도 21을 참조하면, 스토리지 장치(100)는 불휘발성 메모리(110), 메모리 컨트롤러(120) 및 RAM (130)을 포함한다.

[0168] 불휘발성 메모리(110)는 메모리 컨트롤러(120)의 제어에 따라 쓰기, 읽기 및 소거를 수행할 수 있다. 불휘발성 메모리(110)는 메모리 컨트롤러(120)와 제1 데이터(DATA1)를 교환할 수 있다. 예를 들어, 불휘발성 메모리(110)는 메모리 컨트롤러(120)로부터 제1 데이터(DATA1)를 수신하고, 제1 데이터(DATA1)를 기입할 수 있다. 불휘발성 메모리(110)는 읽기를 수행하고, 읽혀진 제1 데이터(DATA1)를 메모리 컨트롤러(120)로 출력할 수 있다.

[0169] 불휘발성 메모리(110)는 메모리 컨트롤러(120)로부터 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 수신할 수 있다. 불휘발성 메모리(110)는 메모리 컨트롤러(120)와 제어 신호(CTRL)를 교환할 수 있다. 예를 들어, 불휘발성 메모리(110)는 불휘발성 메모리(110)를 구성하는 복수의 반도체 칩들 중 적어도 하나의 반도체 칩을 선택하는 칩 선택 신호(/CE), 메모리 컨트롤러(120)로부터 수신되는 신호가 제1 커맨드(CMD1)임을 가리키는 커맨드 래치 인에이블 신호(CLE), 메모리 컨트롤러(120)로부터 수신되는 신호가 제1 어드레스(ADDR1)임을 가리키는 어드레스 래치 인에이블 신호(ALE), 읽기 시에 메모리 컨트롤러(120)에 의해 생성되며 주기적으로 토글되어 타이밍을 맞추는 데에 사용되는 읽기 인에이블 신호(/RE), 제1 커맨드(CMD1) 또는 제1 어드레스(ADDR1)가 전송될 때에 메모리 컨트롤러(120)에 의해 활성화되는 쓰기 인에이블 신호(/WE), 전원이 변화할 때에 의도하지 않은 쓰기 또는 소거를 방지하기 위해 메모리 컨트롤러(120)에 의해 활성화되는 쓰기 방지 신호(/WP), 쓰기 시에 메모리 컨트롤러(120)에 의해 생성되며 주기적으로 토글되어 제1 데이터(DATA1)의 입력 싱크를 맞추는 데에 사용되는 데이터 스트로브 신호(DQS) 중 적어도 하나를 메모리 컨트롤러(120)로부터 수신할 수 있다. 예를 들어, 불휘발성 메모리(110)는 불휘발성 메모리(110)가 프로그램, 소거 또는 읽기 동작을 수행중인지를 가리키는 레디 및 비지 신호(R/nB), 불휘발성 메모리(110)에 의해 읽기 인에이블 신호(/RE)로부터 생성되며 주기적으로 토글되어 제1 데이터(DATA1)의 출력 싱크를 맞추는 데에 사용되는 데이터 스트로브 신호(DQS) 중 적어도 하나를 메모리 컨트롤러(120)로 출력할 수 있다.

[0170] 예시적으로, 제1 데이터(DATA1), 제1 어드레스(ADDR1) 및 제1 커맨드(CMD1)는 제1 채널(CH1)을 통해 메모리 컨트롤러(120)와 통신될 수 있다. 제1 채널(CH1)은 입출력 채널일 수 있다. 제어 신호(CTRL)는 제2 채널(CH2)을 통해 메모리 컨트롤러(120)와 통신될 수 있다. 제2 채널(CH2)는 제어 채널일 수 있다.

[0171] 불휘발성 메모리(110)는 도 1 내지 도 20을 참조하여 설명된 구조를 가지며, 도 1 내지 도 20을 참조하여 설명된 방법에 따라 동작할 수 있다. 예를 들어, 불휘발성 메모리(110)는 셀 트랜지스터들의 문턱 전압을 상승시키는 제1 프로그램 동작을 수행하고, 프로그램된 셀 트랜지스터들 중에서 검증 전압보다 높은 문턱 전압을 갖는 셀 트랜지스터들에 대해 문턱 전압을 감소시키는 제2 프로그램 동작을 수행할 수 있다.

[0172] 불휘발성 메모리(110)는 플래시 메모리를 포함할 수 있다. 그러나, 불휘발성 메모리(110)는 플래시 메모리를 포함하는 것으로 한정되지 않는다. 불휘발성 메모리(110)는 PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FeRAM (Ferroelectric RAM) 등과 같은 다양한 불휘발성 메모리들 중 적어도 하나를 포함할 수 있다.

[0173] 메모리 컨트롤러(120)는 불휘발성 메모리(110)를 제어하도록 구성된다. 예를 들어, 메모리 컨트롤러(120)는 불휘발성 메모리(110)가 쓰기, 읽기 또는 소거를 수행하도록 제어할 수 있다. 메모리 컨트롤러(120)는 불휘발성 메모리(110)와 제1 데이터(DATA1) 및 제어 신호(CTRL)를 교환하고, 불휘발성 메모리(110)로 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 출력할 수 있다.

[0174] 메모리 컨트롤러(120)는 외부의 호스트 장치(미도시)의 제어에 따라 불휘발성 메모리(110)를 제어할 수 있다. 메모리 컨트롤러(120)는 호스트 장치와 제2 데이터(DATA2)를 교환하고, 호스트 장치로부터 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)를 수신할 수 있다.

[0175] 예시적으로, 메모리 컨트롤러(120)는 제1 단위(예를 들어, 시간 단위 또는 데이터 단위)로 불휘발성 메모리(110)와 제1 데이터(DATA1)를 교환하고, 제1 단위와 다른 제2 단위(예를 들어, 시간 단위 또는 데이터 단위)로 호스트 장치와 제2 데이터(DATA2)를 교환할 수 있다.

[0176] 메모리 컨트롤러(120)는 제1 포맷에 따라 불휘발성 메모리(110)와 제1 데이터(DATA1)를 교환하고, 불휘발성 메모리(110)로 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 전송할 수 있다. 메모리 컨트롤러(120)는 제1 포맷과 다른 제2 포맷에 따라, 호스트 장치와 제2 데이터(DATA2)를 교환하고, 호스트 장치로부터 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)를 수신할 수 있다.

[0177] 메모리 컨트롤러(120)는 RAM (130)을 버퍼 메모리, 캐시 메모리, 또는 동작 메모리로 사용할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 호스트 장치로부터 제2 데이터(DATA2)를 수신하고, 수신된 제2 데이터(DATA2)를 RAM (130)에 저장하고, 그리고 RAM (130)에 저장된 제2 데이터(DATA2)를 제1 데이터(DATA1)로서 불휘발성 메모리(110)에 기입할 수 있다. 메모리 컨트롤러(120)는 불휘발성 메모리(110)로부터 제1 데이터(DATA1)를 읽고, 읽어진 제1 데이터(DATA1)를 RAM (130)에 저장하고, RAM (130)에 저장된 제1 데이터(DATA1)를 제2 데이터(DATA2)로서 호스트 장치로 출력할 수 있다. 메모리 컨트롤러(130)는 불휘발성 메모리(110)로부터 읽은 데이터를 RAM (130)에 저장하고, RAM (130)에 저장된 데이터를 다시 불휘발성 메모리(110)에 기입할 수 있다.

[0178] 메모리 컨트롤러(120)는 불휘발성 메모리(110)를 관리하기 위해 필요한 데이터 또는 코드를 RAM (130)에 저장할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 불휘발성 메모리(110)를 관리하기 위해 필요한 데이터 또는 코드를 불휘발성 메모리(110)로부터 읽고, RAM (130)에 로딩하여 구동할 수 있다.

[0179] 메모리 컨트롤러(120)는 에러 정정 블록(124)을 포함할 수 있다. 에러 정정 블록(124)은 불휘발성 메모리(110)에 기입되는 제1 데이터(DATA1)에 기반하여 패리티를 생성할 수 있다. 생성된 패리티는 제1 데이터(DATA1)와 함께 불휘발성 메모리(110)에 기입될 수 있다. 패리티를 생성하는 동작은 에러 정정 인코딩 동작일 수 있다. 에러 정정 블록(124)은 불휘발성 메모리(110)로부터 제1 데이터(DATA1) 및 패리티를 수신할 수 있다. 에러 정정 블록(124)은 수신된 패리티를 이용하여 제1 데이터(DATA1)의 에러를 정정할 수 있다. 에러를 정정하는 동작은 에러 정정 디코딩 동작일 수 있다.

[0180] 예시적으로, 에러 정정 디코딩 시에, 에러 정정 블록(124)은 간소화된 에러 정정 또는 완전 에러 정정을 수행할 수 있다. 간소화된 에러 정정은 감소된 에러 정정 시간을 갖는 에러 정정일 수 있다. 완전 에러 정정은 향상된 신뢰성을 갖는 에러 정정일 수 있다. 에러 정정 블록(124)은 간소화된 에러 정정 또는 완전 에러 정정을 선택적으로 수행함으로써, 스토리지 장치(100)의 동작 속도 및 신뢰성을 향상시킬 수 있다.

[0181] RAM (130)은 DRAM (Dynamic RAM), SRAM (Static RAM), SDRAM (Synchronous DRAM), PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FeRAM (Ferroelectric RAM) 등과 같은 다양한 랜덤 액세스 메모리들 중 적어도 하나를 포함할 수 있다.

[0182] 불휘발성 메모리(110)에서 소거 동작이 발생하는 오버헤드를 감소시키기 위하여, 스토리지 장치(100)는 주소 매핑을 수행할 수 있다. 예를 들어, 외부 호스트 장치로부터 덮어쓰기가 요청될 때에, 스토리지 장치(100)는 기존 데이터를 저장하는 메모리 셀들을 소거하고 덮어쓰기 요청된 데이터를 소거된 메모리 셀들에 저장하는 대신, 덮어쓰기 요청된 데이터를 자유 저장 공간의 메모리 셀들에 저장할 수 있다. 메모리 컨트롤러(120)는 외부의 호스트 장치에서 사용되는 논리 주소(logical address) 및 불휘발성 메모리(110)에서 사용되는 물리 주소(physical

address)를 상술된 방법에 따라 매핑하는 FTL (Flash Translation Layer)를 구동할 수 있다. 예를 들어, 제2 어드레스(ADDR2)는 논리 주소이고, 제1 어드레스(ADDR1)는 물리 주소일 수 있다.

[0183] 스토리지 장치(100)는 호스트 장치의 요청에 따라, 데이터의 쓰기, 읽기 또는 소거를 수행할 수 있다. 스토리지 장치(100)는 솔리드 스테이트 드라이브(SSD, Solid State Drive) 또는 하드 디스크 드라이브(HDD, Hard Disk Drive)를 포함할 수 있다. 스토리지 장치(100)는 PC 카드(PCMCIA, personal computer memory card international association), 컴팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), USB (Universal Serial Bus) 메모리 카드, 유니버설 플래시 스토리지(UFS) 등과 같은 메모리 카드들을 포함할 수 있다. 스토리지 장치(100)는 eMMC (embedded MultiMedia Card), UFS, PPN (Perfect Page New) 등과 같은 실장형 메모리를 포함할 수 있다.

[0184] 도 22는 본 발명의 실시 예에 따른 메모리 컨트롤러(120)를 보여주는 블록도이다. 도 22를 참조하면, 메모리 컨트롤러(120)는 버스(121), 프로세서(122), RAM (123), 에러 정정 블록(124), 호스트 인터페이스(125), 버퍼 컨트롤 회로(126), 그리고 메모리 인터페이스(127)를 포함한다.

[0185] 버스(121)는 메모리 컨트롤러(120)의 구성 요소들 사이에 채널을 제공하도록 구성된다.

[0186] 프로세서(122)는 메모리 컨트롤러(120)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 프로세서(122)는 호스트 인터페이스(125)를 통해 외부의 호스트 장치와 통신할 수 있다. 프로세서(122)는 호스트 인터페이스(125)를 통해 수신되는 제2 커맨드(CMD2) 또는 제2 어드레스(ADDR2)를 RAM (123)에 저장할 수 있다. 프로세서(122)는 RAM (123)에 저장된 제2 커맨드(CMD2) 또는 제2 어드레스(ADDR2)에 따라 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 생성하고, 생성된 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 메모리 인터페이스(127)를 통해 출력할 수 있다.

[0187] 프로세서(122)는 호스트 인터페이스(125)를 통해 수신되는 제2 데이터(DATA2)를 버퍼 컨트롤 회로(126)를 통해 출력하거나 또는 RAM (123)에 저장할 수 있다. 프로세서(122)는 RAM (123)에 저장된 데이터 또는 버퍼 컨트롤 회로(126)를 통해 수신되는 데이터를 제1 데이터(DATA1)로서 메모리 인터페이스(127)를 통해 출력할 수 있다. 프로세서(122)는 메모리 인터페이스(127)를 통해 수신되는 제1 데이터(DATA1)를 RAM (123)에 저장하거나, 또는 버퍼 컨트롤 회로(126)를 통해 출력할 수 있다. 프로세서(122)는 RAM (123)에 저장된 데이터 또는 버퍼 컨트롤 회로(126)를 통해 수신되는 데이터를 제2 데이터(DATA2)로서 호스트 인터페이스(125)를 통해 출력하거나 또는 제1 데이터(DATA1)로서 메모리 인터페이스(127)를 통해 출력할 수 있다.

[0188] RAM (123)은 프로세서(122)의 동작 메모리, 캐시 메모리 또는 버퍼 메모리로 사용될 수 있다. RAM (123)은 프로세서(122)가 실행하는 코드들 및 명령들을 저장할 수 있다. RAM (123)은 프로세서(122)에 의해 처리되는 데이터를 저장할 수 있다. RAM (123)은 SRAM (Static RAM)을 포함할 수 있다.

[0189] 에러 정정 블록(124)은 에러 정정을 수행할 수 있다. 에러 정정 블록(124)은 메모리 인터페이스(127)로 출력될 제1 데이터(DATA1) 또는 호스트 인터페이스(125)로부터 수신되는 제2 데이터(DATA2)에 기반하여, 에러 정정을 수행하기 위한 에러 정정 코드(예를 들어, 패리티)를 생성할 수 있다. 제1 데이터(DATA1) 및 패리티는 메모리 인터페이스(127)를 통해 출력될 수 있다. 에러 정정 블록(124)은 메모리 인터페이스(127)를 통해 수신되는 제1 데이터(DATA1) 및 패리티를 이용하여, 수신된 제1 데이터(DATA1_)의 에러 정정을 수행할 수 있다. 예시적으로, 에러 정정 블록(124)은 메모리 인터페이스(127)의 구성 요소로서 메모리 인터페이스(127)에 포함될 수 있다.

[0190] 호스트 인터페이스(125)는 프로세서(122)의 제어에 따라, 외부의 호스트 장치와 통신하도록 구성된다. 호스트 인터페이스(125)는 외부 호스트 장치로부터 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)를 수신하고, 외부 호스트 장치와 제2 데이터(DATA2)를 교환할 수 있다.

[0191] 호스트 인터페이스(125)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), 파이어와이어(Firewire), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC) 등과 같은 다양한 통신 방법들 중 적어도 하나를 이용하여 통신하도록 구성될 수 있다.

[0192] 버퍼 컨트롤 회로(126)는 프로세서(122)의 제어에 따라, RAM (130, 도 1 참조)을 제어하도록 구성된다. 버퍼 컨트롤 회로(126)는 RAM (130)에 데이터를 쓰고, RAM (130)으로부터 데이터를 읽을 수 있다.

[0193] 메모리 인터페이스(127)는 프로세서(122)의 제어에 따라, 불휘발성 메모리(110, 도 1 참조)와 통신하도록 구성

된다. 메모리 인터페이스(127)는 불휘발성 메모리(110)에 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 전송하고, 불휘발성 메모리(110)와 제1 데이터(DATA1) 및 제어 신호(CTRL)를 교환할 수 있다.

[0194] 예시적으로, 스토리지 장치(100)에 RAM (130)이 제공되지 않을 수 있다. 즉, 스토리지 장치(100)는 메모리 컨트롤러(120) 및 불휘발성 메모리(110)의 외부에 별도의 메모리를 갖지 않을 수 있다. 이 때, 메모리 컨트롤러(120)에 버퍼 컨트롤 회로(126)가 제공되지 않을 수 있다. 그리고, RAM (130)의 기능은 메모리 컨트롤러(120)의 내부의 RAM (123)이 수행할 수 있다.

[0195] 예시적으로, 프로세서(122)는 코드들을 이용하여 메모리 컨트롤러(120)를 제어할 수 있다. 프로세서(122)는 메모리 컨트롤러(120)의 내부에 제공되는 불휘발성 메모리(예를 들어, Read Only Memory)로부터 코드들을 로드할 수 있다. 다른 예로서, 프로세서(122)는 메모리 인터페이스(127)로부터 수신되는 코드들을 로드할 수 있다.

[0196] 예시적으로, 메모리 컨트롤러(120)의 버스(121)는 제어 버스 및 데이터 버스로 구분될 수 있다. 데이터 버스는 메모리 컨트롤러(120) 내에서 데이터를 전송하고, 제어 버스는 메모리 컨트롤러(120) 내에서 커맨드, 어드레스와 같은 제어 정보를 전송하도록 구성될 수 있다. 데이터 버스와 제어 버스는 서로 분리되며, 상호간에 간섭하거나 영향을 주지 않을 수 있다. 데이터 버스는 호스트 인터페이스(125), 버퍼 제어 회로(126), 에러 정정 블록(124) 및 메모리 인터페이스(127)에 연결될 수 있다. 제어 버스는 호스트 인터페이스(125), 프로세서(122), 버퍼 제어 회로(126), RAM (123) 및 메모리 인터페이스(127)에 연결될 수 있다.

[0197] 도 23은 본 발명의 실시 예에 따른 컴퓨팅 장치(1000)를 보여주는 블록도이다. 도 23을 참조하면, 컴퓨팅 장치(1000)는 프로세서(1100), 메모리(1200), 스토리지 장치(1300), 모뎀(1400), 그리고 사용자 인터페이스(1500)를 포함한다.

[0198] 프로세서(1100)는 컴퓨팅 장치(1000)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 예를 들어, 프로세서(1100)는 시스템-온-칩(SoC, System-on-Chip)으로 구성될 수 있다. 프로세서(1100)는 범용 프로세서, 특수 목적 프로세서 또는 어플리케이션 프로세서일 수 있다.

[0199] RAM (1200)은 프로세서(1100)와 통신할 수 있다. RAM (1200)은 프로세서(1100) 또는 컴퓨팅 장치(1000)의 메인 메모리일 수 있다. 프로세서(1100)는 RAM (1200)에 코드 또는 데이터를 임시로 저장할 수 있다. 프로세서(1100)는 RAM (1200)을 이용하여 코드를 실행하고, 데이터를 처리할 수 있다. 프로세서(1100)는 RAM (1200)을 이용하여 운영체제, 어플리케이션과 같은 다양한 소프트웨어들을 실행할 수 있다. 프로세서(1100)는 RAM (1200)을 이용하여 컴퓨팅 장치(1000)의 제반 동작을 제어할 수 있다. RAM (1200)은 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등과 같은 휘발성 메모리, 또는 PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FeRAM (Ferroelectric RAM) 등과 같은 불휘발성 메모리를 포함할 수 있다.

[0200] 스토리지 장치(1300)는 프로세서(1100)와 통신할 수 있다. 스토리지 장치(1300)는 장기적으로 보존되어야 하는 데이터를 저장할 수 있다. 즉, 프로세서(1100)는 장기적으로 보존되어야 하는 데이터를 스토리지 장치(1300)에 저장할 수 있다. 스토리지 장치(1300)는 컴퓨팅 장치(1000)를 구동하기 위한 부트 이미지를 저장할 수 있다. 스토리지 장치(1300)는 운영체제, 어플리케이션과 같은 다양한 소프트웨어들의 소스 코드들을 저장할 수 있다. 스토리지 장치(1300)는 운영체제, 어플리케이션과 같은 다양한 소프트웨어들에 의해 처리된 데이터를 저장할 수 있다.

[0201] 예시적으로, 프로세서(1100)는 스토리지 장치(1300)에 저장된 소스 코드들을 RAM (1200)에 로드하고, RAM (1200)에 로드된 코드들을 실행함으로써, 운영체제, 어플리케이션과 같은 다양한 소프트웨어들을 구동할 수 있다. 프로세서(1100)는 스토리지 장치(1300)에 저장된 데이터를 RAM (1200)에 로드하고, RAM (1200)에 로드된 데이터를 처리할 수 있다. 프로세서(1100)는 RAM (1200)에 저장된 데이터 중 장기적으로 보존하고자 하는 데이터를 스토리지 장치(1300)에 저장할 수 있다.

[0202] 스토리지 장치(1300)는 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등과 같은 불휘발성 메모리를 포함할 수 있다.

[0203] 모뎀(1400)은 프로세서(1100)의 제어에 따라 외부 장치와 통신을 수행할 수 있다. 예를 들어, 모뎀(1400)은 외부 장치와 유선 또는 무선 통신을 수행할 수 있다. 모뎀(140)은 LTE (Long Term Evolution), 와이맥스(WiMax), GSM (Global System for Mobile communication), CDMA (Code Division Multiple Access), 블루투스(Bluetooth), NFC (Near Field Communication), 와이파이(WiFi), RFID (Radio Frequency IDentification) 등과 같은 다양한 무선 통신 방식들, 또는 USB (Universal Serial Bus), SATA (Serial AT Attachment), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), 파이어와이어(Firewire), PCI

(Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), SDIO, UART (Universal Asynchronous Receiver Transmitter), SPI (Serial Peripheral Interface), HS-SPI (High Speed SPI), RS232, I2C (Inter-integrated Circuit), HS-I2C, I2S, (Integrated-interchip Sound), S/PDIF (Sony/Philips Digital Interface), MMC (MultiMedia Card), eMMC (embedded MMC) 등과 같은 다양한 유선 통신 방식들 중 적어도 하나에 기반하여 통신을 수행할 수 있다.

[0204] 사용자 인터페이스(1500)는 프로세서(1100)의 제어에 따라 사용자와 통신할 수 있다. 예를 들어, 사용자 인터페이스(1500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(150)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.

[0205] 스토리지 장치(1300)는 본 발명의 실시 예에 따른 스토리지 장치(100)를 포함할 수 있다. 프로세서(1100), RAM (1200), 모뎀(1400), 그리고 사용자 인터페이스(1500)는 스토리지 장치(1300)와 통신하는 호스트 장치를 형성할 수 있다.

[0206] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0207] 100; 스토리지 장치

110; 불휘발성 메모리

111; 메모리 셀 어레이

113; 어드레스 디코더 회로

115; 페이지 버퍼 회로

117; 데이터 입출력 회로

119; 제어 로직 회로

120; 메모리 컨트롤러

121; 버스

122; 프로세서

123; 랜덤 액세스 메모리

124; 에러 정정 블록

125; 호스트 인터페이스

126; 버퍼 컨트롤 회로

127; 메모리 인터페이스

130; 랜덤 액세스 메모리

1000; 컴퓨팅 장치

1100; 프로세서

1200; 랜덤 액세스 메모리

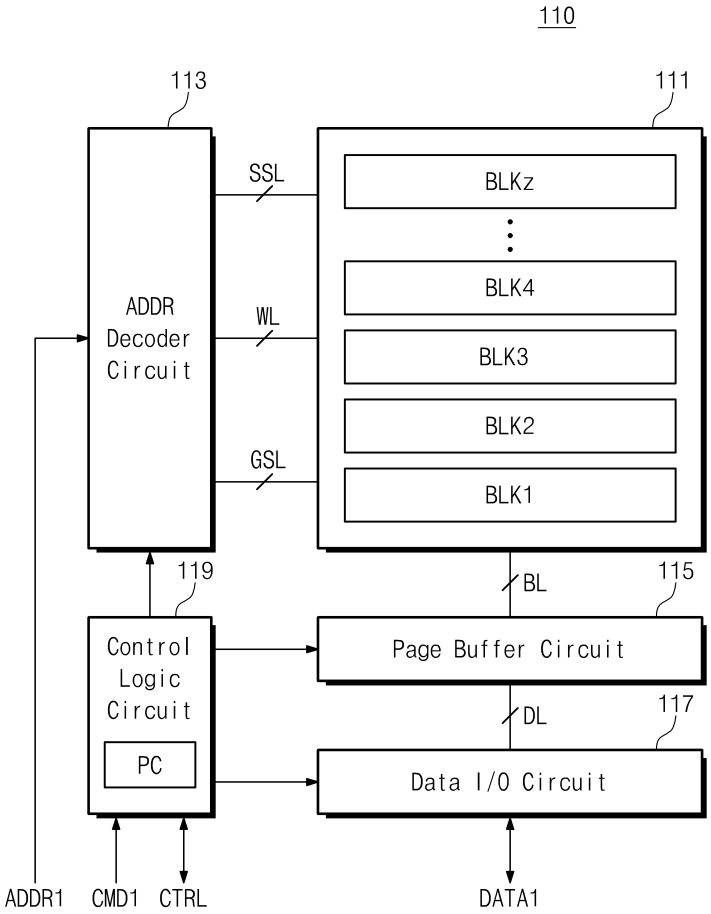
1300; 스토리지 장치

1400; 모뎀

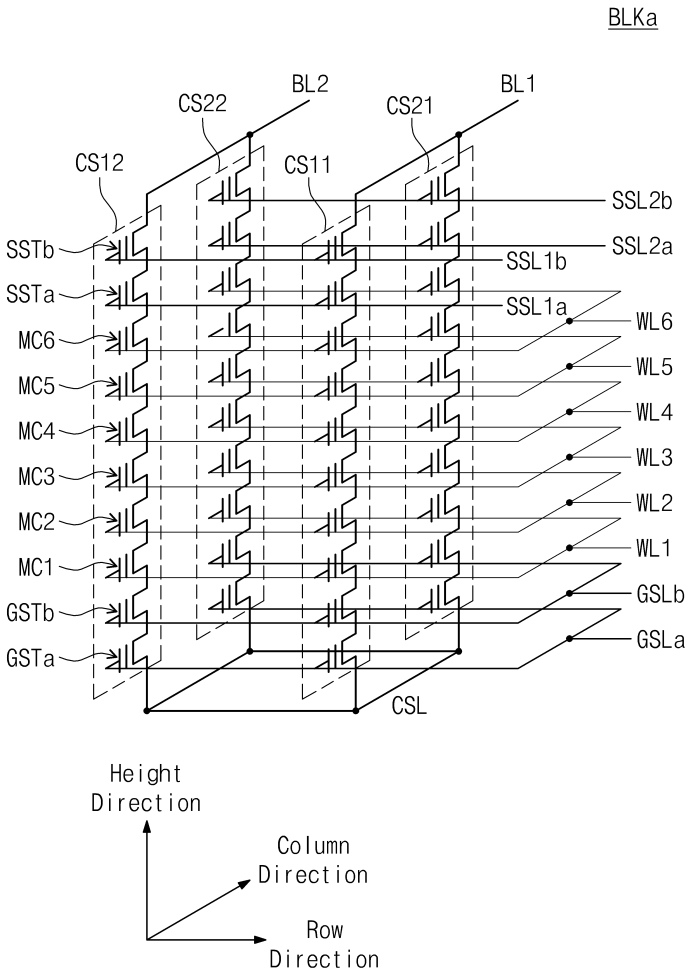
1500; 사용자 인터페이스

도면

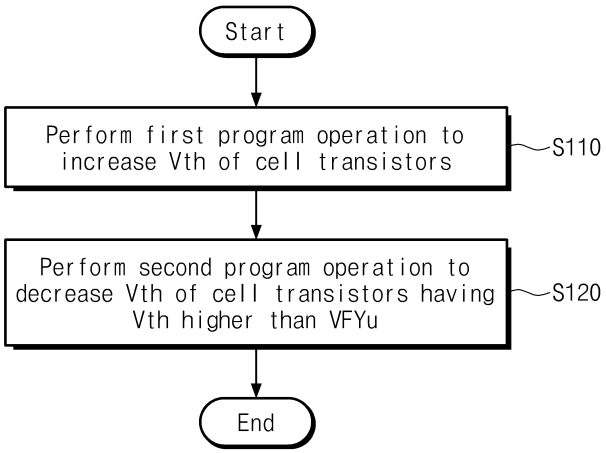
도면1



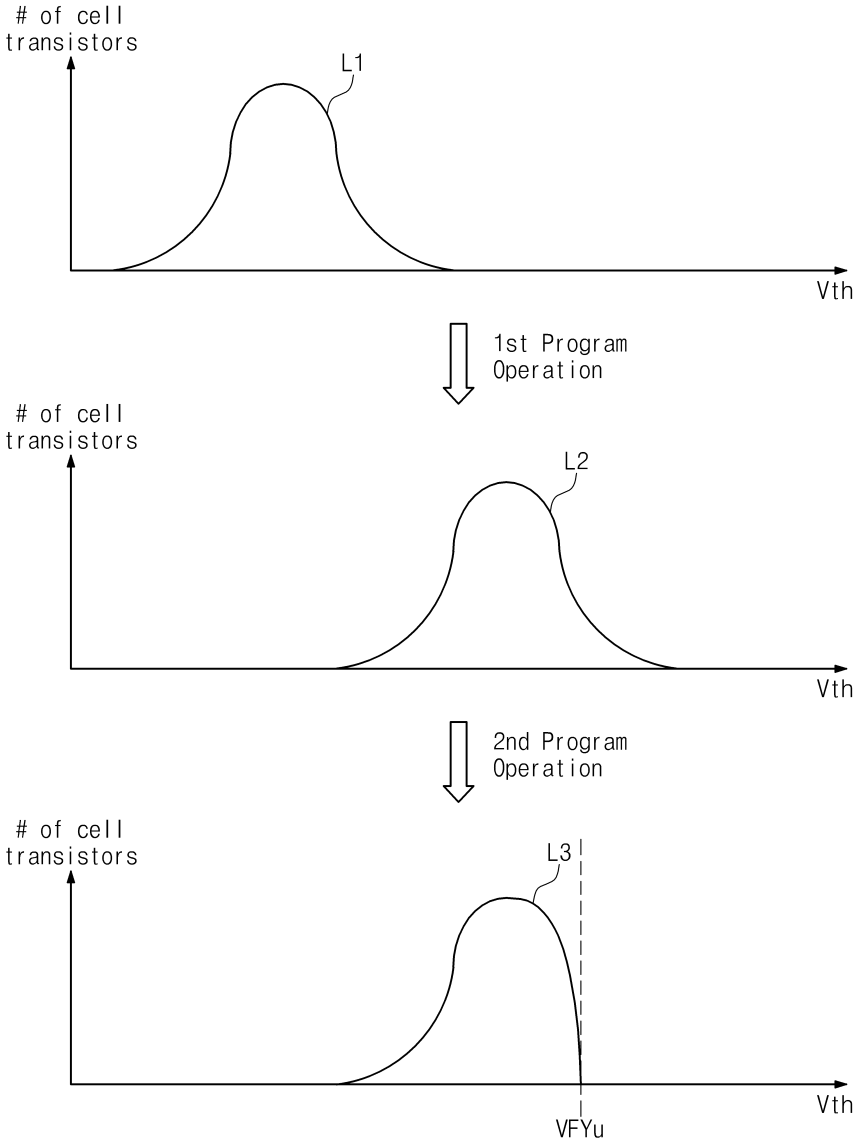
도면2


BLKa
BL2
BL1
CS22
CS21
CS12
CS11
SSL2b
SSL2a
SSL1b
SSL1a
SSTb
SSTa
MC6
MC5
MC4
MC3
MC2
MC1
GSTb
GSTa
WL6
WL5
WL4
WL3
WL2
WL1
GSLb
GSLa
CSL
Height Direction
Column Direction
Row Direction

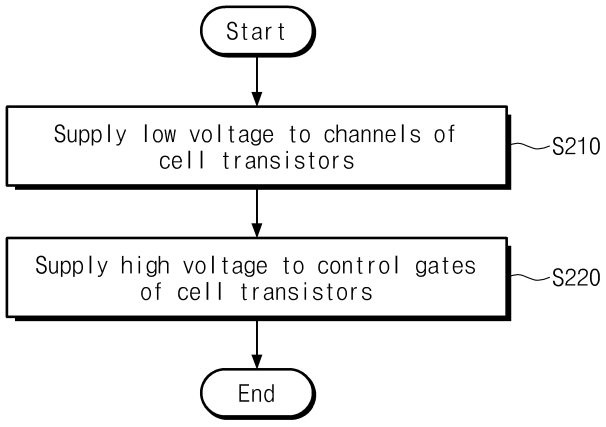
도면3


Start
Perform first program operation to increase Vth of cell transistors
S110
Perform second program operation to decrease Vth of cell transistors having Vth higher than VFYu
S120
End

도면4


# of cell transistors
L1
Vth
1st Program Operation
# of cell transistors
L2
Vth
2nd Program Operation
# of cell transistors
L3
Vth
VFYu

도면5


Start
Supply low voltage to channels of cell transistors
S210
Supply high voltage to control gates of cell transistors
S220
End

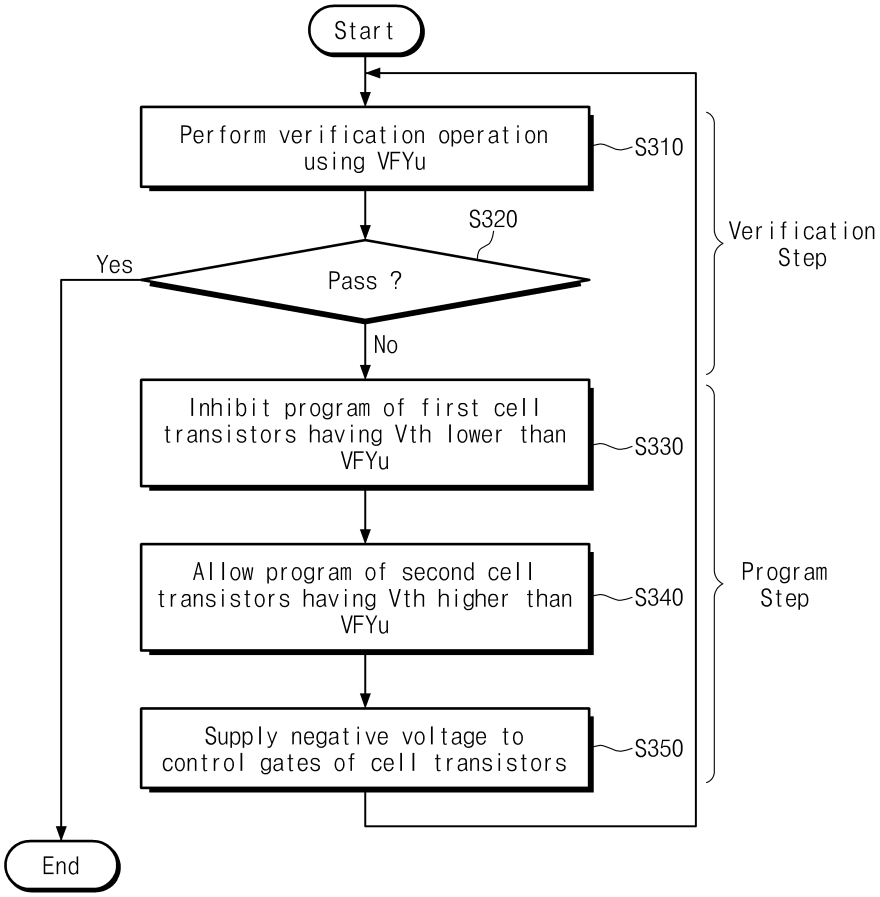
도면6

BL	VBL1(Low)
SSL	VSSL1(High)
Unselected WL	VPASS1
Selected WL	VPGM1
GSL	VGSL1(High)
CSL	VCSL1(Low)

도면7

BL	VBL2(Low)
SSL	VSSL2(High)
WL	VPASS2
Unselected GSL	VGSL2(High)
Selected GSL	VPGM2
CSL	VCSL2(Low)

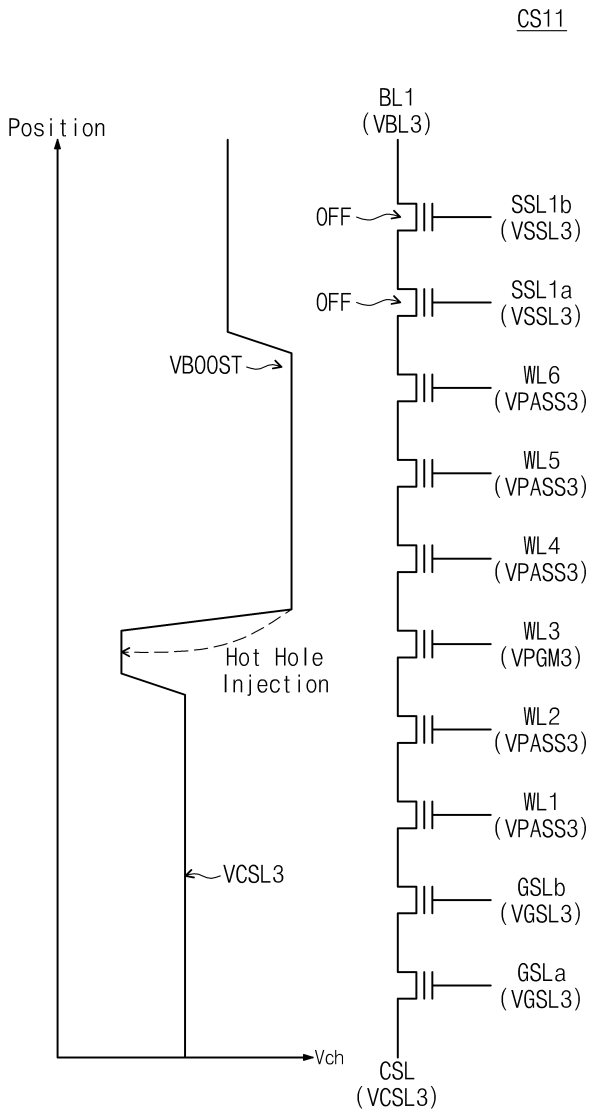
도면8



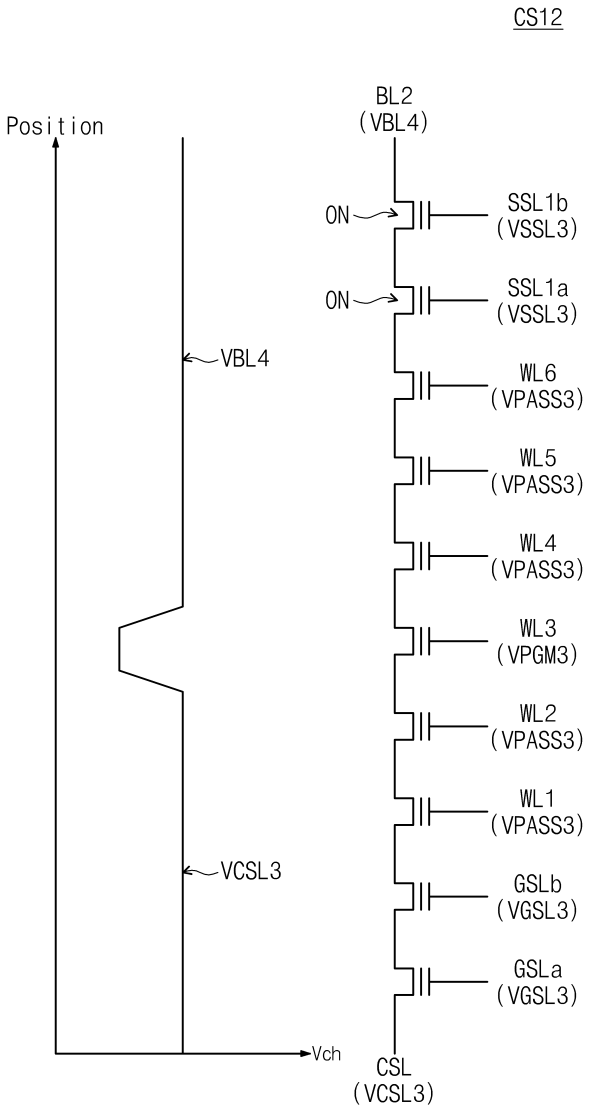
도면9

Unselected BL	VBL4(Low)
Selected BL	VBL3(High)
Unselected SSL	VSSL4(High)
Selected SSL	VSSL3(High)
Unselected WL	VPASS3
Selected WL	VPGM3(Negative)
GSL	VGSL3(High)
CSL	VCSL3(Low)

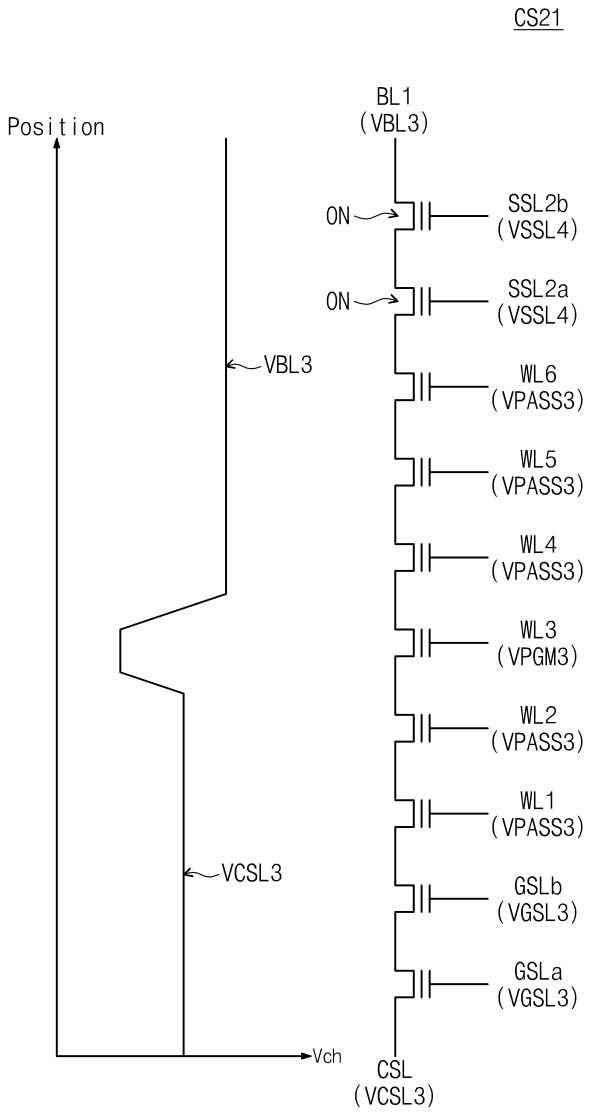
도면10



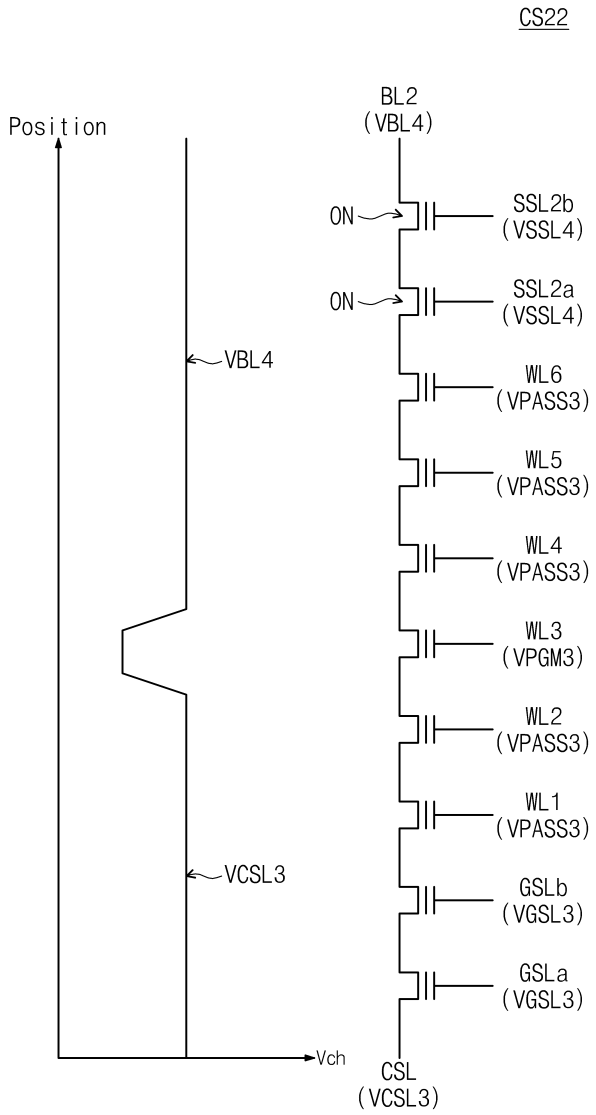
도면11


CS12
Position
BL2
(VBL4)
ON
SSL1b
(VSSL3)
ON
SSL1a
(VSSL3)
VBL4
WL6
(VPASS3)
WL5
(VPASS3)
WL4
(VPASS3)
WL3
(VPGM3)
WL2
(VPASS3)
WL1
(VPASS3)
VCSL3
GSLb
(VGSL3)
GSLa
(VGSL3)
Vch
CSL
(VCSL3)

도면12


CS21
Position
BL1
(VBL3)
ON
SSL2b
(VSSL4)
ON
SSL2a
(VSSL4)
VBL3
WL6
(VPASS3)
WL5
(VPASS3)
WL4
(VPASS3)
WL3
(VPGM3)
WL2
(VPASS3)
WL1
(VPASS3)
VCSL3
GSLb
(VGSL3)
GSLa
(VGSL3)
Vch
CSL
(VCSL3)

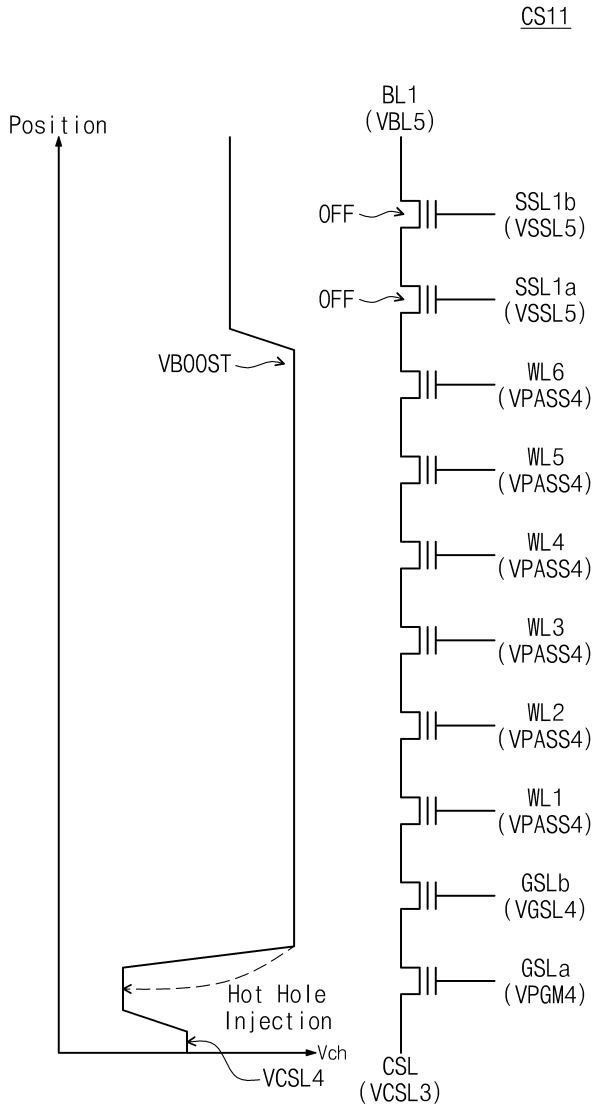
도면13



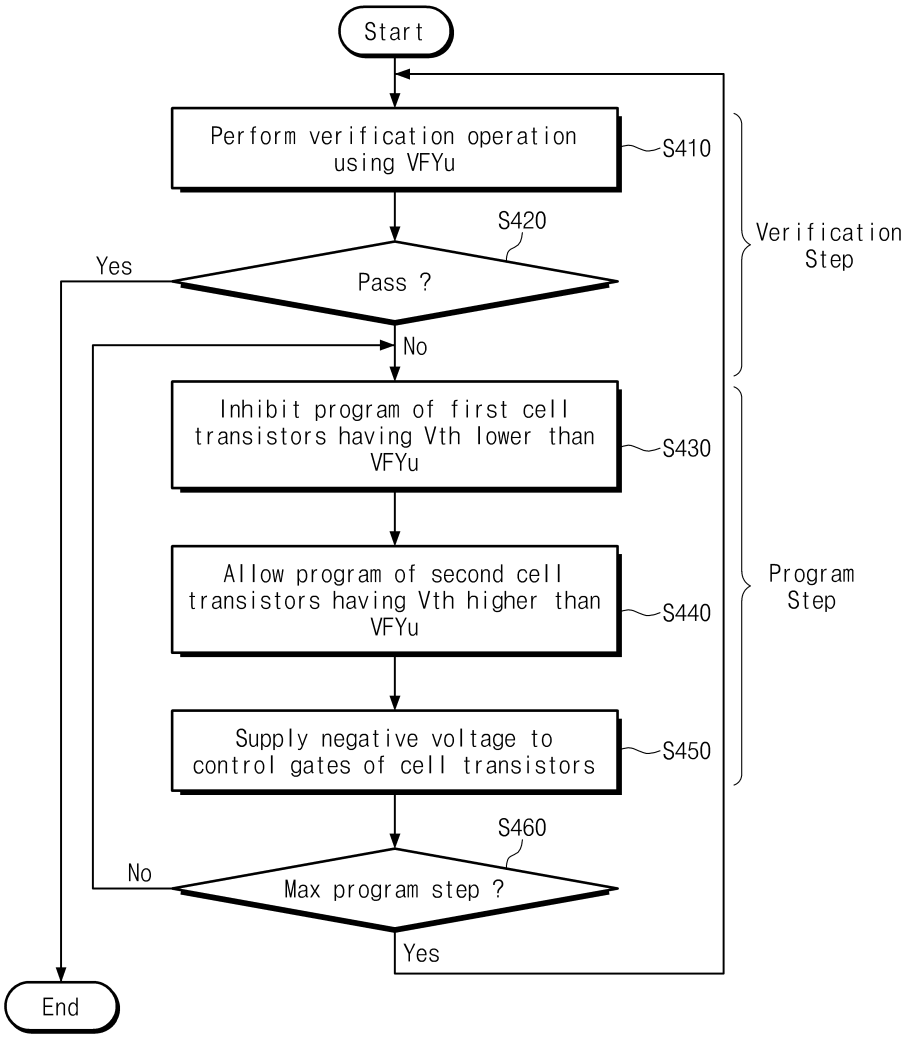
도면14

Unselected BL	VBL6(Low)
Selected BL	VBL5(High)
Unselected SSL	VSSL6(High)
Selected SSL	VSSL5(High)
WL	VPASS4
Unselected GSL	VGSL4(High)
Selected GSL	VPGM4(Negative)
CSL	VCSL4(Low)

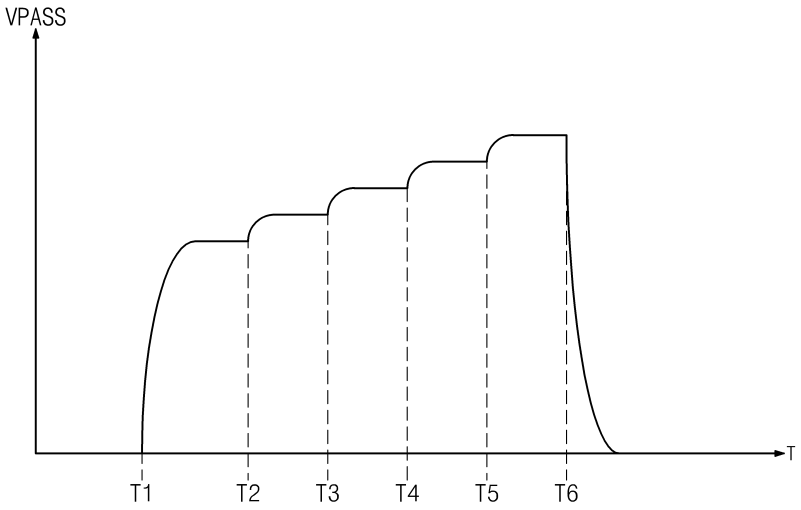
도면15


CS11
Position
BL1
(VBL5)
OFF
SSL1b
(VSSL5)
OFF
SSL1a
(VSSL5)
VBOOST
WL6
(VPASS4)
WL5
(VPASS4)
WL4
(VPASS4)
WL3
(VPASS4)
WL2
(VPASS4)
WL1
(VPASS4)
GSLb
(VGSL4)
GSLa
(VPGM4)
Hot Hole
Injection
Vch
VCSL4
CSL
(VCSL3)

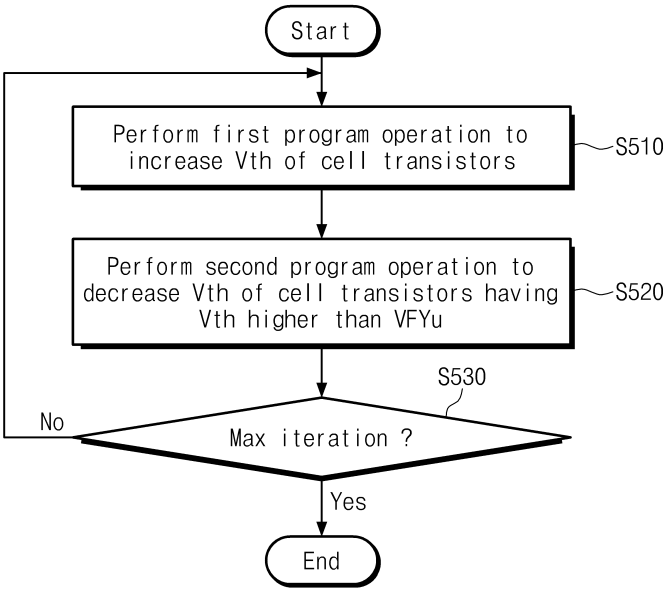
도면16


Start
Perform verification operation using VFYu
S410
S420
Pass ?
Yes
No
Verification Step
Inhibit program of first cell transistors having Vth lower than VFYu
S430
Allow program of second cell transistors having Vth higher than VFYu
S440
Supply negative voltage to control gates of cell transistors
S450
S460
Max program step ?
No
Yes
Program Step
End

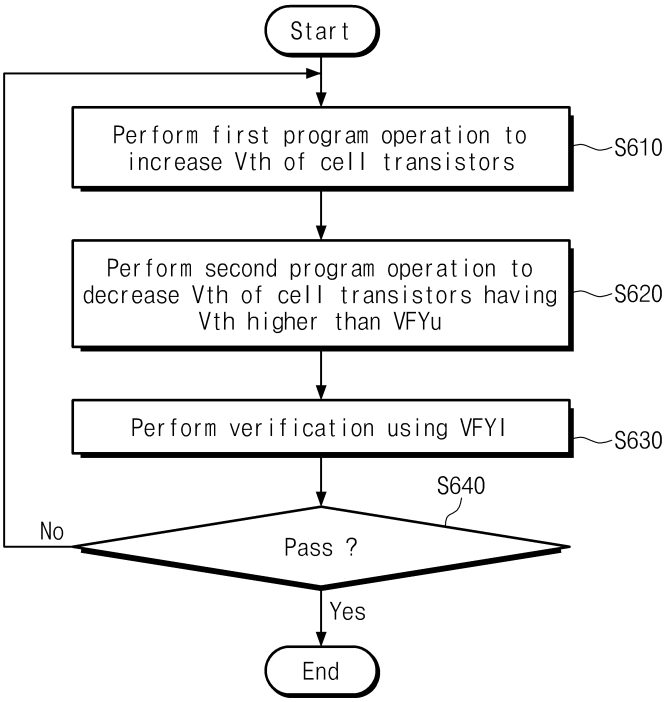
도면17


VPASS
T
T1
T2
T3
T4
T5
T6

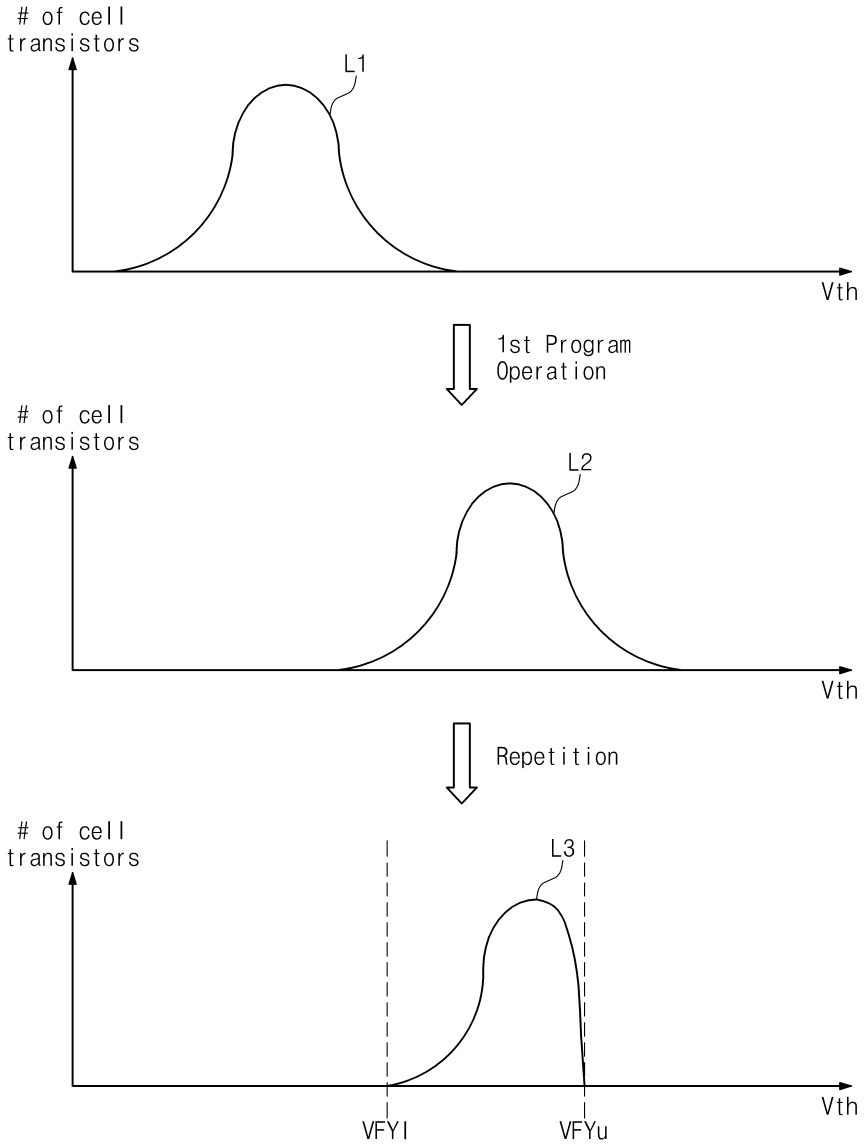
도면18


Start
Perform first program operation to increase Vth of cell transistors
S510
Perform second program operation to decrease Vth of cell transistors having Vth higher than VFYu
S520
S530
Max iteration ?
No
Yes
End

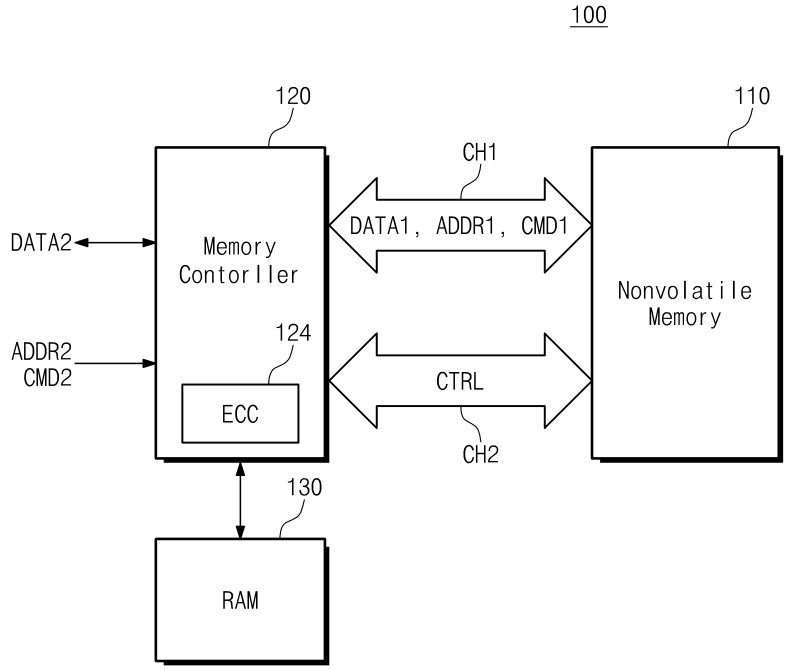
도면19


Start
Perform first program operation to increase Vth of cell transistors
S610
Perform second program operation to decrease Vth of cell transistors having Vth higher than VFYu
S620
Perform verification using VFYI
S630
S640
Pass ?
No
Yes
End

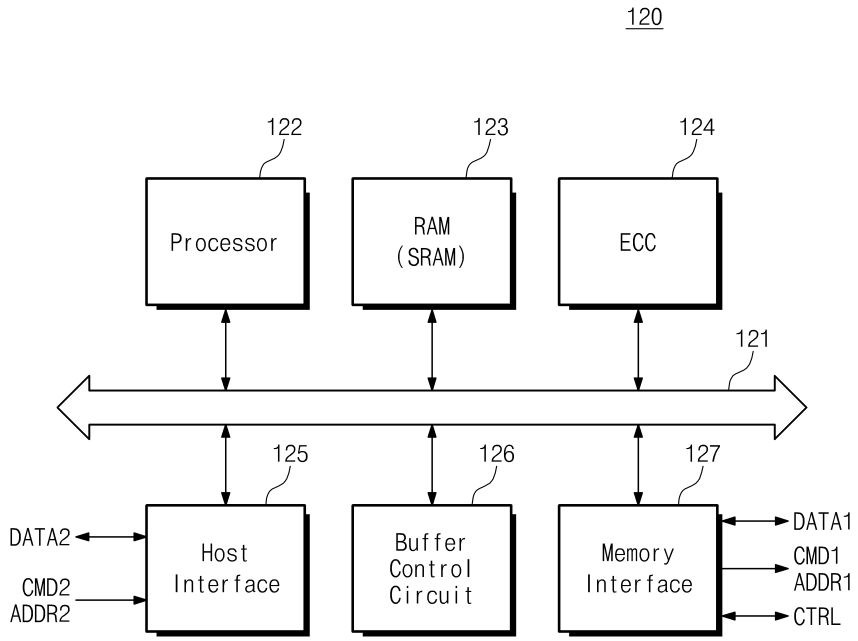
도면20


# of cell transistors
L1
Vth
1st Program Operation
# of cell transistors
L2
Vth
Repetition
# of cell transistors
L3
VFYl
VFYu
Vth

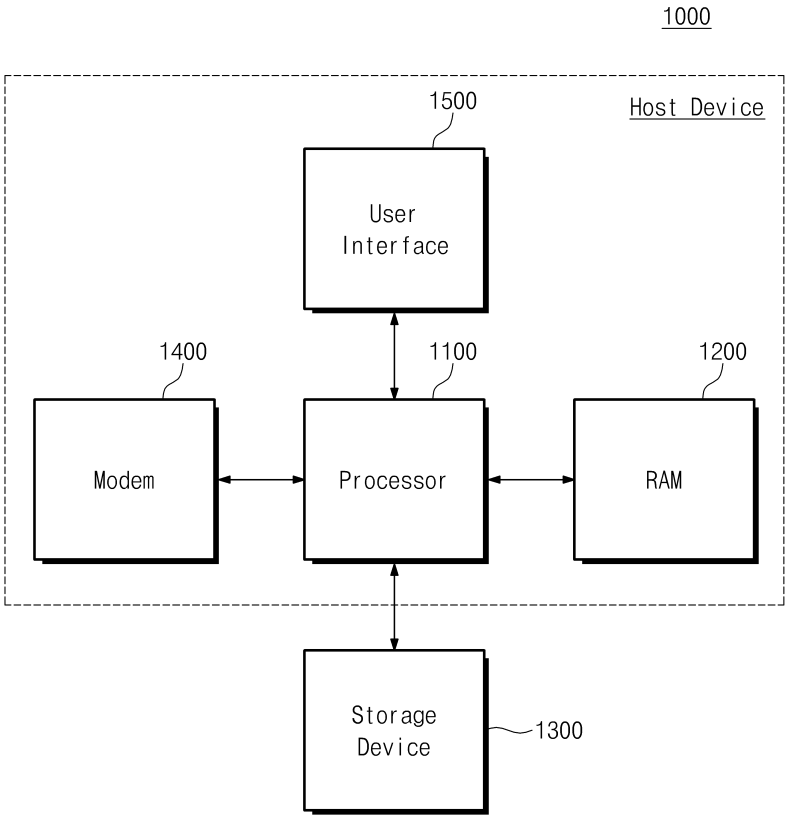
도면21


100
120
110
CH1
DATA1, ADDR1, CMD1
DATA2
Memory
Contorller
Nonvolatile
Memory
ADDR2
CMD2
124
ECC
CTRL
CH2
130
RAM

도면22


120
122
123
124
Processor
RAM
(SRAM)
ECC
121
125
126
127
DATA2
CMD2
ADDR2
Host
Interface
Buffer
Control
Circuit
Memory
Interface
DATA1
CMD1
ADDR1
CTRL

도면23


1000
Host Device
1500
User Interface
1400
1100
1200
Modem
Processor
RAM
Storage Device
1300