

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023年7月6日 (06.07.2023)

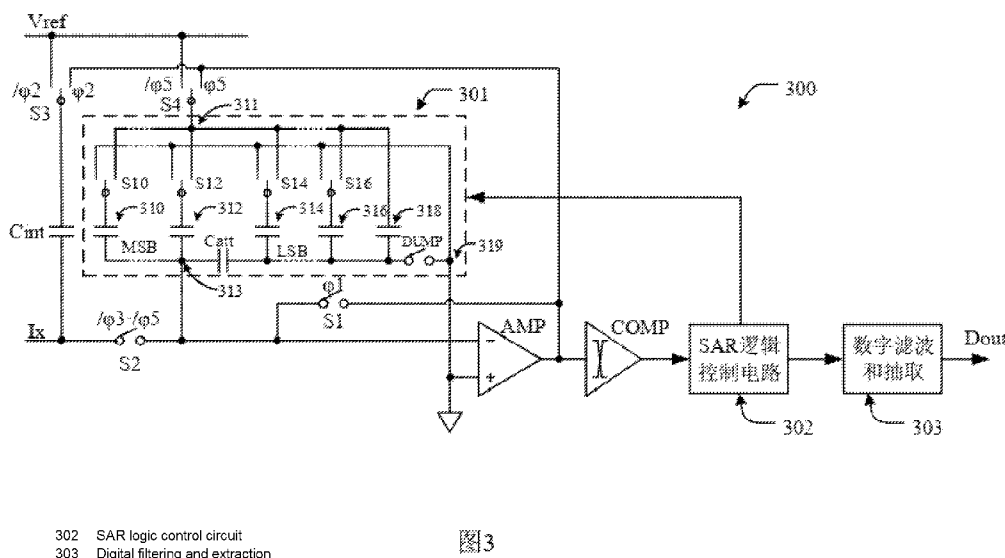


(10) 国际公布号
WO 2023/124118 A1

- (51) 国际专利分类号:
H03M 1/46 (2006.01)
- (21) 国际申请号: PCT/CN2022/113211
- (22) 国际申请日: 2022年8月18日 (18.08.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202111617749.7 2021年12月27日 (27.12.2021) CN
- (71) 申请人: 圣邦微电子(北京)股份有限公司(SG MICRO CORP) [CN/CN]; 中国北京市海淀区西三环北路87号11层4-1106, Beijing 100089 (CN)。
- (72) 发明人: 谭磊(TAN, Lei); 中国北京市海淀区西三环北路87号11层4-1106, Beijing 100089 (CN)。
- (74) 代理人: 北京成创同维知识产权代理有限公司(TOWIN INTELLECTUAL PROPERTY AGENCY LTD.); 中国北京市海淀区丰豪东路9号院中关村集成电路设计园2号楼D座906室, Beijing 100094 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: ANALOG-TO-DIGITAL CONVERTER AND OPERATION METHOD THEREFOR

(54) 发明名称: 一种模数转换器及其操作方法



(57) Abstract: Disclosed in the present invention is an analog-to-digital converter and an operation method therefor. One conversion frame of the analog-to-digital converter comprises a plurality of sub-periods, and at least the following operations are executed within each sub-period: a residual charge storage stage, an integration stage, a charge re-transfer stage and an SAR conversion stage. The analog-to-digital converter comprises a capacitive digital-to-analog converter and an auxiliary capacitor, wherein the auxiliary capacitor is configured to store, in the residual charge storage stage, residual charges generated by the capacitive digital-to-analog converter in the previous sub-period, to integrate, together with a weight capacitor array of the capacitive digital-to-analog converter, an input current signal in the integration stage, and to transfer integral charges of the current sub-period to the weight capacitor array in the charge



WO 2023/124118 A1



(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

re-transfer stage, such that the continuous integration of an input current signal in the whole conversion frame by the analog-to-digital converter is ensured, thereby improving the time utilization rate and the signal-to-noise ratio.

(57) 摘要: 本发明公开了一种模数转换器及其操作方法。该模数转换器的一个变换帧中包括多个子周期, 且在每个子周期至少执行如下操作: 残余电荷储存阶段、积分阶段、电荷再转移阶段以及SAR变换阶段, 其中, 所述模数转换器包括电容型数模转换器和辅助电容, 该辅助电容配置为在残余电荷储存阶段存储上一子周期由电容型数模转换器产生的残余电荷, 在积分阶段与电容型数模转换器的权电容阵列共同对输入电流信号进行积分, 以及在电荷再转移阶段将当前子周期的积分电荷转移至权电容阵列, 保证了模数转换器在整个变换帧中对输入电流信号连续积分, 提高了时间利用率和信噪比。

一种模数转换器及其操作方法

本申请要求了申请日为 2021 年 12 月 27 日、申请号为 202111617749.7、名称为“一种模数转换器及其操作方法”的中国发明申请的优先权，并且通过参照上述中国发明申请的全部说明书、权利要求、附图和摘要的方式，将其引用于本申请。

技术领域

本公开涉及半导体集成电路技术领域，更具体地涉及一种模数转换器及其操作方法。

背景技术

模数转换器（Analog to Digital Converter, ADC）是能够将连续性的模拟信号转换为计算机能够处理的离散性的数字信号的装置，是模拟系统与数字系统接口的关键部件，长期以来一直被广泛应用于雷达、通信、测控、医疗、仪表、图像和音频等领域。随着现代技术的不断发展，这些领域对速度和分辨率的要求不断提升，对模数转换器的要求也越来越高。

目前，模数转换器主要分为两大类：奈奎斯特模数转换器和过采样模数转换器。奈奎斯特模数转换器中最具代表性的种类之一就是逐次逼近型模数转换器（Successive Approximation Register ADC, SAR ADC）。SAR ADC 主要采用数字逻辑单元结构，如图 1 所示，SAR ADC100 包括采样保持电路 110、寄存比较器 120、SAR 逻辑控制电路 130 和电容型数模转换器（ADAC）140。采样保持电路 110 根据采样时钟对模拟输入信号 V_{in} 进行采样，并提供至寄存比较器 120，寄存比较器 120 将该模拟输入信号 V_{in} 与电容型数模转换器 140 产生的模拟电压量进行比较，SAR 逻辑控制电路 130 根据寄存比较器 120 的比较结果产生逻辑控制信号，反馈控制电容型数模转换器 140 产生新的模拟电压量去逼近模拟输

入信号，直到该模拟电压量与模拟输入信号近似相等时，该模拟电压量对应的数码输出为 SAR ADC100 的输出 Dout。SAR ADC 的结构简单且具有较高的功效和速度，但是由于比较器噪声和 DAC 建立误差的存在，SAR ADC 的精度一般被限制在 8~12bits 范围内，因此 SAR ADC 广泛应用于中等速度和中等精度的领域。

过采样模数转换器应用最为广泛的是 $\Sigma - \Delta$ ADC，其结构框图如图 2 所示， $\Sigma - \Delta$ ADC200 包括 $\Sigma - \Delta$ 调制器和数字滤波和抽取电路 250， $\Sigma - \Delta$ 调制器包括加法器 210、积分器 220、寄存比较器 230，以及包含 1 位 DAC240 的反馈环路（该 DAC 为简单开关，将差分放大器的负输入端接正或负基准电压），反馈 DAC 的目的是将积分器的平均输出维持在接近比较器的基准电平。 $\Sigma - \Delta$ 调制器以极高的抽样频率对输入信号 Vin 进行抽样，并对两个抽样之间的差值进行低位量化，从而得到用低位数码表示的 1 位数据流，然后由数字滤波和抽取电路 250 进行抽取滤波，从而得到高分辨率的线性脉冲编码调制的数字信号 Dout。过采样和噪声整形技术是 $\Sigma - \Delta$ 调制器中应用的两个关键技术，它们分别将带内的噪声降低和移除，能够大大提高模数转换器的精度。但是 1 位的量化器抑制量化噪声所需的高过采样比，这限制了转换速度；另一方面，可利用过采样技术提高奈奎斯特 ADC(如 SAR ADC 和流水线 ADC)的动态范围、信噪比等性能，利用这些 ADC 高速的特性也可实现过采样，但其噪声整形能力缺乏，不能满足高信噪比 (Signal to Noise Ratio, SNR) 的需求。

发明内容

有鉴于此，本公开的目的在于提供一种模数转换器及其操作方法，可以同时兼顾模数转换器的分辨率和变换速度。

根据本公开实施例的一方面，提供了一种模数转换器，所述模数转换器的一个变换帧中包括多个子周期，且在每个子周期所述模数转换器至少执行如下操作：残余电荷储存阶段、积分阶段、电荷再转移阶段以及 SAR 变换阶段，其中，所述模数转换器包括：电容型数模转换器，包括权电容阵列，其通过切换产生残余电荷；辅助电容，其配置为在所述

残余电荷储存阶段存储上一子周期由所述电容型数模转换器产生的所述残余电荷，在所述积分阶段与所述权电容阵列共同对输入电流信号进行积分，以及在所述电荷再转移阶段将当前子周期的积分电荷转移至所述权电容阵列；放大器，其分别耦接电容型数模转换器和所述辅助电容，用于实现所述辅助电容与所述电容型数模转换器的权电容阵列之间的电荷转移；比较器，其输入端与所述放大器的输出端耦接，用于将所述放大器的输出量化位数字码；SAR 逻辑控制电路，用于在所述 SAR 变换阶段基于所述数字码控制所述电容型数模转换器切换，以逐次逼近的方式不断产生每一位输出，直至量化结束；以及数字滤波和抽取电路，用于对所述 SAR 逻辑控制电路的输出码取多次平均，以得到所述输入电流信号对应的数字输出信号。

可选的，所述模数转换器的一个变换帧还包括初始化阶段，以及在所述初始化阶段所述电容型数模转换器的权电容阵列以及所述辅助电容共同被充电至预设电位，其中，所述预设电位等于预设的参考电压与所述放大器的失调电压之间的电压差。

可选的，在所述变换帧的每个子周期还包括位于所述残余电荷储存阶段之后的复位阶段，以及在所述复位阶段所述电容型数模转换器的权电容阵列再次被充电至所述预设电位。

可选的，所述模数转换器配置为：在所述残余电荷储存阶段将所述辅助电容耦接于所述放大器的负输入端和输出端，以通过所述放大器抽取所述权电容阵列上的残余电荷。

可选的，所述模数转换器配置为：在所述积分阶段分别将所述辅助电容和所述电容型数模转换器的权电容阵列耦接于预设参考电压和所述输入电流信号之间，以对所述输入电流信号进行积分。

可选的，所述模数转换器配置为：在所述电荷再转移阶段将所述电容型数模转换器的权电容阵列耦接于所述放大器的负输入端和输出端之间，以通过所述放大器抽取所述辅助电容上的积分电荷。

可选的，所述模数转换器还包括多个开关，所述多个开关通过切换以控制所述辅助电容、所述电容型数模转换器以及所述放大器在不同阶

段的连接状态。

可选的，所述多个开关至少包括第一至第四开关，第一开关用于将所述放大器的负输入端和输出端耦接，第二开关用于将所述权电容阵列的下端与所述输入电流信号耦接，第三开关用于将所述辅助电容的上端与参考电压或所述放大器的输出端耦接，第四开关用于将所述权电容阵列的上端与所述参考电压或所述放大器的输出端耦接。

可选的，所述第一开关受控于第一相信号，所述第二开关受控于第三相信号和第五相信号的互补信号，所述第三开关受控于第二相信号及其互补信号，所述第四开关受控于第五相信号及其互补信号，其中，在每个子周期中，所述第一相信号至所述第五相信号为互不交叠的信号。

可选的，所述权电容阵列具体为二进制电容阵列。

根据本公开实施例的另一方面，提供了一种操作上述的模数转换器的方法，包括：使用辅助电容存储在上一子周期由电容型数模转换器切换所产生的残余电荷；使用所述辅助电容和所述电容型数模转换器的权电容阵列共同对输入电流信号进行积分；将当前子周期所述辅助电容上累积的积分电荷转移至所述权电容阵列；将所述电容型数模转换器的输出量化成数字码，并使用 SAR 逻辑控制电路基于所述数字码控制所述电容型数模转换器切换，以逐次逼近的方式不断产生每一位输出，直至量化结束；重复上述过程，并对所述 SAR 逻辑控制电路的输出码取多次平均，以得到所述输入电流信号对应的数字输出信号。

可选的，所述方法还包括：初始化阶段，以及在所述初始化阶段将所述电容型数模转换器的权电容阵列以及所述辅助电容共同充电至预设电位，其中，所述预设电位等于预设的参考电压与所述放大器的失调电压之间的电压差。

可选的，所述使用辅助电容存储在上一子周期由电容型数模转换器切换所产生的残余电荷之后还包括：将所述电容型数模转换器的权电容阵列再次充电至所述预设电位。

可选的，所述方法还包括：将放大器分别与电容型数模转换器和所述辅助电容耦接，用以实现所述辅助电容与所述电容型数模转换器的权

电容阵列之间的电荷转移。

可选的，所述使用辅助电容存储在上一子周期由电容型数模转换器切换所产生的残余电荷的步骤包括：将所述辅助电容耦接于所述放大器的负输入端和输出端，以通过所述放大器抽取所述权电容阵列上的残余电荷。

可选的，所述使用所述辅助电容和所述电容型数模转换器的权电容阵列共同对输入电流信号进行积分的步骤包括：分别将所述辅助电容和所述电容型数模转换器的权电容阵列耦接于预设参考电压和所述输入电流信号之间，以对所述输入电流信号进行积分。

可选的，所述将当前子周期所述辅助电容上累积的积分电荷转移至所述权电容阵列的步骤包括：将所述电容型数模转换器的权电容阵列耦接于所述放大器的负输入端和输出端之间，以通过所述放大器抽取所述辅助电容上累积的积分电荷。

可选的，所述方法还包括：设置多个开关，通过所述多个开关的切换控制所述辅助电容、所述电容型数模转换器以及所述放大器在不同阶段的连接状态。

可选的，所述设置多个开关的步骤包括：使用第一开关将所述放大器的负输入端和输出端耦接，和/或使用第二开关将所述权电容阵列的下端与所述输入电流信号耦接，和/或使用第三开关将所述辅助电容的上端与参考电压或所述放大器的输出端耦接，和/或使用第四开关将所述权电容阵列的上端与所述参考电压或所述放大器的输出端耦接。

综上所述，本公开的模数转换器包括电容型数模转换器和辅助电容，通过辅助电容和电容型数模转换器的相互抽取和存储的设计，保证了模数转换器在整个变换帧中对输入电流信号连续积分，提高了时间利用率和信噪比。

此外，在本公开的模数转换器中，预先使用 SAR ADC 对输入电流信号进行初步量化，然后使用辅助电容对初步量化后的残差进行抽取，再进行积分型模数变换，多次变换的残差在一个 LSB 对应的权值内，采样带宽内随机分布，从而表现为理想的白噪声，所以不仅可以消除 DAC

的量化误差，而且可以加快量化结果的收敛速度，同时兼顾了模数转换器的分辨率和变换速度。

此外，本公开的模数转换器以电容型数模转换器中的权电容阵列作为主要的积分电容，辅助电容只需要在积分阶段维持积分不间断，因此辅助电容可以采用小容量的电容，工程实现简单，并且可以缩小电路的面积，降低成本。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚。

图 1 示出了一种逐次逼近型模数转换器的结构示意图；

图 2 示出了一种 $\Sigma - \Delta$ 模数转换器的结构示意图；

图 3 示出了本公开实施例的模数转换器的结构示意图；

图 4 示出了本公开实施例的模数转换器的时序示意图。

具体实施方式

以下将参照附图更详细地描述本公开。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。此外，在图中可能未示出某些公知的部分。

在下文中描述了本公开的许多特定的细节，例如部件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

应当理解，在以下的描述中，“电路”可包括单个或多个组合的硬件电路、可编程电路、状态机电路和/或能存储由可编程电路执行的指令的元件。当称元件或电路“连接到”或者“耦接到”另一元件，或称元件/电路“连接在”或者“耦接在”两个节点之间时，它可以直接耦接或连接到另一元件或者二者之间也可以存在中间元件，元件之间的连接或耦接可以是物理上的、逻辑上的、或者其结合。相反，当称元件“直接耦接到”或“直接连接到”另一元件时，意味着两者不存在中间元件。

图3示出了本公开实施例的模数转换器的结构示意图,如图3所示,本公开设计的模数转换器300包括:电容型数模转换器(CDAC)301、放大器AMP、比较器COMP、SAR逻辑控制电路302、数字滤波和抽取电路303、辅助电容Cint以及多个开关S1~S4。

如图3所示,电容型数模转换器301可以包括多个权电容器,例如二进制权电容器 $2^{N-1}C \cdots C$,以及开关,例如在310~318处示出的电容,以及开关S10~S16。其中权电容器310和312对应权重较高的量化位,为高位电容(MSB),权电容器314和316对应权重较低的量化位,为低位电容(LSB),桥接电容Catt耦接在高位电容阵列MSB和低位电容阵列LSB之间,以保证高位电容阵列和低位电容阵列的权重满足二进制关系,即在电容型数模转换器301中,低位电容阵列的总电容的权重和高位电容阵列的最低位电容的权重大小相等。开关S10~S16具有两个接线端和一个公共端,一个接线端与节点311耦接,另一个接线端与地耦接,开关S10~S16的公共端分别与权电容器310~316的上端耦接。此外,电容型数模转换器301还包括开关DUMP,开关DUMP用于在初始化阶段将电容型数模转换器301中的多个权电容的下端接地。

开关S1的一端与放大器AMP的负输入端耦接,另一端与放大器AMP的输出端耦接,放大器AMP的非负输入端与地耦接,且与电容型数模转换器301的节点319耦接。其中开关S1受控于相信号 ϕ_1 ,当相信号 ϕ_1 为高电平时,开关S1闭合,将放大器AMP连接成跟随器结构;当相信号 ϕ_1 为低电平时,开关S1断开。

开关S2的一端与输入电流信号Ix耦接,另一端与电容型数模转换器301中的权电容器310和312的下端耦接于节点313,并且与放大器AMP的负输入端耦接。其中开关S2受控于相信号 ϕ_3 和 ϕ_5 的互补信号/ ϕ_3 和/ ϕ_5 ,当相信号 ϕ_3 和 ϕ_5 都为低电平时,其互补信号/ ϕ_3 和/ ϕ_5 为高电平,开关S2闭合,反之,开关S2断开。

开关S3包括两个接线端和一个公共端,其中第一接线端与参考电压Vref耦接,第二接线端与放大器AMP的输出端耦接,开关S3的公共端与辅助电容Cint的一端耦接,辅助电容Cint的另一端与输入电流信号

I_x 耦接。其中开关 S3 受控于相信号 ϕ_2 和 $\bar{\phi}_2$ ，其中信号 $\bar{\phi}_2$ 为相信号 ϕ_2 的互补信号。开关 S3 用于根据相信号 ϕ_2 控制辅助电容 C_{int} 的工作状态，当相信号 ϕ_2 为低电平时，其互补信号 $\bar{\phi}_2$ 为高电平，开关 S3 接通第一接线端和公共端，将辅助电容 C_{int} 的上端与参考电压 V_{ref} 耦接；当相信号 ϕ_2 为高电平时，开关 S3 接通第二接线端和公共端，将辅助电容 C_{int} 的上端与放大器 AMP 的输出端耦接。

开关 S4 包括两个接线端和一个公共端，其中第一接线端与参考电压 V_{ref} 耦接，第二接线端与放大器 AMP 的输出端耦接，开关 S4 的公共端与电容型数模转换器 301 的节点 311 耦接。其中开关 S4 受控于相信号 ϕ_5 和 $\bar{\phi}_5$ ，其中信号 $\bar{\phi}_5$ 为相信号 ϕ_5 的互补信号。开关 S4 用于根据相信号 ϕ_5 控制电容型数模转换器 301 中的权电容阵列的工作状态，当相信号 ϕ_5 为低电平时，其互补信号 $\bar{\phi}_5$ 为高电平，开关 S4 接通第一接线端和公共端，将电容型数模转换器 301 中的权电容阵列的上端与参考电压 V_{ref} 耦接；当相信号 ϕ_5 为高电平时，开关 S4 接通第二接线端和公共端，将电容型数模转换器 301 中的权电容阵列的上端与放大器 AMP 的输出端耦接。

比较器 COMP 的输入端与放大器 AMP 的输出端耦接，比较器 COMP 用于在 SAR 变换阶段将放大器 AMP 的输出量化成数字码。在 SAR 变换阶段，放大器 AMP 处于开环状态，增益非常高，从放大器 AMP 的输入看，比较器 COMP 的阈值偏差的影响比较小，因此在一些实施例中，比较器 COMP 例如通过逻辑量化比较器来实现，即标准的逻辑门，这时的量化阈值分别对应逻辑门中互补输入的上管和下管的夹断电压。比较器 COMP 的输出端与 SAR 逻辑控制电路 302 耦接，SAR 逻辑控制电路 302 用于根据该数字码控制电容型数模转换器 301 中的 SAR (逐次逼近) 变换，以逐次逼近方式从高到低不断产生 SAR ADC 的每一位输出，直到整个量化结束，最终得到 SAR ADC 的输出码。数字滤波和抽取电路 303 与 SAR 逻辑控制电路 302 耦接，用于将 SAR 逻辑控制电路转换后的输出码取多次平均后输出，得到整个模数转换器 300 的数字输出信号 D_{out}。

可以理解，本公开的模数转换器 300 中的 SAR 变换过程与传统的 SAR ADC 的变换过程相似，首先在积分和采样阶段将输入电流信号 I_x 以电荷的形式存储在二进制排列的权电容器上，然后在 SAR 变换阶段为逐比特确认的过程，电容型数模转换器 301 的比特值根据比较器 COMP 的输出进行调整。SAR 变换可以从 CDAC 设置为最低电平、最高电平或中间电平开始，比较器 COMP 确定放大器 AMP 的输出是偏高还是偏低，并且结果被存储为电容型数模转换器 301 的该位的 1 或 0。然后转换进入下一个比特值，直到确定了所有的比特值，整个量化结束。

此外，在电容式 SAR ADC 方法中，在 SAR 变换结束时，在电容型 DAC 的输出端电压仍然不会恰恰是零。残余的电压即待量化的输入电压与 DAC 转换器输出值之间的差值，通常称为“残差”，残差对应于 ADC 的量化误差。本公开的模数转换器 300 还包括对电容型 DAC 的量化误差进行积分型模数变换的过程，不仅可以将量化误差推离感兴趣的信号频带，而且可以加快量化结果的收敛速度，具体结合下面的实施例做进一步的说明。

图 4 示出了本公开实施例的模数转换器的时序示意图。在图 4 中，相信号 $\phi_1 \sim \phi_6$ 为控制图 3 中的多个开关 S1~S4 的控制信号，信号 ϕ_{2d} 、 ϕ_{3d} 和 ϕ_{6d} 为避免多个开关 S1~S4 贯通的延时信号。本公开实施例的模数转换器的每个变换帧 T 包括初始化阶段和多个子周期，每个子周期的操作可分为以下几个阶段：残余电荷储存阶段、复位阶段、积分阶段、电荷再转移阶段以及 SAR 变换阶段。下面结合图 3 和图 4 对本公开的模数转换器的操作方法进行详细说明。

首先在初始化阶段（即相信号 ϕ_1 为高电平的阶段），开关 S1 和 S2 闭合，开关 S3 接通第一接线端和公共端，即将辅助电容 C_{int} 的上端与参考电压 V_{ref} 耦接，开关 S4 接通第一接线端和公共端，即将电容型数模转换器的节点 311 耦接至参考电压 V_{ref} 。此时，放大器 AMP 连接成跟随器结构，此时辅助电容 C_{int} 和电容型数模转换器中的权电容阵列的下极板电位是放大器 AMP 的失调电压 V_{os} ，上极板电位是参考电压 V_{ref} ，即辅助电容 C_{int} 和电容型数模转换器 311 中的权电容阵列共同被充电至

$V_{ref}-V_{os}$ 的电位，其中 V_{os} 为放大器 AMP 的失调电压，在这一阶段中去除放大器 AMP 的失调电压 V_{os} 对转换精度的影响。

在残余电荷储存阶段（即相信号 ϕ_2 为高电平的阶段），开关 S1 断开，开关 S2 闭合，开关 S3 将第二接线端和公共端耦接，即将辅助电容 C_{int} 的上端与放大器 AMP 的输出端耦接，开关 S4 将第一接地线端和公共端耦接，即电容型数模转换器 301 的节点 311 耦接至参考电压 V_{ref} 。此时辅助电容 C_{int} 耦接于放大器 AMP 的负输入端和输出端之间，通过放大器 AMP 将电容型数模转换器 301 在上一子周期中经过开关切换产生的残余电荷存储到辅助电容 C_{int} 上，叠加到辅助电容 C_{int} 的积分电荷上，该残余电荷为电容型数模转换器 301 的最低位（LSB 位）量化后残余的电荷。进一步的，对于每个变换帧 T 的第一个子周期，残余电荷储存阶段 ϕ_2 是紧跟在初始化阶段 ϕ_1 后的，由于辅助电容 C_{int} 和电容型数模转换器 301 中的权电容刚被充电到相同的电位上，因此不存在上述的电荷平衡的过程。

在复位阶段（即相信号 ϕ_3 为高电平阶段），开关 S1 和 S2 断开，开关 S3 和 S4 接通第一接线端和公共端，即分别将辅助电容 C_{int} 和电容型数模转换器 301 的节点 311 耦接到参考电压 V_{ref} 。此时电容型数模转换器 301 中的权电容阵列再次被充电到 $V_{ref}-V_{os}$ 的电位。

在积分阶段（即相信号 ϕ_4 为高电平阶段），开关 S1 断开，开关 S2 闭合，开关 S3 和 S4 接通第一接线端和公共端，即分别将辅助电容 C_{int} 和电容型数模转换器 301 的节点 311 耦接到参考电压 V_{ref} ，此时电容型数模转换器 301 中的多个开关 S10~S16 掷向右侧，即电容型数模转换器 301 中的多个权电容的上极板接参考电压 V_{ref} 。此时电容型数模转换器 301 的权电容阵列和辅助电容 C_{int} 共同对输入电流信号 I_x 进行积分。

在电荷再转移阶段（即相信号 ϕ_5 为高电平阶段），开关 S1 和 S2 断开，开关 S4 接通第二接线端和公共端，即将电容型数模转换器 301 的节点 311 耦接到放大器 AMP 的输出端，此时电容型数模转换器 301 的权电容阵列耦接于放大器 AMP 的负输入端和输出端之间，通过放大器 AMP 将辅助电容 C_{int} 在当前子周期的累积积分电荷转移到电容型数模

转换器 301 的权电容阵列。

在 SAR 变换阶段（即相信号 ϕ_6 为高电平阶段），开关 S1 闭合，开关 S2 断开，开关 S3 和 S4 接通第一接线端和公共端，由 SAR 逻辑控制电路 302 根据比较器 COMP 输出的数字码控制电容型数模转换器 301 中的 SAR（逐次逼近）变换，以逐次逼近方式从高到低不断产生 SAR ADC 的每一位输出，直到整个量化结束，最终得到 SAR ADC 的输出码。不断重复上述的过程，数字滤波和抽取电路 303 将多个子周期中 SAR 逻辑控制电路转换后的输出码取多次平均后输出，最终得到整个模数转换器 300 的数字输出信号 Dout。

进一步的，本公开实施例的模数转换器在每个子周期中，还包括分别位于残余电荷储存阶段、复位阶段以及 SAR 变换阶段之前的第一死区时间 ϕ_{2d} 、第二死区时间 ϕ_{3d} 以及第三死区时间 ϕ_{6d} ，用以防止各相切换之间的开关贯通。

在本公开的模数转换器中，预先使用 SAR ADC 对输入电流信号 I_x 进行初步量化，然后使用辅助电容 C_{int} 对初步量化后的残差进行抽取，再进行积分型模数变换，多次变换的残差在一个 LSB 对应的权值内，采样带宽内随机分布，从而表现为理想的白噪声，所以不仅可以消除 DAC 的量化误差，而且可以加快量化结果的收敛速度，同时兼顾了模数转换器的分辨率和变换速度。

此外，本公开的模数转换器使用辅助电容和权电容阵列相互配合的设计，保证了积分过程的连续。首先，除了开关 S3 切换的瞬间，辅助电容 C_{int} 对输入电流信号 I_x 的积分始终是连续的，并且除了 SAR 变换阶段，其余阶段权电容阵列一直参与对输入电流信号 I_x 的积分，考虑到在电荷再转移阶段 ϕ_5 相将辅助电容 C_{int} 上累积的当前周期的积分电荷转移到权电容阵列，因此整个变换帧 T 里是对输入电流信号 I_x 连续积分累积总电荷的逐次逼近量化，并将量化残差转移到下一次量化的过程，时间利用率高，等效信噪比高。

进一步的，本公开的模数转换器的变换增益主要通过积分阶段的时间来决定，只需要通过控制 ϕ_3 相的时间就可以改变本公开的模数转换

器的变换增益，控制起来非常方便。

综上所述，本公开的模数转换器包括电容型数模转换器和辅助电容，通过辅助电容和电容型数模转换器的相互抽取和存储的设计，保证了模数转换器在整个变换帧中对输入电流信号连续积分，提高了时间利用率和信噪比。

此外，在本公开的模数转换器中，预先使用 SAR ADC 对输入电流信号进行初步量化，然后使用辅助电容对初步量化后的残差进行抽取，再进行积分型模数变换，多次变换的残差在一个 LSB 对应的权值内，采样带宽内随机分布，从而表现为理想的白噪声，所以不仅可以消除 DAC 的量化误差，而且可以加快量化结果的收敛速度，同时兼顾了模数转换器的分辨率和变换速度。

此外，本公开的模数转换器以电容型数模转换器中的权电容阵列作为主要的积分电容，辅助电容只需要在积分阶段维持积分不间断，因此辅助电容可以采用小容量的电容，工程实现简单，并且可以缩小电路的面积，降低成本。

本领域普通技术人员可以理解，本文中使用的与电路运行相关的词语“期间”、“当”和“当……时”不是表示在启动动作开始时立即发生的动作的严格术语，而是在其与启动动作所发起的反应动作(reaction)之间可能存在一些小的但是合理的一个或多个延迟，例如各种传输延迟等。本文中使用词语“大约”或者“基本上”意指要素值(element)具有预期接近所声明的值或位置的参数。然而，如本领域所周知的，总是存在微小的偏差使得该值或位置难以严格为所声明的值。本领域已恰当的确定了，至少百分之十(10%) (对于半导体掺杂浓度，至少百分之二十(20%))的偏差是偏离所描述的准确的理想目标的合理偏差。当结合信号状态使用时，信号的实际电压值或逻辑状态(例如“1”或“0”)取决于使用正逻辑还是负逻辑。

此外，还需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺

序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

依照本公开的实施例如上文所述，这些实施例并没有详尽叙述所有的细节，也不限制该公开仅为所述的具体实施例。显然，根据以上描述，可作很多的修改和变化。本说明书选取并具体描述这些实施例，是为了更好地解释本公开的原理和实际应用，从而使所属技术领域技术人员能很好地利用本公开以及在本公开基础上的修改使用。本公开仅受权利要求书及其全部范围和等效物的限制。

权利要求书

1、一种模数转换器，所述模数转换器的一个变换帧中包括多个子周期，且在每个子周期所述模数转换器至少执行如下操作：残余电荷储存阶段、积分阶段、电荷再转移阶段以及 SAR 变换阶段，其中，所述模数转换器包括：

电容型数模转换器，包括权电容阵列，其通过切换产生残余电荷；

辅助电容，其配置为在所述残余电荷储存阶段存储上一子周期由所述电容型数模转换器产生的所述残余电荷，在所述积分阶段与所述权电容阵列共同对输入电流信号进行积分，以及在所述电荷再转移阶段将当前子周期的积分电荷转移至所述权电容阵列；

放大器，其分别耦接电容型数模转换器和所述辅助电容，用于实现所述辅助电容与所述电容型数模转换器的权电容阵列之间的电荷转移；

比较器，其输入端与所述放大器的输出端耦接，用于将所述放大器的输出量化位数字码；

SAR 逻辑控制电路，用于在所述 SAR 变换阶段基于所述数字码控制所述电容型数模转换器切换，以逐次逼近的方式不断产生每一位输出，直至量化结束；以及

数字滤波和抽取电路，用于对所述 SAR 逻辑控制电路的输出码取多次平均，以得到所述输入电流信号对应的数字输出信号。

2、根据权利要求 1 所述的模数转换器，其中，所述模数转换器的一个变换帧还包括初始化阶段，以及在所述初始化阶段所述电容型数模转换器的权电容阵列以及所述辅助电容共同被充电至预设电位，

其中，所述预设电位等于预设的参考电压与所述放大器的失调电压之间的电压差。

3、根据权利要求 2 所述的模数转换器，其中，在所述变换帧的每个子周期还包括位于所述残余电荷储存阶段之后的复位阶段，以及在所述复位阶段所述电容型数模转换器的权电容阵列再次被充电至所述预设电位。

4、根据权利要求1所述的模数转换器，其中，所述模数转换器配置为：

在所述残余电荷储存阶段将所述辅助电容耦接于所述放大器的负输入端和输出端，以通过所述放大器抽取所述权电容阵列上的残余电荷。

5、根据权利要求1所述的模数转换器，其中，所述模数转换器配置为：

在所述积分阶段分别将所述辅助电容和所述电容型数模转换器的权电容阵列耦接于预设参考电压和所述输入电流信号之间，以对所述输入电流信号进行积分。

6、根据权利要求1所述的模数转换器，其中，所述模数转换器配置为：

在所述电荷再转移阶段将所述电容型数模转换器的权电容阵列耦接于所述放大器的负输入端和输出端之间，以通过所述放大器抽取所述辅助电容上的积分电荷。

7、根据权利要求1所述的模数转换器，其中，还包括多个开关，所述多个开关通过切换以控制所述辅助电容、所述电容型数模转换器以及所述放大器在不同阶段的连接状态。

8、根据权利要求7所述的模数转换器，其中，所述多个开关至少包括第一至第四开关，

第一开关用于将所述放大器的负输入端和输出端耦接，

第二开关用于将所述权电容阵列的下端与所述输入电流信号耦接，

第三开关用于将所述辅助电容的上端与参考电压或所述放大器的输出端耦接，

第四开关用于将所述权电容阵列的上端与所述参考电压或所述放大器的输出端耦接。

9、根据权利要求8所述的模数转换器，其中，所述第一开关受控于第一相信号，所述第二开关受控于第三相信号和第五相信号的互补信号，所述第三开关受控于第二相信号及其互补信号，所述第四开关受控于第五相信号及其互补信号，

其中，在每个子周期中，所述第一相信号至所述第五相信号为互不交叠的信号。

10、根据权利要求 1 所述的模数转换器，其中，所述权电容阵列具体为二进制电容阵列。

11、一种操作权利要求 1-10 任一项所述的模数转换器的方法，包括：
使用辅助电容存储在上一子周期由电容型数模转换器切换所产生的残余电荷；

使用所述辅助电容和所述电容型数模转换器的权电容阵列共同对输入电流信号进行积分；

将当前子周期所述辅助电容上累积的积分电荷转移至所述权电容阵列；

将所述电容型数模转换器的输出量化成数字码，并使用 SAR 逻辑控制电路基于所述数字码控制所述电容型数模转换器切换，以逐次逼近的方式不断产生每一位输出，直至量化结束；

重复上述过程，并对所述 SAR 逻辑控制电路的输出码取多次平均，以得到所述输入电流信号对应的数字输出信号。

12、根据权利要求 11 所述的方法，其中，还包括：初始化阶段，以及在所述初始化阶段将所述电容型数模转换器的权电容阵列以及所述辅助电容共同充电至预设电位，

其中，所述预设电位等于预设的参考电压与所述放大器的失调电压之间的电压差。

13、根据权利要求 12 所述的方法，其中，所述使用辅助电容存储在上一子周期由电容型数模转换器切换所产生的残余电荷之后还包括：将所述电容型数模转换器的权电容阵列再次充电至所述预设电位。

14、根据权利要求 11 所述的方法，其中，还包括：

将放大器分别与电容型数模转换器和所述辅助电容耦接，用以实现所述辅助电容与所述电容型数模转换器的权电容阵列之间的电荷转移。

15、根据权利要求 14 所述的方法，其中，所述使用辅助电容存储在上一子周期由电容型数模转换器切换所产生的残余电荷的步骤包括：

将所述辅助电容耦接于所述放大器的负输入端和输出端，以通过所述放大器抽取所述权电容阵列上的残余电荷。

16、根据权利要求 14 所述的方法，其中，所述使用所述辅助电容和所述电容型数模转换器的权电容阵列共同对输入电流信号进行积分的步骤包括：

分别将所述辅助电容和所述电容型数模转换器的权电容阵列耦接于预设参考电压和所述输入电流信号之间，以对所述输入电流信号进行积分。

17、根据权利要求 14 所述的方法，其中，所述将当前子周期所述辅助电容上累积的积分电荷转移至所述权电容阵列的步骤包括：

将所述电容型数模转换器的权电容阵列耦接于所述放大器的负输入端和输出端之间，以通过所述放大器抽取所述辅助电容上累积的积分电荷。

18、根据权利要求 14 所述的方法，其中，还包括：

设置多个开关，通过所述多个开关的切换控制所述辅助电容、所述电容型数模转换器以及所述放大器在不同阶段的连接状态。

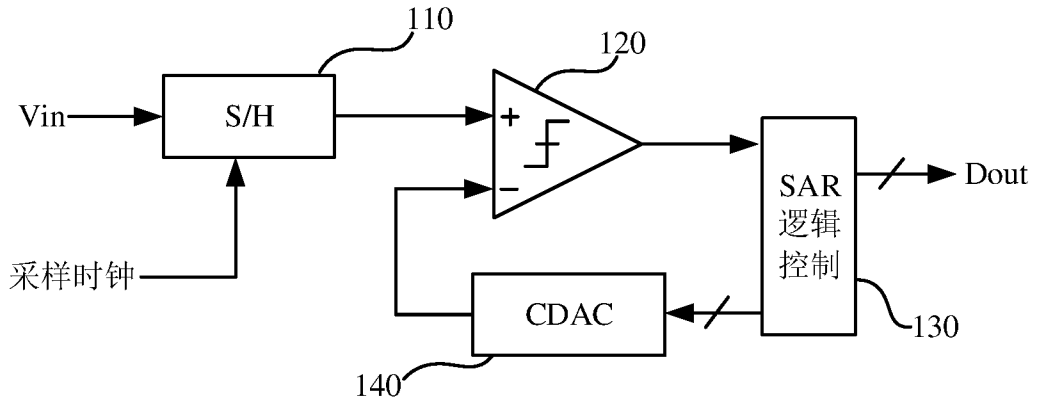
19、根据权利要求 18 所述的方法，其中，所述设置多个开关的步骤包括：

使用第一开关将所述放大器的负输入端和输出端耦接，和/或

使用第二开关将所述权电容阵列的下端与所述输入电流信号耦接，和/或

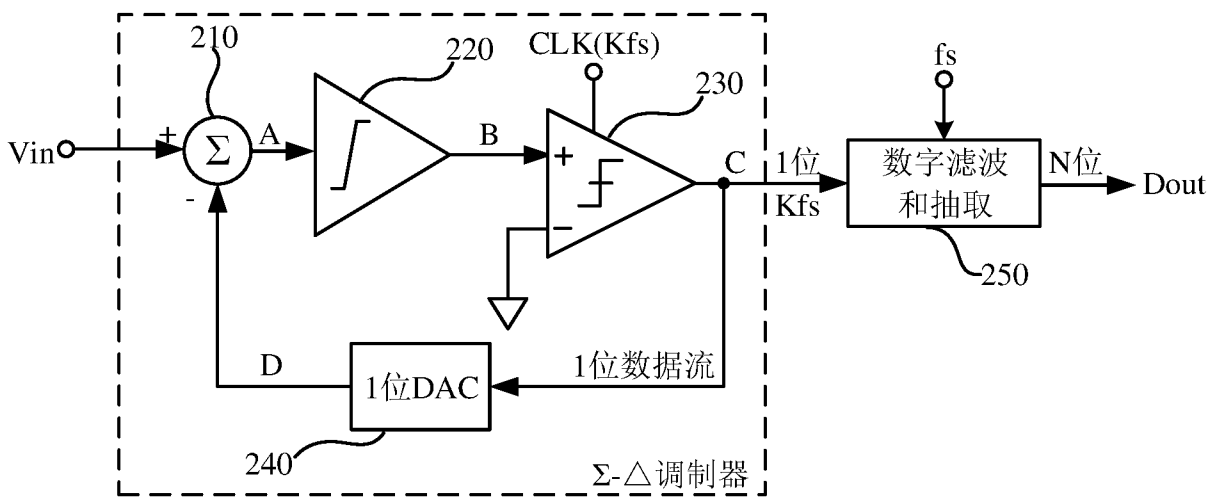
使用第三开关将所述辅助电容的上端与参考电压或所述放大器的输出端耦接，和/或

使用第四开关将所述权电容阵列的上端与所述参考电压或所述放大器的输出端耦接。



100

图1



200

图2

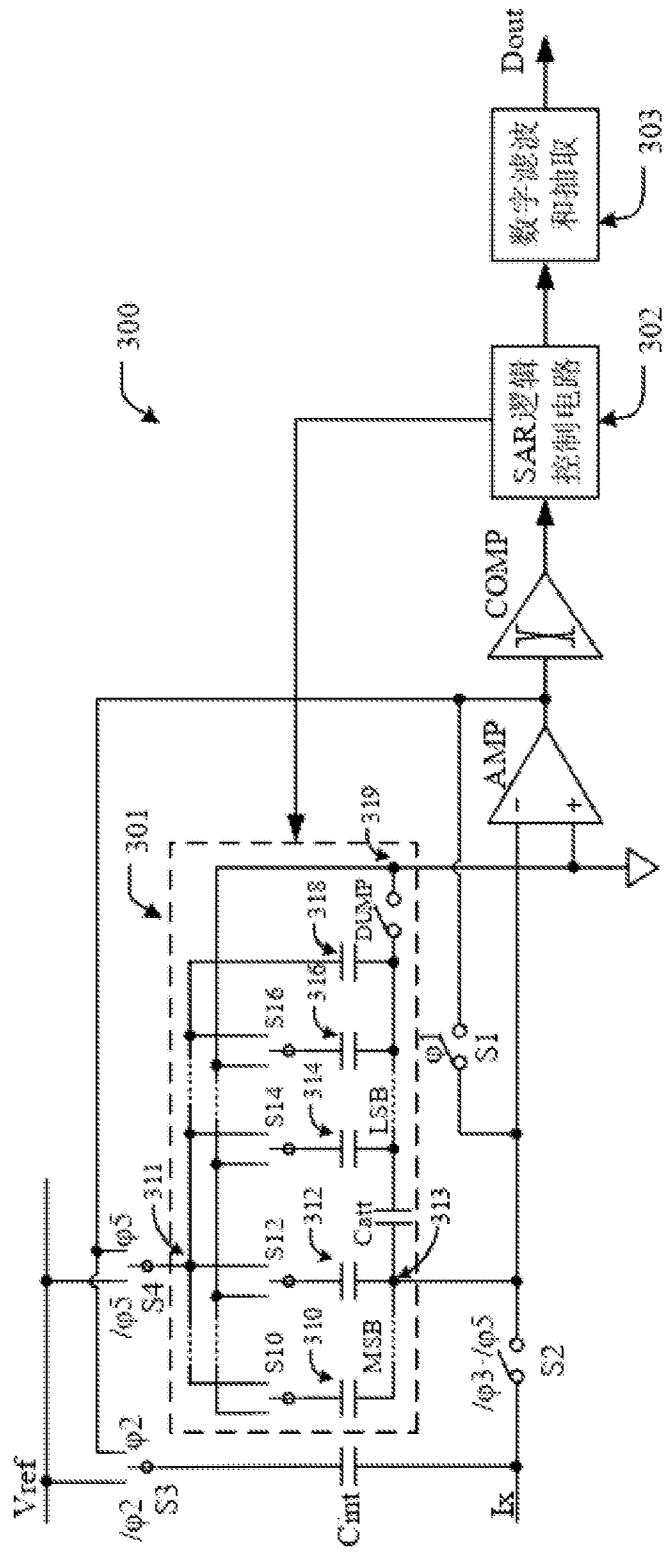


图3

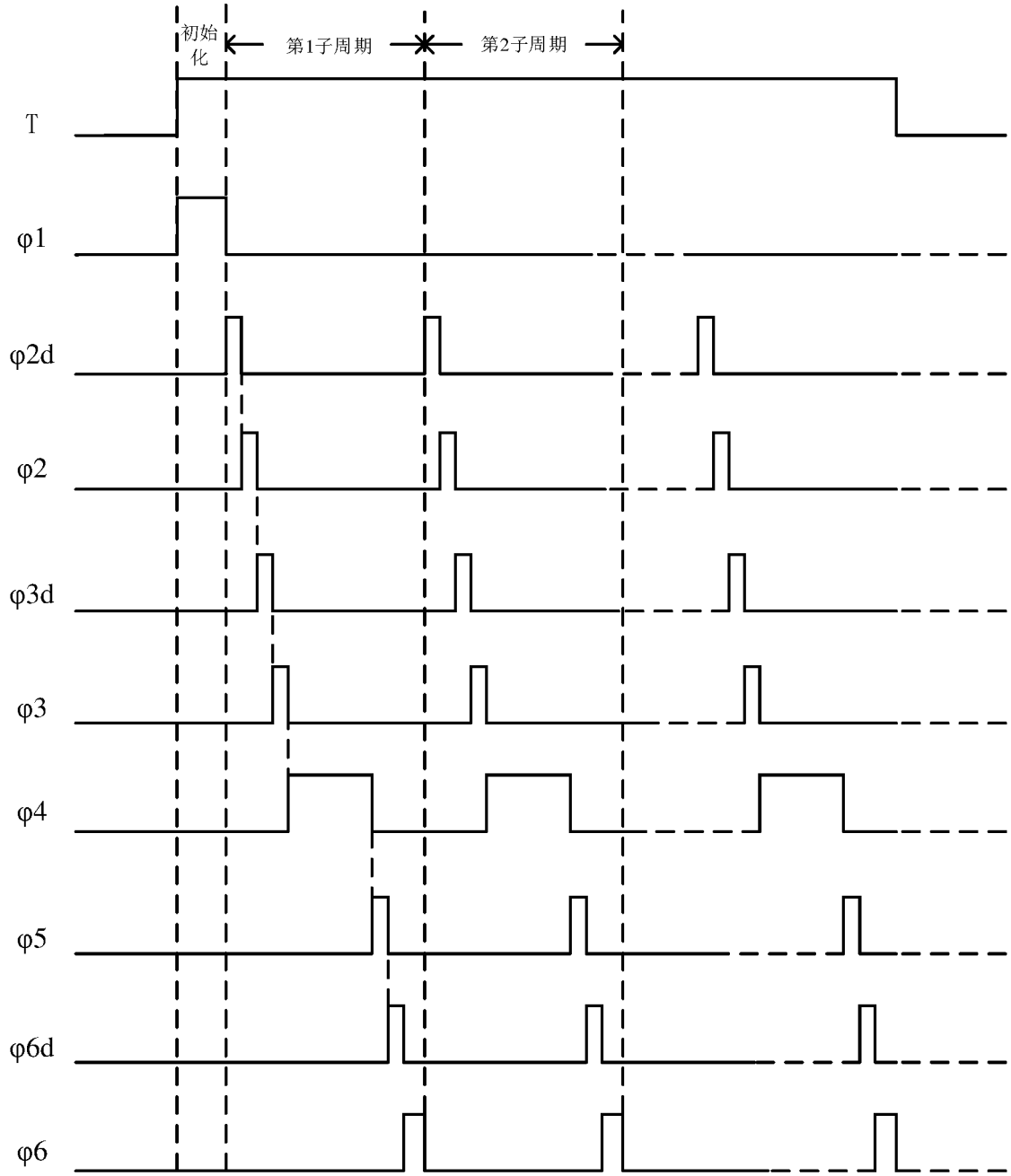


图4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/113211

A. CLASSIFICATION OF SUBJECT MATTER		
H03M 1/46(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H03M; H03F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, WPI, EPODOC, CNKI, IEEE: 模数转换器, 数模转换器, 电荷, 储存, 存储, 积分, 电容, 辅助, 子周期, 逐级逼近, 逐级接近, SAR变换, analog-to-digital, digital-to-analog, converter, charge, storage, integration, capacitance, auxiliary, subperiod, successive approximation register, SAR, ADC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111211783 A (XI'AN JIAOTONG UNIVERSITY) 29 May 2020 (2020-05-29) description, paragraphs [0005]-[0030]	1-19
A	CN 104467847 A (INSTITUTE OF SEMICONDUCTORS, CHINESE ACADEMY OF SCIENCES) 25 March 2015 (2015-03-25) entire document	1-19
A	CN 111900988 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 06 November 2020 (2020-11-06) entire document	1-19
A	CN 113114257 A (XI'AN JIAOTONG UNIVERSITY) 13 July 2021 (2021-07-13) entire document	1-19
A	CN 110504971 A (ANALOG DEVICES GLOBAL UNLIMITED CO.) 26 November 2019 (2019-11-26) entire document	1-19
A	US 2018309458 A1 (BANDYOPADHYAY, A. et al.) 25 October 2018 (2018-10-25) entire document	1-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
12 October 2022		28 October 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/113211

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	YANG, Jiaqi et al. "A Noise-Shaping SAR ADC with Dual Error-Feedback Paths and Alternate DACs" <i>2017 IEEE 12th International Conference on ASIC (ASICON)</i> , 11 January 2018 (2018-01-11), entire document	1-19
.....		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/CN2022/113211

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111211783	A	29 May 2020	None			
CN	104467847	A	25 March 2015	None			
CN	111900988	A	06 November 2020	None			
CN	113114257	A	13 July 2021	None			
CN	110504971	A	26 November 2019	US	10348319	B1	09 July 2019
				DE	102019112542	A1	21 November 2019
US	2018309458	A1	25 October 2018	WO	2018195350	A1	25 October 2018

国际检索报告

国际申请号

PCT/CN2022/113211

<p>A. 主题的分类</p> <p>H03M 1/46 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H03M; H03F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPDOC, CNKI, IEEE: 模数转换器, 数模转换器, 电荷, 储存, 存储, 积分, 电容, 辅助, 子周期, 逐级逼近, 逐级接近, SAR变换, analog-to-digital, digital-to-analog, converter, charge, storage, integration, capacitance, auxiliary, subperiod, successive approximation register, SAR, ADC</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 111211783 A (西安交通大学) 2020年5月29日 (2020 - 05 - 29) 说明书第[0005]-[0030]段</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 104467847 A (中国科学院半导体研究所) 2015年3月25日 (2015 - 03 - 25) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 111900988 A (电子科技大学) 2020年11月6日 (2020 - 11 - 06) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 113114257 A (西安交通大学) 2021年7月13日 (2021 - 07 - 13) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 110504971 A (亚德诺半导体无限责任公司) 2019年11月26日 (2019 - 11 - 26) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>US 2018309458 A1 (ABHISHEK BANDYOPADHYAY等) 2018年10月25日 (2018 - 10 - 25) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 111211783 A (西安交通大学) 2020年5月29日 (2020 - 05 - 29) 说明书第[0005]-[0030]段	1-19	A	CN 104467847 A (中国科学院半导体研究所) 2015年3月25日 (2015 - 03 - 25) 全文	1-19	A	CN 111900988 A (电子科技大学) 2020年11月6日 (2020 - 11 - 06) 全文	1-19	A	CN 113114257 A (西安交通大学) 2021年7月13日 (2021 - 07 - 13) 全文	1-19	A	CN 110504971 A (亚德诺半导体无限责任公司) 2019年11月26日 (2019 - 11 - 26) 全文	1-19	A	US 2018309458 A1 (ABHISHEK BANDYOPADHYAY等) 2018年10月25日 (2018 - 10 - 25) 全文	1-19
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 111211783 A (西安交通大学) 2020年5月29日 (2020 - 05 - 29) 说明书第[0005]-[0030]段	1-19																					
A	CN 104467847 A (中国科学院半导体研究所) 2015年3月25日 (2015 - 03 - 25) 全文	1-19																					
A	CN 111900988 A (电子科技大学) 2020年11月6日 (2020 - 11 - 06) 全文	1-19																					
A	CN 113114257 A (西安交通大学) 2021年7月13日 (2021 - 07 - 13) 全文	1-19																					
A	CN 110504971 A (亚德诺半导体无限责任公司) 2019年11月26日 (2019 - 11 - 26) 全文	1-19																					
A	US 2018309458 A1 (ABHISHEK BANDYOPADHYAY等) 2018年10月25日 (2018 - 10 - 25) 全文	1-19																					
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="0"> <tr> <td style="vertical-align: top;"> <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> </td> <td style="vertical-align: top;"> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p> </td> </tr> </table>			<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>	<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																			
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>	<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																						
<p>国际检索实际完成的日期</p> <p>2022年10月12日</p>		<p>国际检索报告邮寄日期</p> <p>2022年10月28日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>寇利敏</p> <p>电话号码 86-(10)-53961731</p>																					

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	YANG, Jiaqi等. "A Noise-Shaping SAR ADC with Dual Error-Feedback Paths and Alternate DACs" 2017 IEEE 12th International Conference on ASIC (ASICON), 2018年1月11日 (2018 - 01 - 11), 全文	1-19

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/113211

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111211783	A	2020年5月29日	无			
CN	104467847	A	2015年3月25日	无			
CN	111900988	A	2020年11月6日	无			
CN	113114257	A	2021年7月13日	无			
CN	110504971	A	2019年11月26日	US	10348319	B1	2019年7月9日
				DE	102019112542	A1	2019年11月21日
US	2018309458	A1	2018年10月25日	WO	2018195350	A1	2018年10月25日