



(12) 发明专利

(10) 授权公告号 CN 107017296 B

(45) 授权公告日 2022.06.28

(21) 申请号 201610917347.1
 (22) 申请日 2016.10.21
 (65) 同一申请的已公布的文献号
 申请公布号 CN 107017296 A
 (43) 申请公布日 2017.08.04
 (30) 优先权数据
 14/968,906 2015.12.15 US
 (73) 专利权人 台湾积体电路制造股份有限公司
 地址 中国台湾新竹
 (72) 发明人 张哲诚 林志翰 曾鸿辉
 (74) 专利代理机构 北京德恒律治知识产权代理
 有限公司 11409
 专利代理师 章社杲 李伟

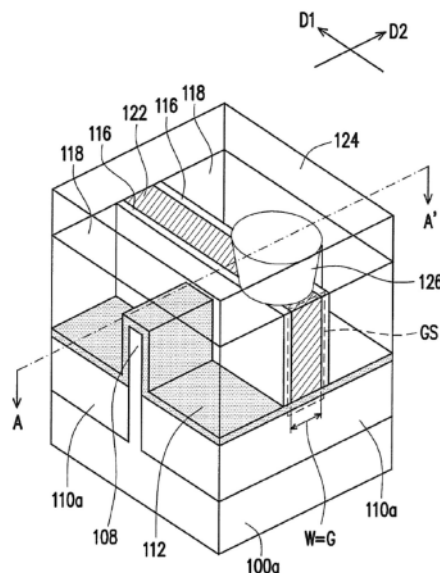
(51) Int.Cl.
 H01L 29/78 (2006.01)
 H01L 29/423 (2006.01)
 H01L 21/336 (2006.01)
 H01L 21/768 (2006.01)
 (56) 对比文件
 CN 104733513 A, 2015.06.24
 CN 102315162 A, 2012.01.11
 US 2005184345 A1, 2005.08.25
 审查员 刘立平

权利要求书6页 说明书8页 附图12页

(54) 发明名称
 鳍场效应晶体管

(57) 摘要

图案化衬底以形成沟槽并且半导体鳍位于沟槽之间。在沟槽中形成绝缘体以及形成介电层以覆盖半导体鳍和绝缘体。在介电层上形成伪栅极条。在伪栅极条的侧壁上形成间隔件。去除伪栅极条和介电层下面直到暴露间隔件的侧壁、部分半导体鳍和部分绝缘体。选择性地形成第二介电层以覆盖暴露的部分半导体鳍，其中介电层的厚度小于第二介电层的厚度。在间隔件之间形成栅极以覆盖第二介电层、间隔件的侧壁和暴露的部分绝缘体。本发明实施例涉及鳍场效应晶体管。



1. 一种鳍场效应晶体管,包括:

衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;

多个绝缘体,位于所述沟槽中;

栅极堆叠件;

第一间隔件和第二间隔件,设置在所述栅极堆叠件的两个相对侧壁上,其中,所述栅极堆叠件、所述第一间隔件和所述第二间隔件覆盖所述半导体鳍和所述绝缘体,并且所述第一间隔件和第二间隔件的至少一个包括位于所述栅极堆叠件的侧处的间隔件凹槽,所述间隔件凹槽位于所述第一间隔件中或所述第二间隔件中并且不超出所述栅极堆叠件的所述侧壁;以及

栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件包括延伸至所述间隔件凹槽内的突起,所述栅极接触件覆盖所述栅极堆叠件和所述间隔件凹槽,并且所述栅极接触件的底部尺寸大于所述栅极堆叠件的顶部尺寸。

2. 根据权利要求1所述的鳍场效应晶体管,其中,所述栅极接触件包括嵌入在所述间隔件凹槽中的至少一个突起。

3. 根据权利要求1所述的鳍场效应晶体管,其中,所述第一间隔件包括第一间隔件凹槽,所述第二间隔件包括第二间隔件凹槽,并且所述栅极接触件包括延伸至所述第一间隔件凹槽内的第一突起和延伸至所述第二间隔件凹槽内的第二突起。

4. 根据权利要求1所述的鳍场效应晶体管,还包括,部分地覆盖所述绝缘体和所述至少一个半导体鳍的图案化的介电层,其中,所述栅极堆叠件的顶面低于所述图案化的介电层的顶面,所述栅极堆叠件包括栅极凹槽,以及所述栅极接触件部分地嵌入在所述栅极凹槽和所述间隔件凹槽中。

5. 根据权利要求1所述的鳍场效应晶体管,还包括,部分地覆盖绝缘体和所述至少一个半导体鳍的图案化的介电层,其中,所述图案化的介电层的顶面与所述栅极堆叠件的顶面共面。

6. 根据权利要求5所述的鳍场效应晶体管,还包括:

覆盖层,覆盖所述图案化的介电层的顶面。

7. 一种鳍场效应晶体管,包括:

衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;

多个绝缘体,位于所述沟槽中;

栅极堆叠件;

介电结构,包括设置在所述栅极堆叠件的侧壁上的间隔件对,其中,所述栅极堆叠件和所述间隔件对覆盖所述半导体鳍和所述绝缘体,并且所述间隔件对包括至少一个间隔件凹槽;以及

栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述栅极堆叠件和所述至少一个间隔件凹槽,并且所述栅极接触件的底部宽度大于所述栅极堆叠件的顶部宽度。

8. 根据权利要求7所述的鳍场效应晶体管,其中,所述栅极接触件包括嵌入在所述至少一个间隔件凹槽中的至少一个突起。

9. 根据权利要求7所述的鳍场效应晶体管,其中,所述至少一个间隔件凹槽包括位于所

述栅极堆叠件的两个相对侧处的第一间隔件凹槽和第二间隔件凹槽,并且所述栅极接触件包括嵌入在所述第一间隔件凹槽中的第一突起和嵌入在所述第二间隔件凹槽中的第二突起。

10. 根据权利要求7所述的鳍场效应晶体管,其中,所述介电结构还包括设置在所述栅极堆叠件的两个相对侧处的图案化的介电层,并且所述间隔件的每个均位于所述图案化的介电层和所述栅极堆叠件之间。

11. 根据权利要求10所述的鳍场效应晶体管,其中,所述图案化的介电层的顶面与所述栅极堆叠件的顶面共面。

12. 根据权利要求11所述的鳍场效应晶体管,还包括:

覆盖层,覆盖所述图案化的介电层的所述顶面。

13. 根据权利要求10所述的鳍场效应晶体管,其中,所述栅极堆叠件的顶面低于所述图案化的介电层的顶面,所述栅极堆叠件包括栅极凹槽,以及所述栅极接触件部分地嵌入在所述栅极凹槽和所述至少一个间隔件凹槽中。

14. 根据权利要求10所述的鳍场效应晶体管,其中,所述图案化的介电层包括连接至所述至少一个间隔件凹槽的至少一个介电凹槽。

15. 根据权利要求14所述的鳍场效应晶体管,其中,所述栅极接触件包括嵌入在所述至少一个间隔件凹槽和所述至少一个介电凹槽中的至少一个突起。

16. 一种鳍场效应晶体管,包括:

衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;

多个绝缘体,位于所述沟槽中;

栅极堆叠件;

介电结构,包括第一间隔件、第二间隔件和图案化的介电层,所述图案化的介电层设置在所述栅极堆叠件的两个相对侧处,所述第一间隔件位于所述图案化的介电层和所述栅极堆叠件之间,所述第二间隔件位于所述图案化的介电层和所述栅极堆叠件之间,其中,所述栅极堆叠件、所述第一间隔件、所述第二间隔件和所述图案化的介电层覆盖所述半导体鳍和所述绝缘体,所述第一间隔件包括第一间隔件凹槽,所述第二间隔件包括第二间隔件凹槽,并且所述图案化的介电层包括与所述第一间隔件凹槽和所述第二间隔件凹槽连通的至少一个介电凹槽;以及

栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述栅极堆叠件和所述介电结构,所述栅极接触件的底部宽度大于所述栅极堆叠件的顶部宽度,并且所述栅极接触件包括延伸至所述第一间隔件凹槽、所述第二间隔件凹槽和所述至少一个介电凹槽内的突起。

17. 根据权利要求16所述的鳍场效应晶体管,其中,所述突起包括位于所述栅极堆叠件的两个相对侧处的第一突起和第二突起。

18. 根据权利要求16所述的鳍场效应晶体管,其中,所述介电结构的顶面与所述栅极堆叠件的顶面共面。

19. 根据权利要求18所述的鳍场效应晶体管,还包括:

覆盖层,覆盖所述介电结构的所述顶面。

20. 根据权利要求16所述的鳍场效应晶体管,其中,所述栅极堆叠件的顶面低于所述介

电结构的顶面,所述栅极堆叠件包括栅极凹槽,以及所述栅极接触件延伸至所述第一间隔件凹槽、所述第二间隔件凹槽、所述至少一个介电凹槽和所述栅极凹槽内。

21. 一种鳍场效应晶体管,包括:

衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;

多个绝缘体,位于所述沟槽中;

栅极堆叠件;

间隔件对,设置在所述栅极堆叠件的两个相对侧壁上,其中,所述栅极堆叠件和所述间隔件对覆盖所述半导体鳍和所述绝缘体;以及

栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件延伸至所述间隔件对中的至少一个间隔件内,并且所述栅极接触件的底部尺寸大于所述栅极堆叠件的顶部尺寸。

22. 根据权利要求21所述的鳍场效应晶体管,其中,所述间隔件对中的至少一个间隔件具有至少一个凹陷接触表面,并且所述栅极接触件包括与所述间隔件对中的所述至少一个间隔件的所述至少一个凹陷接触表面接触的至少一个突起。

23. 根据权利要求22所述的鳍场效应晶体管,其中,所述间隔件对包括具有第一凹陷接触表面的第一间隔件和具有第二凹陷接触表面的第二间隔件,所述第一间隔件和所述第二间隔件设置在所述栅极堆叠件的所述两个相对侧壁上,并且所述栅极接触件包括与所述第一间隔件的所述第一凹陷接触表面接触的第一突起和与所述第二间隔件的所述第二凹陷接触表面接触的第二突起。

24. 根据权利要求21所述的鳍场效应晶体管,还包括,部分地覆盖所述绝缘体和所述至少一个半导体鳍的图案化的介电层,其中,所述栅极堆叠件的顶面低于所述图案化的介电层的顶面。

25. 根据权利要求21所述的鳍场效应晶体管,还包括,部分地覆盖所述绝缘体和所述至少一个半导体鳍的图案化的介电层,其中,所述图案化的介电层的顶面与所述栅极堆叠件的顶面共面。

26. 根据权利要求25所述的鳍场效应晶体管,还包括:

覆盖层,覆盖所述图案化的介电层的顶面。

27. 一种鳍场效应晶体管,包括:

衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;

多个绝缘体,位于所述沟槽中;

栅极堆叠件;

间隔件对,设置在所述栅极堆叠件的两个相对侧壁上,其中,所述栅极堆叠件和间隔件对覆盖所述半导体鳍和所述绝缘体;以及

栅极接触件,电连接至所述栅极堆叠件,其中,至少一个凹陷和弯曲接触界面位于所述栅极接触件与所述间隔件对中的至少一个间隔件之间,并且所述栅极接触件的底部尺寸大于所述栅极堆叠件的顶部尺寸。

28. 根据权利要求27所述的鳍场效应晶体管,其中,所述栅极接触件包括至少一个突起,并且所述至少一个凹陷和弯曲接触界面位于所述栅极接触件的所述至少一个突起与所述间隔件对中的所述至少一个间隔件之间。

29. 根据权利要求28所述的鳍场效应晶体管,其中,所述间隔件对包括设置在所述栅极

堆叠件的所述两个相对侧壁上的第一间隔件和第二间隔件,所述栅极接触件包括第一突起和第二突起,第一凹陷和弯曲接触界面位于所述第一间隔件和所述栅极接触件的第一突起之间,并且第二凹陷和弯曲接触界面位于所述第二间隔件和所述栅极接触件的第二突起之间。

30. 根据权利要求27所述的鳍场效应晶体管,还包括,部分地覆盖所述绝缘体和所述至少一个半导体鳍的图案化的介电层,其中,所述栅极堆叠件的顶面低于所述图案化的介电层的顶面。

31. 根据权利要求27所述的鳍场效应晶体管,还包括,部分地覆盖所述绝缘体和所述至少一个半导体鳍的图案化的介电层,其中,所述图案化的介电层的顶面与所述栅极堆叠件的顶面共面。

32. 根据权利要求31所述的鳍场效应晶体管,还包括:

覆盖层,覆盖所述图案化的介电层的顶面。

33. 一种鳍场效应晶体管,包括:

衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;

多个绝缘体,位于所述沟槽中;

栅极堆叠件;

介电结构,设置在所述栅极堆叠件的侧壁上,其中,所述栅极堆叠件和所述介电结构覆盖所述半导体鳍和所述绝缘体,并且所述介电结构包括至少一个凹陷接触表面;以及

栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述介电结构的所述至少一个凹陷接触表面。

34. 根据权利要求33所述的鳍场效应晶体管,其中,所述栅极接触件包括与所述介电结构的所述至少一个凹陷接触表面接触的至少一个突起,并且所述栅极接触件的底部宽度大于所述栅极堆叠件的顶部宽度。

35. 根据权利要求33所述的鳍场效应晶体管,其中,所述介电结构包括间隔件对和图案化的介电层,并且所述图案化的介电层和所述栅极堆叠件由所述间隔件对间隔开。

36. 根据权利要求35所述的鳍场效应晶体管,其中,所述间隔件对包括:

第一间隔件,具有第一凹陷接触表面;以及

第二间隔件,具有第二凹陷接触表面,所述第一间隔件和所述第二间隔件设置在所述栅极堆叠件的两个相对侧壁上,并且所述栅极接触件包括与所述第一间隔件的第一凹陷接触表面接触的第一突起和与所述第二间隔件的所述第二凹陷接触表面接触的第二突起。

37. 根据权利要求35所述的鳍场效应晶体管,其中,所述栅极堆叠件的顶面低于所述图案化的介电层的顶面。

38. 根据权利要求35所述的鳍场效应晶体管,其中,所述图案化的介电层的顶面与所述栅极堆叠件的顶面共面。

39. 根据权利要求38所述的鳍场效应晶体管,还包括:

覆盖层,覆盖所述图案化的介电层的顶面。

40. 根据权利要求35所述的鳍场效应晶体管,其中,所述栅极接触件包括与所述间隔件对和所述图案化的介电层接触的至少一个突起。

41. 一种半导体结构,包括:

衬底,包括半导体鳍;
绝缘体,设置在所述衬底上,所述半导体鳍从所述绝缘体突出;
栅极堆叠件,设置在所述衬底上并且包裹所述半导体鳍的部分;
间隔件,设置在所述栅极堆叠件的相对侧壁上;以及
栅极接触件,电连接至所述栅极堆叠件,所述栅极接触件延伸至所述间隔件中的至少一个间隔件内。

42. 根据权利要求41所述的半导体结构,其中,所述至少一个间隔件包括凹陷接触表面,并且所述栅极接触件包括与所述凹陷接触表面接触的突起。

43. 根据权利要求41所述的半导体结构,其中,所述间隔件包括第一间隔件和第二间隔件,所述第一间隔件包括第一凹陷接触表面,所述第二间隔件包括第二凹陷接触表面,所述第一间隔件和所述第二间隔件设置在所述栅极堆叠件的相对侧壁上,并且所述栅极接触件包括与所述第一间隔件的所述第一凹陷接触表面接触的第一突起和与所述第二间隔件的所述第二凹陷接触表面接触的第二突起。

44. 根据权利要求41所述的半导体结构,还包括,设置在所述衬底上方的图案化的介电层,其中,所述栅极堆叠件的顶面低于所述图案化的介电层的顶面。

45. 根据权利要求41所述的半导体结构,还包括,设置在所述衬底上方的图案化的介电层,其中,所述图案化的介电层的顶面与所述栅极堆叠件的顶面共面。

46. 根据权利要求45所述的半导体结构,还包括:

覆盖层,覆盖所述图案化的介电层的顶面。

47. 根据权利要求41所述的半导体结构,其中,所述栅极堆叠件包括单个栅极堆叠件,所述栅极接触件电接触所述单个栅极堆叠件,并且所述栅极接触件的底部宽度大于所述单个栅极堆叠件的宽度。

48. 一种半导体结构,包括:

衬底,包括半导体鳍;

绝缘体,设置在所述衬底上,所述半导体鳍从所述绝缘体突出;

栅极堆叠件,设置在所述衬底上并且包裹所述半导体鳍的部分;

间隔件,设置在所述栅极堆叠件的相对侧壁上;以及

栅极接触件,设置在所述栅极堆叠件上并且电连接至所述栅极堆叠件,至少一个凹陷和弯曲接触界面位于所述栅极接触件和所述间隔件中的至少一个间隔件之间。

49. 根据权利要求48所述的半导体结构,其中,所述栅极接触件包括至少一个突起,并且所述至少一个凹陷和弯曲接触界面位于所述栅极接触件的所述至少一个突起与所述至少一个间隔件之间。

50. 根据权利要求48所述的半导体结构,其中,所述间隔件包括设置在所述栅极堆叠件的相对侧壁上的第一间隔件和第二间隔件,所述栅极接触件包括第一突起和第二突起,第一凹陷和弯曲接触界面位于所述第一间隔件和所述栅极接触件的第一突起之间,并且第二凹陷和弯曲接触界面位于所述第二间隔件和所述栅极接触件的第二突起之间。

51. 根据权利要求48所述的半导体结构,还包括,设置在所述衬底上方的图案化的介电层,其中,所述栅极堆叠件的顶面低于所述图案化的介电层的顶面。

52. 根据权利要求48所述的半导体结构,还包括,设置在所述衬底上方的图案化的介电

层,其中,所述图案化的介电层的顶面与所述栅极堆叠件的顶面共面。

53. 根据权利要求52所述的半导体结构,还包括:

覆盖层,覆盖所述图案化的介电层的顶面。

54. 根据权利要求48所述的半导体结构,其中,所述栅极堆叠件包括单个栅极堆叠件,栅极接触件电接触单个栅极堆叠件,并且所述栅极接触件的底部宽度大于所述单个栅极堆叠件的宽度。

55. 一种半导体结构,包括:

衬底,包括半导体鳍;

绝缘体,设置在所述衬底上,所述半导体鳍从所述绝缘体突出;

介电结构,设置在所述半导体鳍上方,所述介电结构包括间隔件对;

单个栅极堆叠件,位于所述间隔件对之间,所述单个栅极堆叠件包裹所述半导体鳍的部分,所述间隔件对中的至少一个间隔件包括至少一个凹陷接触表面;以及

栅极接触件,电接触所述单个栅极堆叠件,所述栅极接触件由与所述单个栅极堆叠件接触的第一接触部分和延伸至所述间隔件对中的至少一个间隔件内并且与所述至少一个凹陷接触表面接触的第二接触部分组成。

56. 根据权利要求55所述的半导体结构,其中,所述栅极接触件的所述第二接触部分包括与所述介电结构的所述至少一个凹陷接触表面接触的至少一个突起。

57. 根据权利要求55所述的半导体结构,其中,所述介电结构还包括图案化的介电层,并且所述图案化的介电层和所述单个栅极堆叠件由所述间隔件间隔开。

58. 根据权利要求57所述的半导体结构,其中,所述栅极接触件的所述第二接触部分包括突出到所述间隔件对中的至少一个间隔件的至少一个突起,并且所述至少一个突起与所述至少一个凹陷接触表面接触。

59. 根据权利要求57所述的半导体结构,其中,所述栅极接触件的底部宽度大于所述单个栅极堆叠件的宽度。

60. 根据权利要求57所述的半导体结构,还包括,覆盖所述图案化的介电层的顶面的覆盖层。

鳍场效应晶体管

技术领域

[0001] 本发明实施例涉及鳍场效应晶体管。

背景技术

[0002] 随着半导体器件的尺寸不断缩小,已经开发出诸如鳍场效应晶体管(FinFET)的三维多栅极结构以代替平面互补金属氧化物半导体(CMOS)器件。FinFET的结构特征是从衬底的表面垂直延伸的硅基膜,并且环绕由鳍形成的导电沟道的栅极进一步提供了对沟道的更好的电控制。

[0003] 目前,为FinFET制造的栅极接触件可以导致高电阻-电容(RC)延迟。因此,具有高的RC的栅极接触件可以影响FinFET的产率和可靠性。

发明内容

[0004] 根据本发明的一个实施例,提供了一种鳍场效应晶体管(FinFET),包括:衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;多个绝缘体,位于所述沟槽中;栅极堆叠件;介电结构,设置在所述栅极堆叠件的侧壁上,所述栅极堆叠件和所述介电结构覆盖所述半导体鳍和所述绝缘体,并且所述介电结构包括至少一个凹槽;以及栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述栅极堆叠件和所述至少一个凹槽,并且所述栅极接触件的底部尺寸大于所述栅极堆叠件的顶部尺寸。

[0005] 根据本发明的另一实施例,还提供了一种鳍场效应晶体管(FinFET),包括:衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;多个绝缘体,位于所述沟槽中;栅极堆叠件;介电结构,包括设置在所述栅极堆叠件的侧壁上的间隔件对,其中,所述栅极堆叠件和所述间隔件对覆盖所述半导体鳍和所述绝缘体,并且所述间隔件对包括至少一个间隔件凹槽;以及栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述栅极堆叠件和所述至少一个间隔件凹槽,并且所述栅极接触件的底部宽度大于所述栅极堆叠件的顶部宽度。

[0006] 根据本发明的又一实施例,还提供了一种鳍场效应晶体管(FinFET),包括:衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;多个绝缘体,位于所述沟槽中;栅极堆叠件;介电结构,设置在所述栅极堆叠件的侧壁上,所述栅极堆叠件和所述介电结构覆盖所述半导体鳍和所述绝缘体;以及栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述栅极堆叠件和所述介电结构,所述栅极接触件的底部宽度大于所述栅极堆叠件的顶部宽度,并且所述栅极接触件包括延伸至所述介电结构内的至少一个突起。

附图说明

[0007] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明的各方面。应该注意,根据工业中的标准实践,各个部件未按比例绘制。实际上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

[0008] 图1A至图1K是根据一些实施例的用于制造半导体器件的方法的透视图。

[0009] 图2A至图2F是根据一些实施例的半导体器件的截面图。

具体实施方式

[0010] 以下公开内容提供了许多用于实现本发明的不同特征的不同实施例或实例。下面描述了组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,而不旨在限制本发明。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,并且也可以包括在第一部件和第二部件之间可以形成额外的部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可在各个实例中重复参考标号和/或字符。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的各个实施例和/或配置之间的关系。

[0011] 而且,为便于描述,在此可以使用诸如“在…之下”、“在…下方”、“下部”、“在…之上”、“上部”等的空间相对术语,以描述如图所示的一个元件或部件与另一个(或另一些)元件或部件的关系。除了图中所示的方位外,空间相对术语旨在包括器件在使用或操作中的不同方位。装置可以以其他方式定向(旋转90度或在其他方位上),而本文使用的空间相对描述符可以同样地作相应的解释。

[0012] 本发明的实施例描述了FinFET的示意性制造工艺。在本发明的特定实施例中,可以在块状硅衬底上形成FinFET。此外,FinFET可以形成在绝缘体上硅(SOI)衬底上或绝缘体上锗(GOI)衬底上作为可选方式。此外,根据一些实施例,硅衬底可以包括诸如晶体管、二极管等的其它导电层或其它半导体元件。该实施例不限定在该上下文中。

[0013] 图1A是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参考图1A,提供了衬底100。在一个实施例中,衬底100包括多晶硅衬底(例如,晶圆)。根据设计要求,衬底100可以包括各个掺杂区(例如,p型衬底或n型衬底)。在一些实施例中,掺杂区可以掺杂有p型和/或n型掺杂剂。例如,掺杂区可以掺杂有诸如硼或BF₂的p型掺杂剂;诸如磷或砷的n型掺杂剂和/或它们的组合。掺杂区可以配置为n型FinFET,p型FinFET或它们的组合。在一些可选实施例中,衬底100可以由诸如金刚石或锗的一些其它合适的元素半导体;诸如砷化镓、碳化硅、砷化铟或磷化铟的合适的化合物半导体;或诸如硅锗、碳化硅、砷化镓、磷化镓或磷化铟的合适的合金半导体制成。

[0014] 在一个实施例中,在衬底100上依次形成垫层102a和掩模层102b。垫层102a可以通过例如热氧化工艺形成的氧化硅薄膜。垫层102a可以充当衬底100和掩模层102b之间的粘合层。垫层102a也可以充当蚀刻掩模层102b的蚀刻停止层。在至少一个实施例,掩模层102b是通过例如低压化学汽相沉积(LPCVD)或等离子体增强的化学汽相沉积(PECVD)形成的氮化硅层。掩模层102b在后续光刻工艺期间用作硬掩模。然后,在掩模层102b上形成具有预定图案的图案化的光刻胶层104。

[0015] 图1B是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参考图1A至图1B,依次蚀刻未被图案化的光刻胶层104覆盖的掩模层102b和垫层102a以形成图案化的掩模层102b'和图案化的垫层102a'以暴露下面的衬底100。通过使用图案化的掩模层102b',以图案化的垫层102a'和图案化的光刻胶层104作为掩模,暴露并蚀刻部分衬底100以形成沟槽106和至少一个半导体鳍108。图1A所示的半导体鳍108的数量仅仅用于说明,在

一些可选实施例中,可根据实际的设计要求形成两个或多个平行的半导体鳍。图案化衬底100后,图案化的掩模层102b'、图案化的垫层102a'和图案化的光刻胶层104覆盖半导体鳍108。两个相邻的沟槽106被间隔S隔开。例如,沟槽106之间的间隔S小于约30nm。换言之,两个相邻的沟槽106被半导体鳍108彼此隔开。

[0016] 半导体鳍108的高度和沟槽106的深度介于从约5nm到约500nm的范围。形成沟槽106和半导体鳍108后,然后去除图案化的光刻胶层104。在一个实施例中,可以实施清洗工艺以去除半导体衬底100a和半导体鳍108的本征氧化物。可以使用稀释的氢氟酸(DHF)或其它合适的清洗溶液来实施清洗工艺。

[0017] 图1C是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参考图1B至图1C,在衬底100a上方形成绝缘材料110以覆盖半导体鳍108并填充沟槽106。除了半导体鳍108,绝缘材料110进一步覆盖图案化的垫层102a'和图案化的掩模层102b'。绝缘材料110可包括氧化硅、氮化硅、氧氮化硅、介电涂介电材料或低K电材料。可以通过高密度等离子体化学汽相沉积(HDP-CVD),次大气压CVD(SACVD)或旋涂形成绝缘材料110。

[0018] 图1D是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参考图1C至图1D,例如实施化学机械抛光工艺以去除绝缘材料110的部分、图案化的掩模层102b'和图案化的垫层102a'直到暴露半导体鳍108。如图1D所示,抛光绝缘材料110后,抛光的绝缘材料110的顶面与半导体鳍108的顶面T2大致共面。

[0019] 图1E是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参照图1D至图1E,通过蚀刻工艺部分地去除填充在沟槽106中的抛光的绝缘材料110,从而使得在衬底100a上形成绝缘体110a并且每个绝缘体110a都位于一个相应的沟槽106中。在一个实施例中,蚀刻工艺可以是利用氢氟酸(HF)的湿蚀刻工艺或干蚀刻工艺。绝缘体110a的顶面T1低于半导体鳍108的顶面T2。换言之,半导体鳍108从绝缘体110a的顶面T1突出并且因此暴露半导体鳍108的侧壁SW。半导体鳍108的顶面T2与绝缘体110a的顶面T1之间的高度差为H,并且高度差H介于从约15nm至约50nm的范围。

[0020] 图1F是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参照图1E至图1F,形成绝缘体110a后,形成栅极介电层112以共形地覆盖绝缘体110a的顶面T1、半导体鳍108的顶面T2和半导体鳍108的侧壁SW。在一个实施例中,栅极介电层112可以包括氧化硅、氮化硅、氮氧化硅或高k电介质。高k电介质包括金属氧化物。用于高k电介质的金属氧化物的实例包括Li、Be、Mg、Ca、Sr、Sc、Y、Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu的氧化物和/或它们的混合物。栅极介电层112是具有在约0.2nm至约50nm的范围内的厚度的高k介电层。在一个实施例中,可以通过诸如原子层沉积(ALD)、化学汽相沉积(CVD)、物理汽相沉积(PVD)、热氧化或UV-臭氧氧化的合适的工艺形成栅极介电层112。栅极介电层112具有用作FinFET中的栅极介电层的良好质量。

[0021] 图1G是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参照图1F至图1G,在栅极介电层112上形成至少一个伪栅极条114,其中伪栅极条114的长度方向D1不同于半导体鳍108的纵向方向D2。在一些实施例中,伪栅极条114的长度方向D1垂直于半导体鳍108的纵向方向D2。图1G中所示的伪栅极条114的数量仅仅用于说明,在一些可选实施例中,根据实际的设计要求可以形成两个或更多个平行的伪栅极条。伪栅极条114包括诸如多晶硅、非晶硅或它们的组合的含硅材料。在一个实施例中,伪栅极条114的宽度W的范围为大

于5纳米。例如,伪栅极条114的宽度可以在从5nm到50nm(对于短沟道的FinFET)或可以大于50nm(对于长沟道的FinFET)的范围。

[0022] 如图1G所示,形成伪栅极条114后,可以在伪栅极条114的侧壁上形成间隔件对116。如图1G所示,该间隔件对116形成在栅极介电层112上并且沿伪栅极条114的侧壁延伸。该间隔件对116是由诸如氮化硅或SiCON的介电材料形成。该间隔件对116可包括单层或多层结构。由于该间隔件对116被伪栅极条114隔开,该间隔件对116之间的间隙G大致等于伪栅极条114的宽度W。

[0023] 图1H是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参考图1H,形成图案化的介电层118以覆盖未被伪栅极条114和间隔件116覆盖的栅极介电层112。图案化的介电层118的顶面与伪栅极条114的顶面大致共面。在一些实施例中,形成图案化的介电层118之前,可以预先实施(例如栅极介电层112的图案化工艺、半导体鳍凹陷工艺、半导体鳍上的应变源极/漏极外延工艺、硅化工艺等)一些工艺。省略了前述的可选工艺的细节。

[0024] 如图1H所示,在一个实施例中,在伪栅极条114的侧壁上形成的间隔件对116可以看作是与伪栅极条114相邻的介电结构DS。在可选实施例中,间隔件对116和图案化的介电层118的结合可以看作是与伪栅极条114相邻的介电结构DS。换言之,伪栅极条114可以嵌入在介电结构DS中并且介电结构DS部分地覆盖半导体鳍108和绝缘体110a。

[0025] 图1I是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参照图1H至图1I,去除伪栅极条114。在一个实施例中,例如,通过蚀刻工艺去除伪栅极条114。通过适当地选择蚀刻剂,去除伪栅极条114而不显著的损坏图案化的介电层118、栅极介电层112和间隔件116。去除伪栅极条114后,在间隔件对116之间形成腔体C。换言之,通过腔体C部分地暴露栅极介电层112。

[0026] 图1J是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参照图1I至图1J,形成腔体C后,栅极122形成在腔体C中并且填充腔体C以及栅极122以覆盖由腔体C暴露的栅极介电层112。在一个实施例中,栅极122的宽度W与伪栅极条114的宽度W相同。在一些实施例中,栅极122的宽度W可以大于5nm。例如,栅极122的宽度W可以在从5nm至50nm(对于短沟道的FinFET)或可以大于50nm(对于长沟道的FinFET)的范围内。如图1G和图1J所示,栅极122的宽度W、伪栅极条114的宽度W和间隔件对116之间的间隙G1大致相等(即 $W=G$)。具体地,FinFET的沟道长度与栅极122的宽度W有关。部分半导体鳍108与栅极122重叠并被其覆盖作为FinFET的沟道。当沟道长度大于50nm时,FinFET可以看作是长沟道FinFET。当沟道长度在从5nm至50nm的范围时,FinFET可以看作是短沟道FinFET。

[0027] 如图1J所示,在一个实施例中,栅极122和下方的栅极介电层112可以看作是栅极堆叠件GS,在栅极堆叠件GS的侧壁上形成介电结构DS(例如,该间隔件对116或该间隔件对116和图案化的介电层118的结合),并且介电结构DS的顶面与栅极堆叠件GS的顶面大致共面。

[0028] 图1K是在制造方法的各个阶段的一个阶段处的半导体器件的透视图。参照图1J至图1K,形成栅极122后,在栅极堆叠件GS和介电结构DS的顶面上方形成层间介电层124。图案化层间介电层124以在层间介电层124中形成接触通孔124a。然后,在层间介电层124的接触通孔124a中形成栅极接触件126以与栅极堆叠件GS的栅极122电连接。在一些实施例中,层间介电层124包括氧化硅、氮化硅、氧氮化硅、旋涂介电材料或低K介电材料。通过高密度等

离子体化学汽相沉积 (HDP-CVD)、次大气压CVD (SACVD) 或旋涂来形成层间介电层124。例如, 通过光刻和蚀刻工艺图案化层间介电层124以在其中形成至少一个接触通孔124a。

[0029] 图2A至图2F示出沿图1K中的截面A-A' 的半导体器件的截面图。参照图1K、图2A和图2B, 在层间介电层124的图案化工艺中 (如图1K所示), 部分地去除栅极堆叠件GS附近的介电结构DS并形成至少一个凹槽R。然后形成栅极接触件126以覆盖栅极堆叠件GS和介电结构DS中的至少一个凹槽R, 其中, 栅极接触件126的底部尺寸 (例如, 底部宽度) 大于栅极堆叠件GS的顶部尺寸 (例如, 顶部宽度)。在一些实施例中, 栅极接触件126包括嵌入介电结构DS的至少一个凹槽R中的至少一个突起126P。换言之, 栅极接触件126的突起126P延伸入介电结构DS并且电连接至栅极堆叠件GS。

[0030] 如图2A所示, 栅极接触件126与栅极堆叠件GS精确地对齐并且在介电结构DS中形成位于栅极堆叠件GS的两个相对侧处的两个凹槽R (例如第一凹槽和第二凹槽)。在这种情况下, 栅极接触件126包括嵌入凹槽R中的两个突起126P (例如第一突起和第二突起)。例如, 在间隔件116和图案化的介电层118的一个中形成凹槽R的每个。换言之, 凹槽R包括在间隔件对116中形成的第一间隔件凹槽和第二凹槽。此外, 凹槽R包括在图案化的介电层118中形成的第一介电凹槽和第二介电凹槽, 其中间隔件凹槽 (即第一和第二间隔件凹槽) 的每个都与介电凹槽 (即第一和第二介电凹槽) 的一个相应地连接以形成凹槽R。在一些可选实施例中, 仅在该间隔件对116中形成凹槽R。换言之, 间隔件凹槽构成凹槽R。

[0031] 在一些可选实施例中, 如图2B所示, 栅极接触件126稍微与栅极堆叠件GS未对齐并且在介电结构DS中形成位于栅极堆叠件GS的一侧处的一个凹槽R。在这种情况下, 栅极接触件126包括嵌入凹槽R中的一个突起126P。例如, 凹槽R仅由间隔件凹槽或间隔件凹槽和介电凹槽的结合构成。

[0032] 参考图2C和图2D, 介电结构DS进一步被覆盖层128覆盖。在一些实施例中, 覆盖层128通过例如低压化学汽相沉积 (LPCVD) 或等离子体增强的化学汽相沉积 (PECVD) 形成氮化硅层。在依次实施源极/漏极接触工艺期间, 覆盖层128保护栅极堆叠件GS避免损坏。此外, 覆盖层128有助于源极/漏极接触件与半导体鳍之间自对齐。

[0033] 在图2A至图2D中, 介电结构DS的顶面与栅极堆叠件GS的顶面大致共面。具有较大尺寸 (例如, 宽度) 的栅极接触件126可以很容易的与栅极堆叠件GS对齐并且提高电阻-电容 (RC) 延迟。如图2F所示, 在一些实施例中, 可以适当地修改栅极堆叠件GS。

[0034] 参考图2E和图2F, 栅极堆叠件GS的顶面低于介电结构DS的顶面, 换言之, 栅极堆叠件GS包括栅极凹槽 R_G , 并且栅极接触件126部分地嵌入栅极凹槽 R_G 中和至少一个凹槽R中。如图2E所示, 栅极接触件126与具有栅极凹槽 R_G 的栅极堆叠件GS精确对齐并且在介电结构DS中形成位于栅极堆叠件GS的两个相对侧处的两个凹槽R (例如第一凹槽和第二凹槽)。在这种情况下, 栅极接触件126包括嵌入凹槽R的两个突起126P (例如第一突起和第二突起)。在一些可选实施例中, 如图2F所示, 栅极接触件126稍微与具有栅极凹槽 R_G 的栅极堆叠件GS未对齐并且在介电结构DS中形成位于栅极堆叠件GS的一侧处的一个凹槽R。在这种情况下, 栅极接触件126包括嵌入凹槽R中的一个突起126P。

[0035] 在上述FinFET中, 由于栅极接触件126具有相对较大尺寸 (例如, 宽度), 栅极接触件126可以很容易地与栅极堆叠件GS对齐并且提高电阻-电容 (RC) 延迟。因此, 放大了栅极接触工艺的工艺窗口。因此, 提高了FinFET的产量和可靠性。

[0036] 根据本发明的一些实施例,提供了一种FinFET,包括衬底、多个绝缘体、栅极堆叠件、介电结构和栅极接触件。衬底包括多个沟槽和位于沟槽之间的至少一个半导体鳍。绝缘体设置在沟槽中。在栅极堆叠件的侧壁上设置介电结构,栅极堆叠件和介电结构覆盖半导体鳍和绝缘体,并且介电结构包括至少一个凹槽。栅极接触件电连接至栅极堆叠件,其中,栅极接触件覆盖栅极堆叠件和至少一个凹槽,并且栅极接触件的底部尺寸大于栅极堆叠件的顶部尺寸。

[0037] 根据本发明的可选实施例,提供了一种FinFET,包括衬底、多个绝缘体、栅极堆叠件、介电结构和栅极堆叠件。衬底包括多个沟槽和位于沟槽之间的至少一个半导体鳍。绝缘体设置在沟槽中。介电结构包括设置在栅极堆叠件的侧壁上的间隔件对,其中栅极堆叠件和间隔件对覆盖半导体鳍和绝缘体,并且间隔件对包含至少一个间隔件凹槽。栅极接触件电连接至栅极堆叠件,其中栅极接触件覆盖栅极堆叠件和至少一个间隔件凹槽,并且栅极接触件的底部宽度大于栅极堆叠件的顶部宽度。

[0038] 根据本发明的可选实施例,提供了一种FinFET,包括衬底、多个绝缘体、栅极堆叠件、介电结构和栅极接触件。该衬底包括多个沟槽和位于沟槽之间的至少一个半导体鳍。绝缘体设置在沟槽中。介电结构设置在栅极堆叠件的侧壁上。栅极堆叠件和介电结构覆盖半导体鳍和绝缘体。栅极接触件电连接至栅极堆叠件,其中栅极接触件覆盖栅极堆叠件和介电结构,栅极接触件的底部宽度大于栅极堆叠件的顶部宽度,并且栅极接触件包括至少一个延伸如介电结构的突起。

[0039] 根据本发明的一个实施例,提供了一种鳍场效应晶体管 (FinFET),包括:衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;多个绝缘体,位于所述沟槽中;栅极堆叠件;介电结构,设置在所述栅极堆叠件的侧壁上,所述栅极堆叠件和所述介电结构覆盖所述半导体鳍和所述绝缘体,并且所述介电结构包括至少一个凹槽;以及栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述栅极堆叠件和所述至少一个凹槽,并且所述栅极接触件的底部尺寸大于所述栅极堆叠件的顶部尺寸。

[0040] 在上述鳍场效应晶体管中,所述栅极接触件包括嵌入在所述至少一个凹槽中的至少一个突起。

[0041] 在上述鳍场效应晶体管中,所述至少一个凹槽包括位于所述栅极堆叠件的两个相对侧处的第一凹槽和第二凹槽,并且所述栅极接触件包括嵌入在所述第一凹槽中的第一突起和嵌入在所述第二凹槽中的第二突起。

[0042] 在上述鳍场效应晶体管中,所述介电结构的顶面与所述栅极堆叠件的顶面大致共面。

[0043] 在上述鳍场效应晶体管中,还包括:覆盖层,位于所述介电结构的所述顶面上面。

[0044] 在上述鳍场效应晶体管中,所述栅极堆叠件的顶面低于所述介电结构的顶面,所述栅极堆叠件包括栅极凹槽,以及所述栅极接触件部分地嵌入在所述栅极凹槽和所述至少一个凹槽中。

[0045] 根据本发明的另一实施例,还提供了一种鳍场效应晶体管 (FinFET),包括:衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;多个绝缘体,位于所述沟槽中;栅极堆叠件;介电结构,包括设置在所述栅极堆叠件的侧壁上的间隔件对,其中,所述栅极堆叠件和所述间隔件对覆盖所述半导体鳍和所述绝缘体,并且所述间隔件对包括至少一个间

隔件凹槽;以及栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述栅极堆叠件和所述至少一个间隔件凹槽,并且所述栅极接触件的底部宽度大于所述栅极堆叠件的顶部宽度。

[0046] 在上述鳍场效应晶体管中,所述栅极接触件包括嵌入在所述至少一个间隔件凹槽中的至少一个突起。

[0047] 在上述鳍场效应晶体管中,所述至少一个间隔件凹槽包括位于所述栅极堆叠件的两个相对侧处的第一间隔件凹槽和第二间隔件凹槽,并且所述栅极接触件包括嵌入在所述第一间隔凹槽中的第一突起和嵌入在所述第二间隔件凹槽中的第二突起。

[0048] 在上述鳍场效应晶体管中,所述介电结构还包括设置在所述栅极堆叠件的两个相对侧处的图案化的介电层,并且所述间隔件的每个均位于所述图案化的介电层和所述栅极堆叠件之间。

[0049] 在上述鳍场效应晶体管中,所述图案化的介电层的顶面与所述栅极堆叠件的顶面共面。

[0050] 在上述鳍场效应晶体管中,还包括:覆盖层,覆盖所述图案化的介电层的所述顶面。

[0051] 在上述鳍场效应晶体管中,所述栅极堆叠件的顶面低于所述图案化的介电层的顶面,所述栅极堆叠件包括栅极凹槽,以及所述栅极接触件部分地嵌入在所述栅极凹槽和所述至少一个间隔件凹槽中。

[0052] 在上述鳍场效应晶体管中,所述图案化的介电层包括连接至所述至少一个间隔件凹槽的至少一个介电凹槽。

[0053] 在上述鳍场效应晶体管中,所述栅极接触件包括嵌入在所述至少一个间隔件凹槽和所述至少一个介电凹槽中的至少一个突起。

[0054] 根据本发明的又一实施例,还提供了一种鳍场效应晶体管(FinFET),包括:衬底,包括多个沟槽和位于所述沟槽之间的至少一个半导体鳍;多个绝缘体,位于所述沟槽中;栅极堆叠件;介电结构,设置在所述栅极堆叠件的侧壁上,所述栅极堆叠件和所述介电结构覆盖所述半导体鳍和所述绝缘体;以及栅极接触件,电连接至所述栅极堆叠件,其中,所述栅极接触件覆盖所述栅极堆叠件和所述介电结构,所述栅极接触件的底部宽度大于所述栅极堆叠件的顶部宽度,并且所述栅极接触件包括延伸至所述介电结构内的至少一个突起。

[0055] 在上述鳍场效应晶体管中,所述至少一个突起包括位于所述栅极堆叠件的两个相对侧处的第一突起和第二突起。

[0056] 在上述鳍场效应晶体管中,所述介电结构的顶面与所述栅极堆叠件的顶面共面。

[0057] 在上述鳍场效应晶体管中,还包括:覆盖层,覆盖所述介电结构的所述顶面。

[0058] 在上述鳍场效应晶体管中,所述栅极堆叠件的顶面低于所述介电结构的顶面,所述栅极堆叠件包括栅极凹槽,以及所述栅极接触件延伸至所述栅极凹槽内并且填充所述栅极凹槽。

[0059] 上面概述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的方面。本领域技术人员应该理解,他们可以容易地使用本发明作为基础来设计或修改用于实施与本文所介绍实施例相同的和/或实现相同优势的其他工艺和结构。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精

神和范围的情况下,本文中他们可以做出多种变化、替换以及改变。

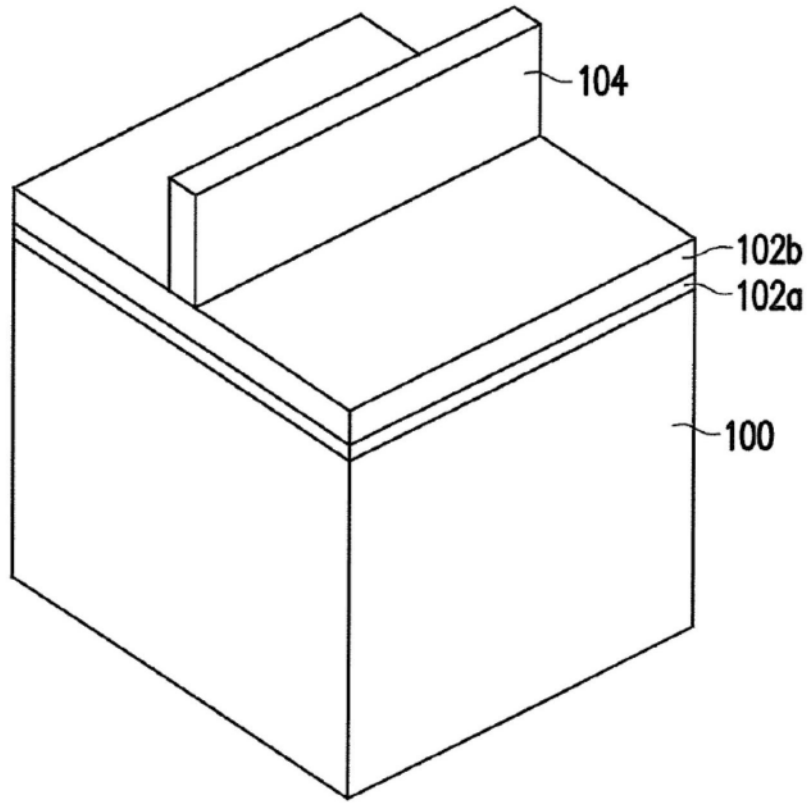


图1A

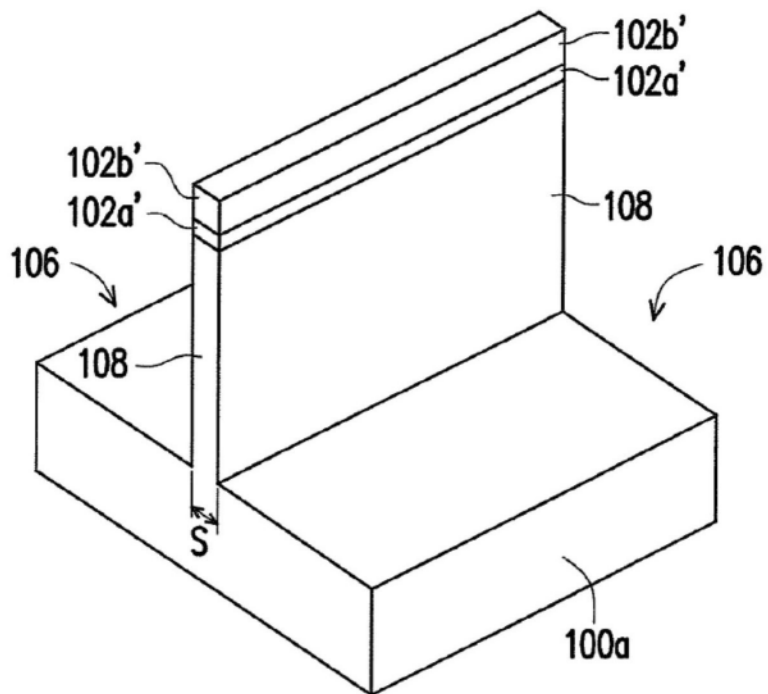


图1B

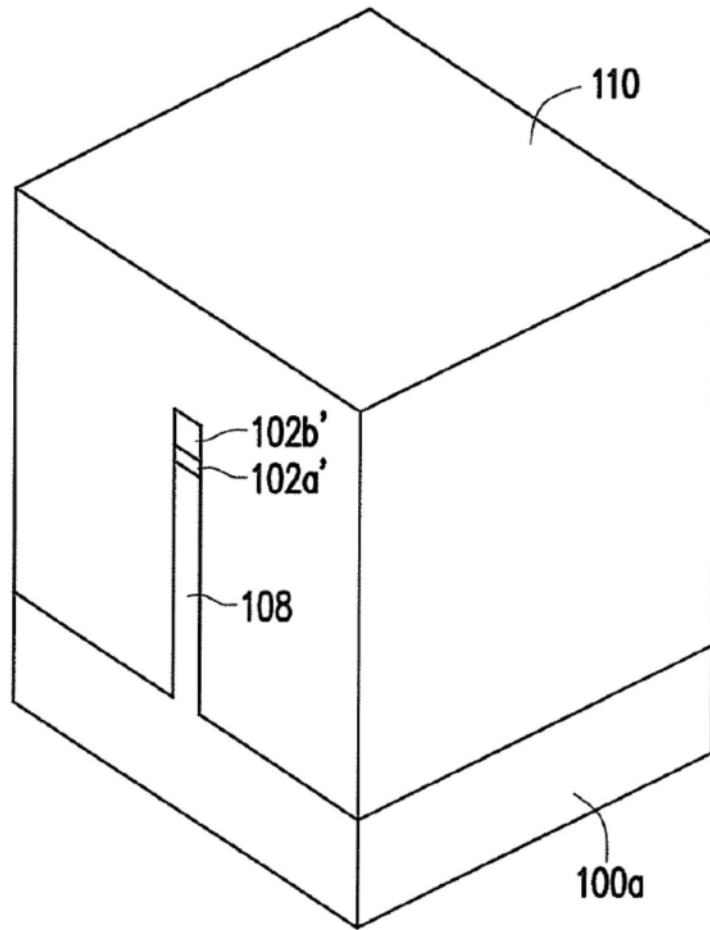


图1C

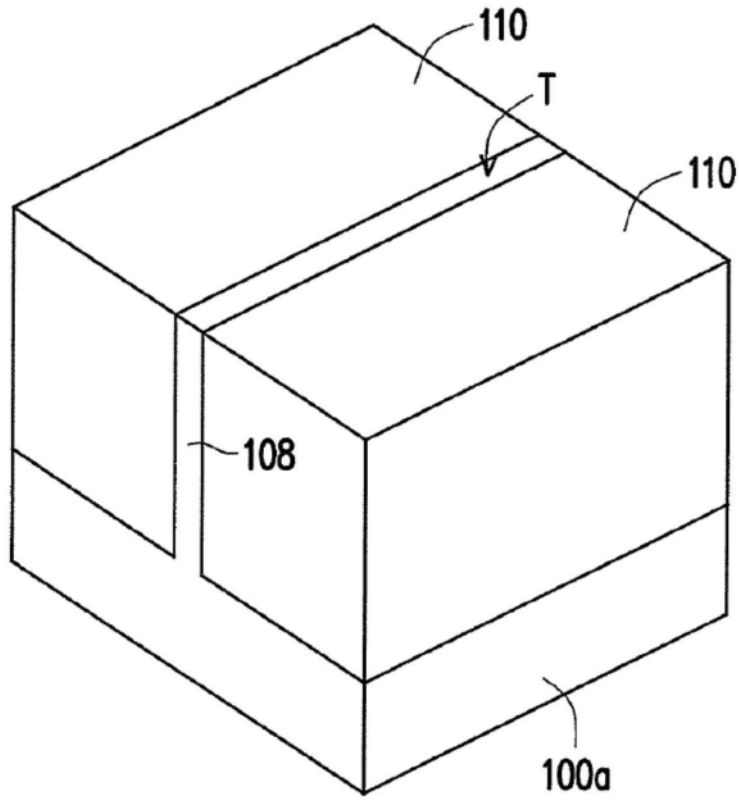


图1D

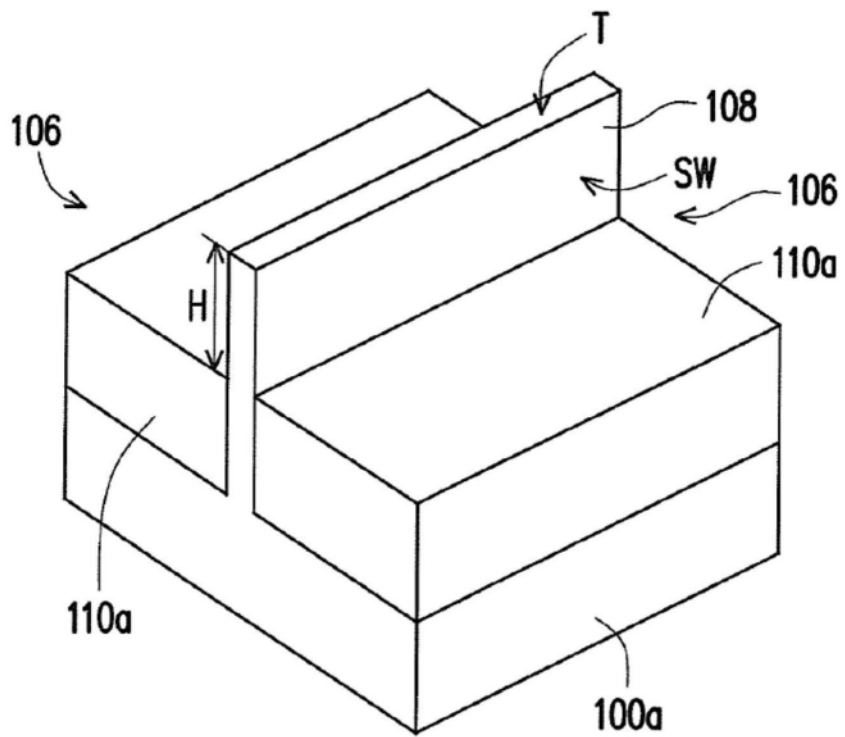


图1E

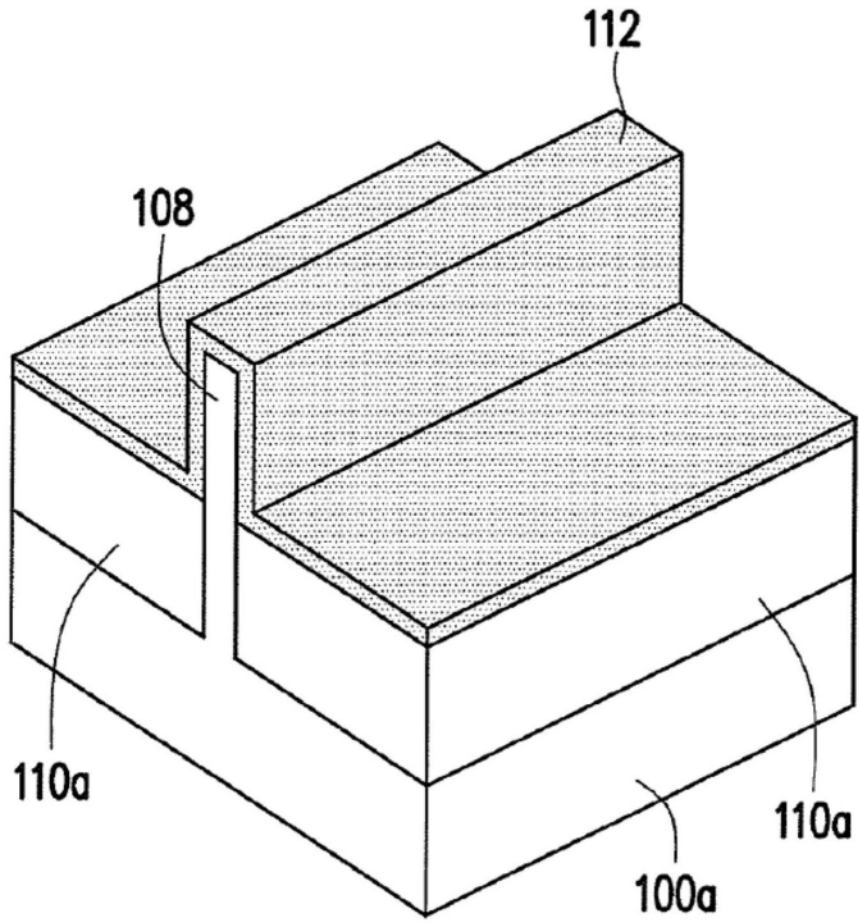


图1F

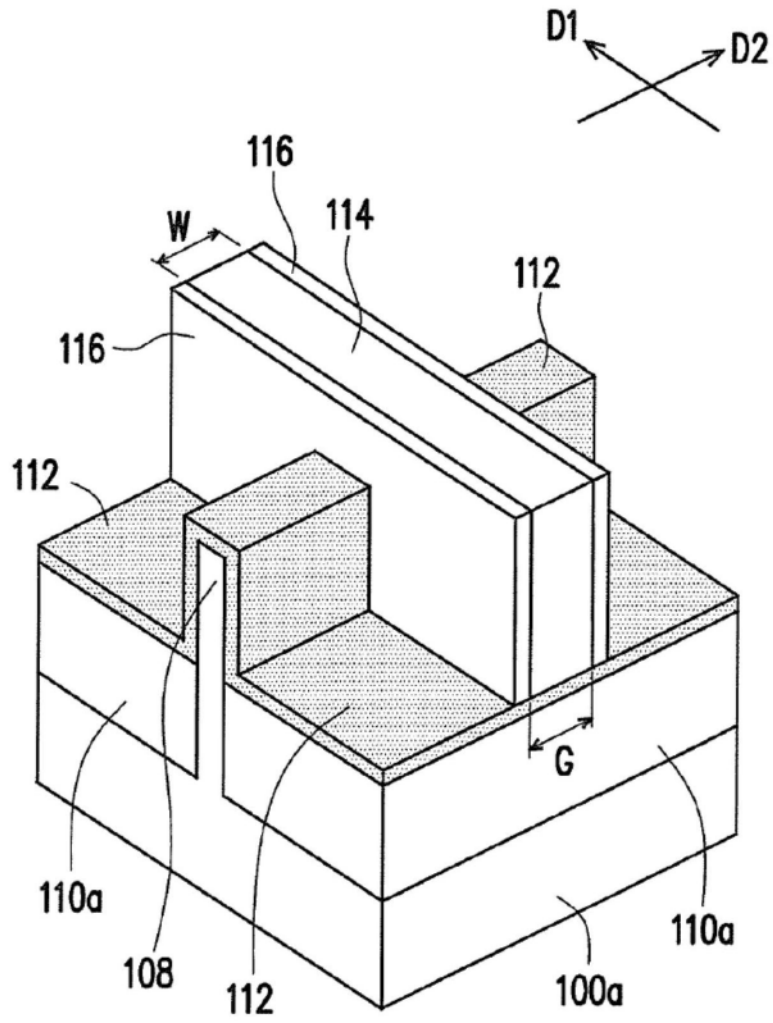


图1G

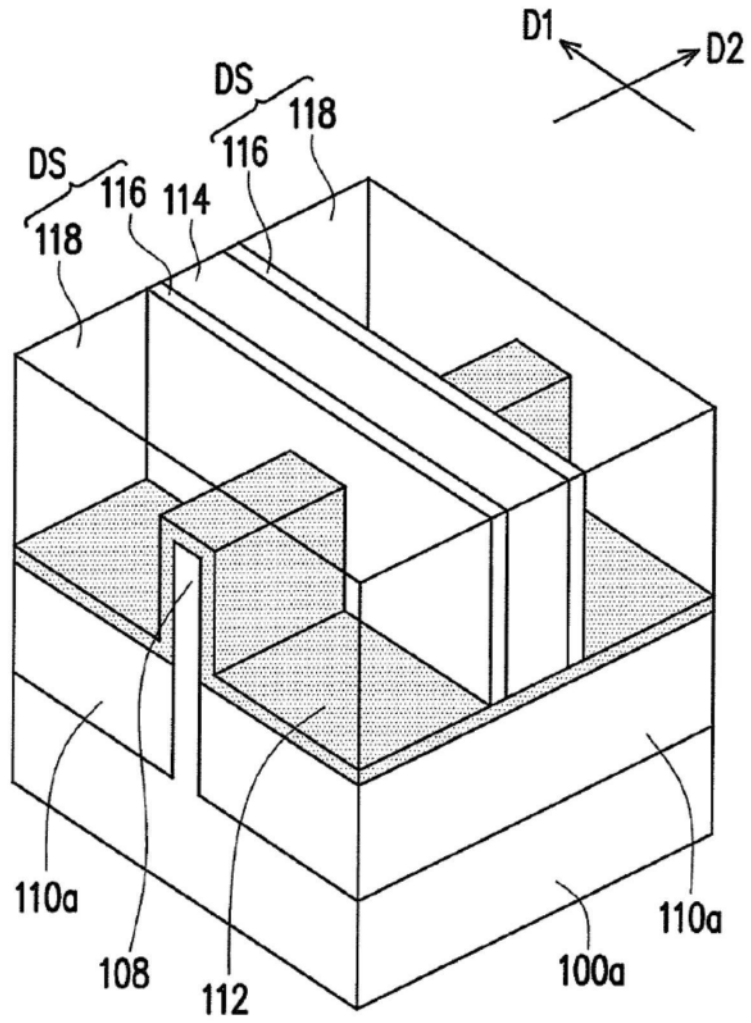


图1H

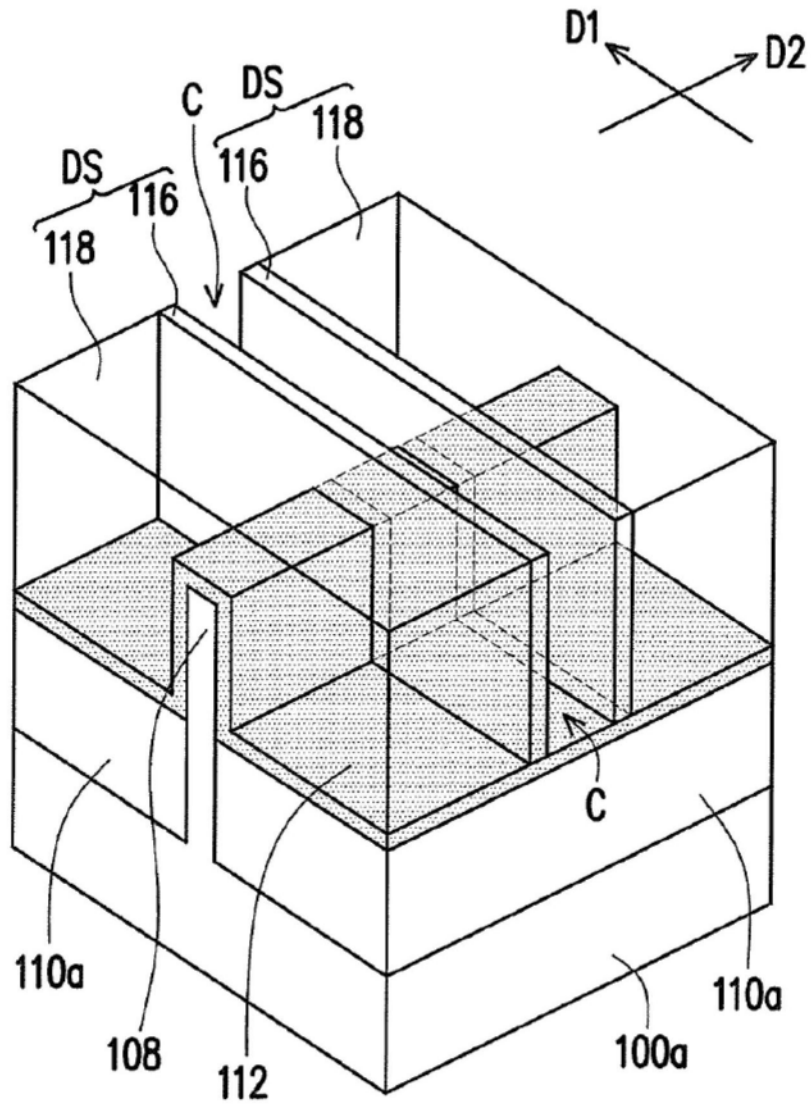


图1I

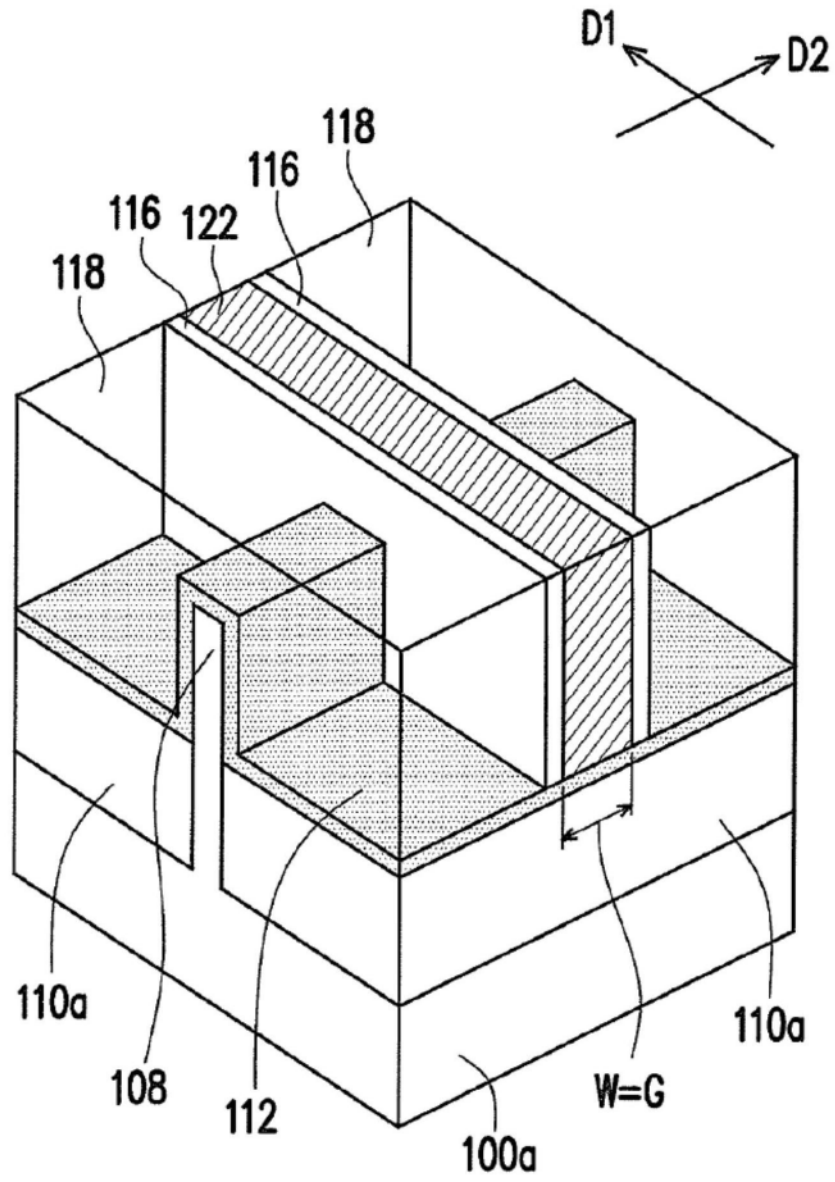


图1J

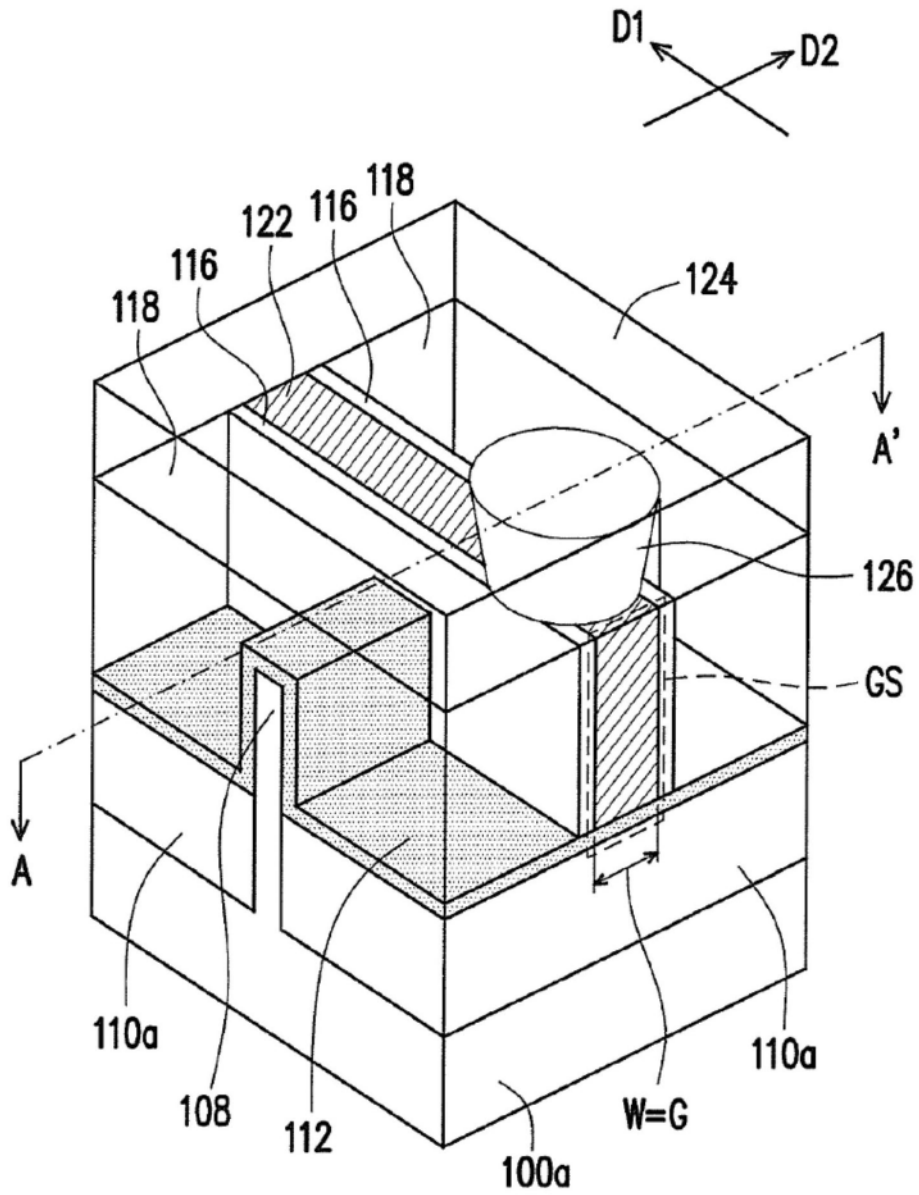


图1K

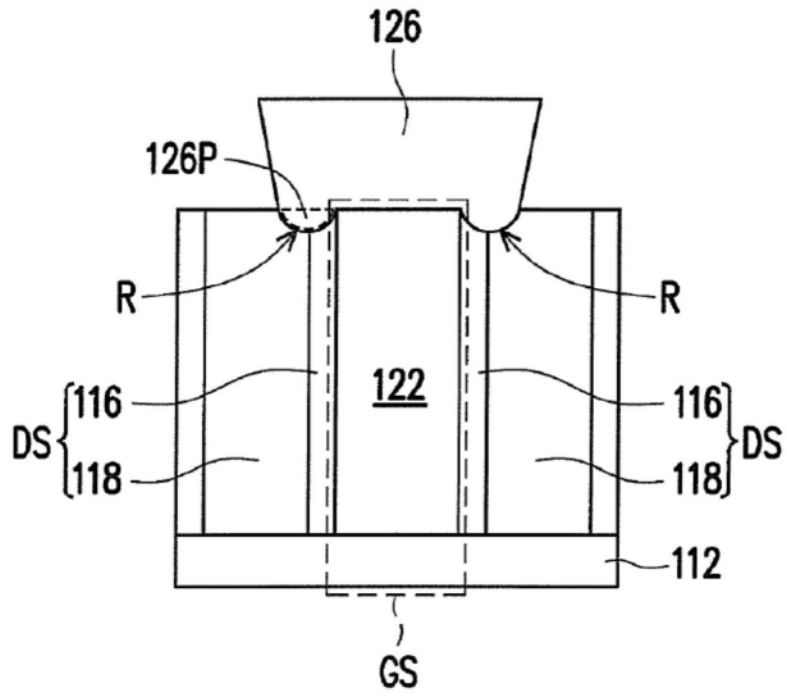


图2A

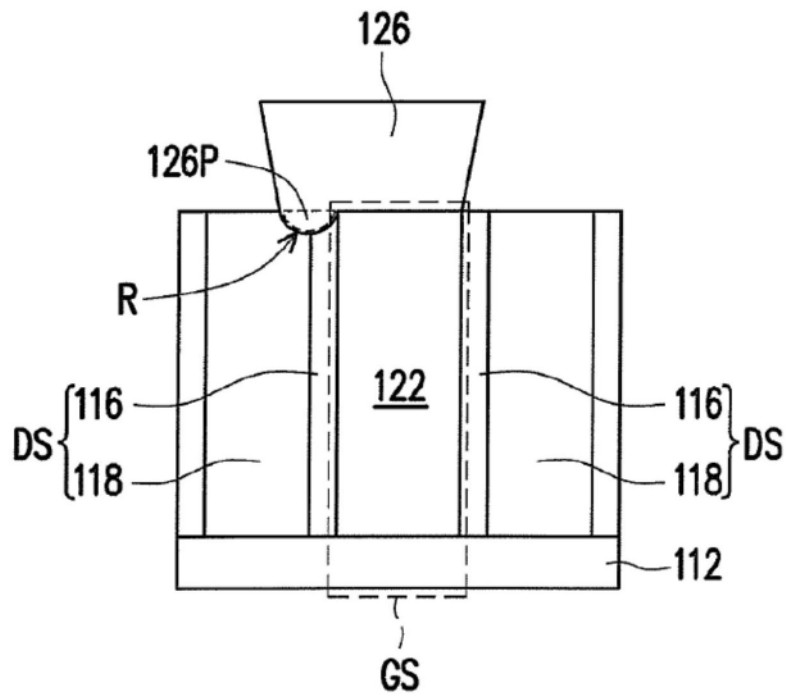


图2B

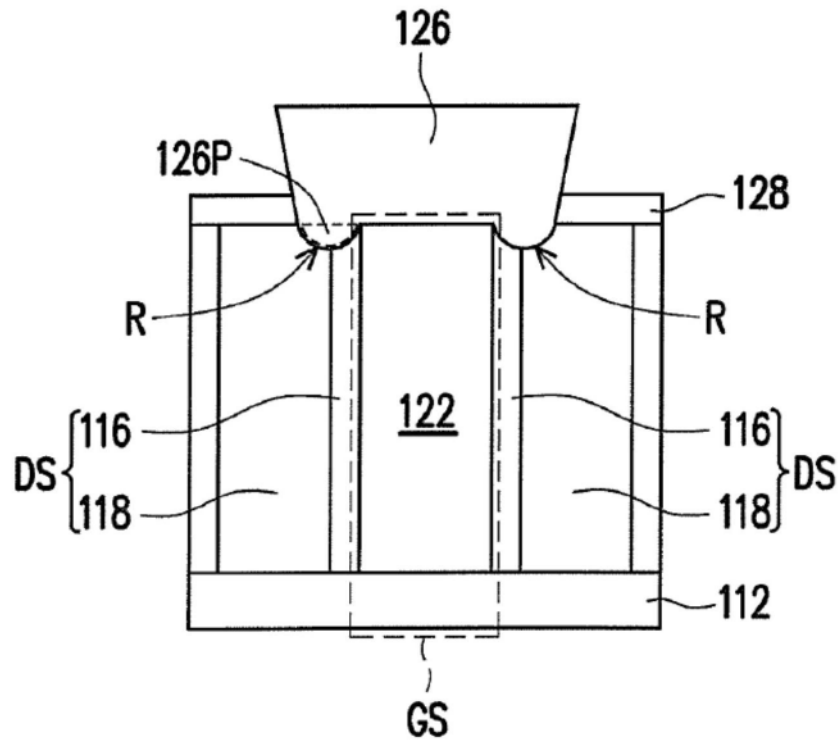


图2C

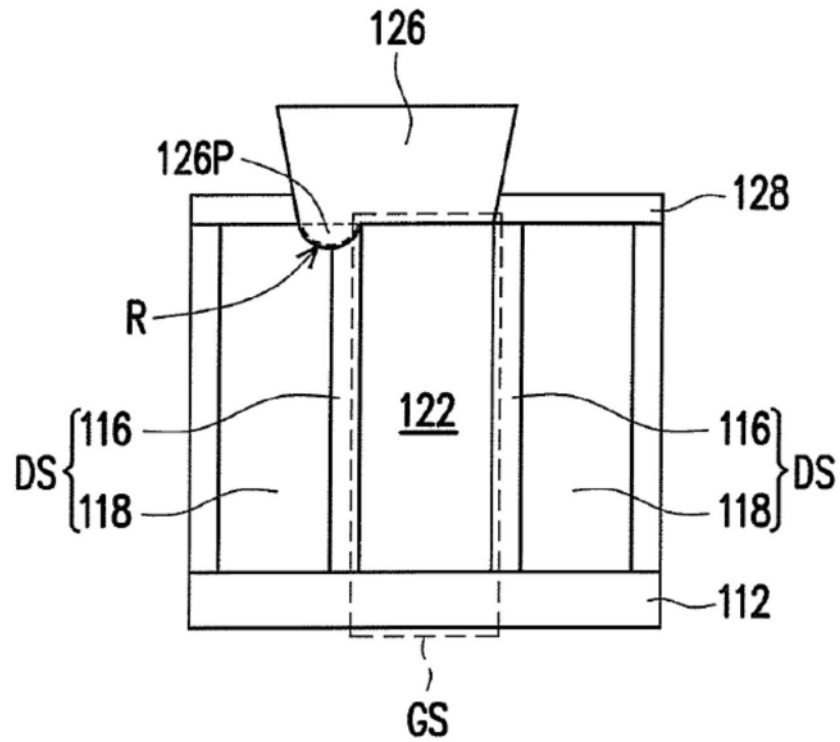


图2D

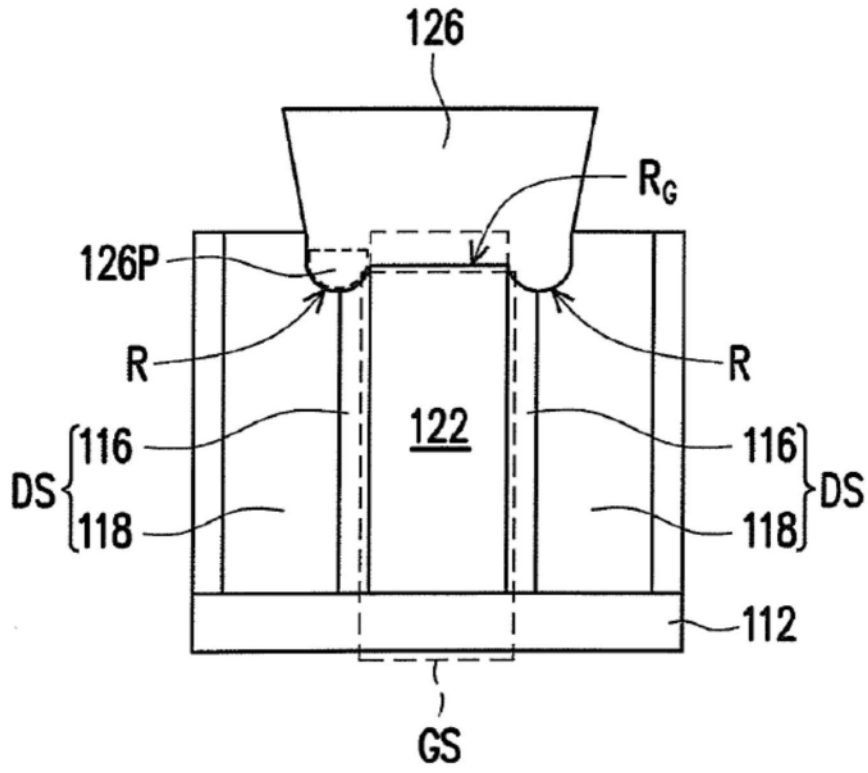


图2E

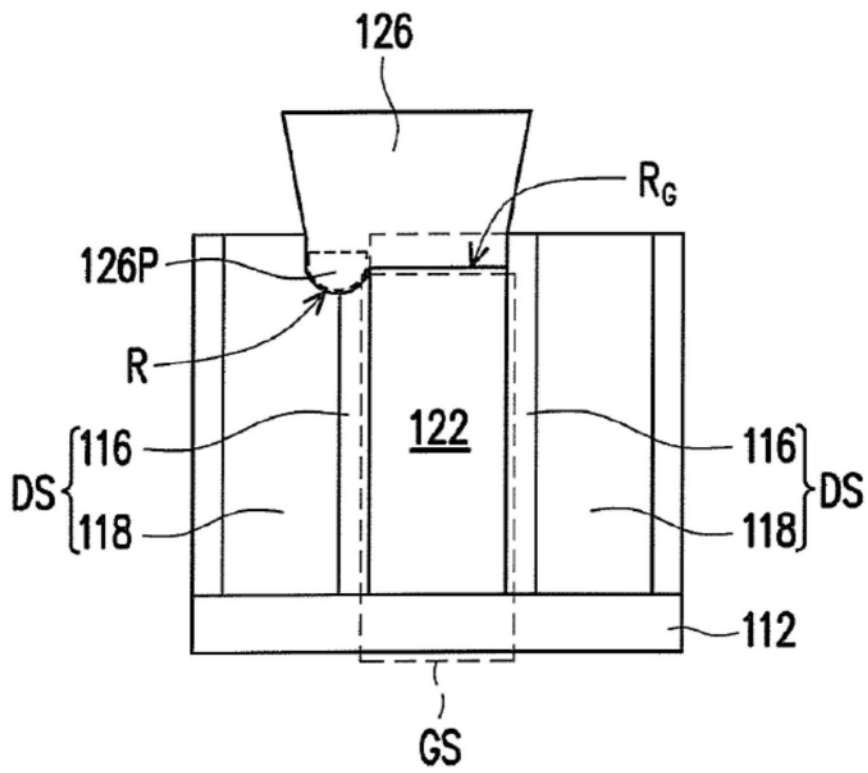


图2F